
산업통상자원부 – SK 기술나눔 소개서

– 전기전자 –

2020년 12월



목 차

1. SK 나눔기술 총괄 1

2. 기술분야

1) 전기전자 2

▶ 전기전자 기술 특허 목록 3

▶ 기술 소개(반도체) 7

▶ 기술 소개(태양전지) 229

2) 정보통신

3) 화학/조성물

1. SK 나눔기술 총괄

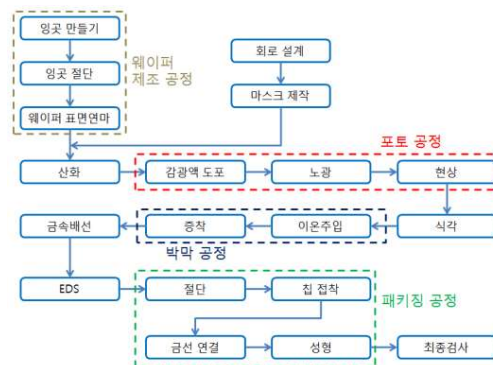
순번	대분류	중분류	개수
1	전기전자	반도체	111
		태양전지	3
2	정보통신	네트워크	32
		무선통신	12
		이동통신	79
3	화학/조성물	화합물/제조	34
합 계			271

2-1. 기술분야(전기전자)

정의 및 특성

- 전기전자 산업은 반도체, 전기장비, 전자표시장치, 전자부품, 컴퓨터, 전기기기 등의 제조업을 통칭하며 제조업 내에서 부가가치 창출액이 높은 산업으로 위치하고 있음
- 반도체는 산업의 핵심 부품으로 사용되고 있으며 반도체의 고성능, 소형화, 저전력기술을 비롯하여 반도체 칩의 생산량을 극대화 할 수 있는 방안 등이 요구되면서 반도체 공정의 기술 난이도는 점점 높아지고 있음

[반도체 공정 프로세스]



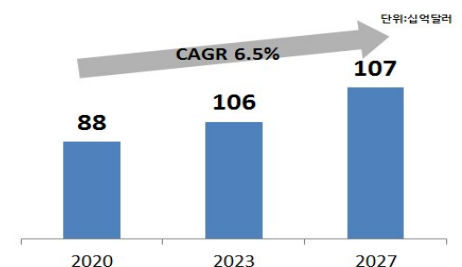
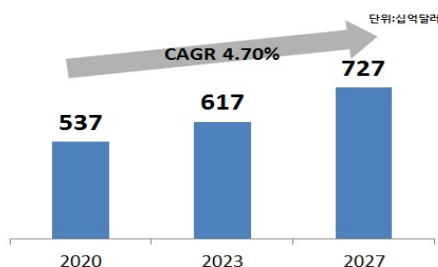
* 출처: 한국 IR 협의회, 2019

환경분석

- 빅데이터, IoT, 인공지능 등과 관련된 기술이 발전하면서 대용량의 데이터를 저장하고 제어할 수 있는 고성능의 반도체 수요가 지속적으로 발생하고 있음
- 전 세계 반도체 시장은 2020년 기준 약 5,372억 달러의 규모에서 연평균 성장률 4.7%를 기록하며 2027년까지 약 7,267억 달러 규모의 시장으로 성장할 것으로 전망됨

[세계 반도체 시장 전망]

[세계 태양전지 및 모듈 시장 전망]



* 출처: FortuneBusinessInsights, 2020.10

* 출처: Global Industry Analysts, 2020.09

전기전자 기술 특허 목록


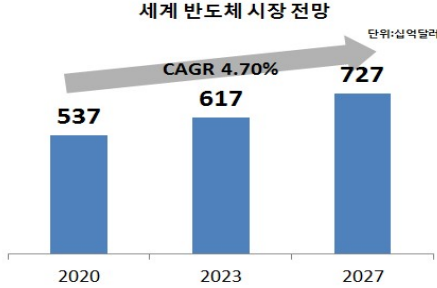
NO	중분류	등록번호	등록일	발명의 명칭
1	반도체	KR10-1824735	2018.01.26	반도체 소자의 제조 방법
2	반도체	KR10-1868630	2018.06.11	원주 구조의 나노 입자를 갖는 반도체 소자의 게이트 및 그 제조 방법
3	반도체	KR10-1788323	2017.10.13	반도체 장치 및 비휘발성 메모리 소자 제조 방법
4	반도체	KR10-1819744	2018.01.11	반도체 소자의 제조 방법
5	반도체	KR10-1802905	2017.11.23	쇼트키 다이오드, 그것을 포함하는 저항성 메모리 장치 및 제조 방법
6	반도체	KR10-1851005	2018.04.16	플라즈마 도핑 장치를 이용한 플라즈마 도핑 방법
7	반도체	KR10-1837771	2018.03.06	게이트 올 어라운드 방식의 2중 채널 형성 방법
8	반도체	KR10-1797630	2017.11.08	3차원 구조의 비휘발성 메모리 소자 제조 방법
9	반도체	KR10-1863367	2018.05.25	3차원 불휘발성 메모리 소자의 제조 방법
10	반도체	KR10-1843467	2018.03.23	반도체 장치 및 그의 제조 방법
11	반도체	KR10-1882851	2018.07.23	반도체 장치의 제조 방법
12	반도체	KR10-1938004	2019.01.07	3차원 구조의 비휘발성 메모리 소자 및 그 제조 방법
13	반도체	KR10-1881593	2018.07.18	반도체 소자 및 이의 제조 방법
14	반도체	KR10-1899333	2018.09.11	상변화 메모리 장치의 제조 방법
15	반도체	KR10-1900892	2018.09.14	반도체 메모리 소자 및 그 제조 방법
16	반도체	KR10-1907693	2018.10.05	반도체 장치, 메모리 시스템 및 반도체 장치 제조 방법
17	반도체	KR10-1877937	2018.07.06	고유전층 및 금속게이트를 갖는 cmos 장치 및 그 제조 방법
18	반도체	KR10-1917392	2018.11.05	반도체 소자 및 그 제조 방법
19	반도체	KR10-1941995	2019.01.18	반도체 장치 및 이를 갖는 적층 반도체 패키지
20	반도체	KR10-1915686	2018.10.31	가변 저항 메모리 장치 및 그 제조 방법
21	반도체	KR10-1924861	2018.11.28	반도체 소자 및 제조 방법
22	반도체	KR10-1923428	2018.11.23	상변화 메모리 소자 및 그 제조 방법

NO	중분류	등록번호	등록일	발명의 명칭
23	반도체	KR10-1812623	2017.12.20	가변 저항 메모리 장치의 제조 방법
24	반도체	KR10-0860709	2008.09.22	고광적출 발광 다이오드의 제조를 위한 질화 갈륨층의 성막 방법, 이 방법을 이용한 발광 다이오드의 제조 방법, 및 이 방법에 의해 제조된 발광 다이오드
25	반도체	KR10-0857386	2008.09.01	에스오아이 웨이퍼에 대한 열처리 방법
26	반도체	KR10-0914606	2009.08.21	습식 게이트 산화막 형성 방법
27	반도체	KR10-0879758	2009.01.14	웨이퍼 캐리어의 제조 방법
28	반도체	KR10-0952043	2010.04.01	절연파괴전압 측정을 이용한 s o i 웨이퍼의 결함검출방법 및 이를 위한 s o i 웨이퍼와 그 제조 방법
29	반도체	KR10-0927306	2009.11.10	나노토포그래피가 개선된 웨이퍼 제조 방법
30	반도체	KR10-0983181	2010.09.13	발광 다이오드 제조를 위한 질화 갈륨층 성장 방법, 이 방법을 이용한 발광 다이오드 제조 방법, 및 이 방법에 의해 제조된 발광 다이오드
31	반도체	KR10-0969159	2010.07.01	질화물 반도체 기판의 제조 방법
32	반도체	KR10-0988146	2010.10.08	화합물 반도체 기판, 그 제조 방법 및 이를 이용한 화합물반도체 소자
33	반도체	KR10-0574490	2006.04.20	상부 반사방지막 중합체, 이의 제조 방법 및 이를 함유하는 상부 반사방지막 조성물
34	반도체	KR10-0642416	2006.10.27	상부 반사방지막 조성물 및 이를 이용한 반도체 소자의 패턴 형성 방법
35	반도체	KR10-0745064	2007.07.26	상부 반사방지막 조성물 및 이를 이용한 반도체 소자의 패턴 형성 방법
36	반도체	KR10-0676885	2007.01.25	상부 반사방지막 중합체, 이의 제조 방법 및 이를 함유하는 상부 반사방지막 조성물
37	반도체	KR10-1795754	2017.11.02	반도체 장치
38	반도체	KR10-1940369	2019.01.14	반도체 다이 이송용 픽업 툴
39	반도체	KR10-0873236	2008.12.03	웨이퍼 처리 장치
40	반도체	KR10-0879760	2009.01.14	기판쌍 클리빙장치 및 기판쌍 클리빙 방법
41	반도체	KR10-0932424	2009.12.09	질화갈륨 기판제조장치
42	반도체	KR10-0919925	2009.09.24	슬러리 제거장치
43	반도체	KR10-1046989	2011.06.30	드레싱 기어 보관장치
44	반도체	KR10-1052792	2011.07.25	와이어 소우 장치
45	반도체	KR10-0980642	2010.09.01	질화갈륨 기판제조장치
46	반도체	KR10-1025263	2011.03.21	테이프 연마기
47	반도체	KR10-0988213	2010.10.11	질화갈륨기판 제조장치
48	반도체	KR10-1040856	2011.06.03	연마패드 압착장치

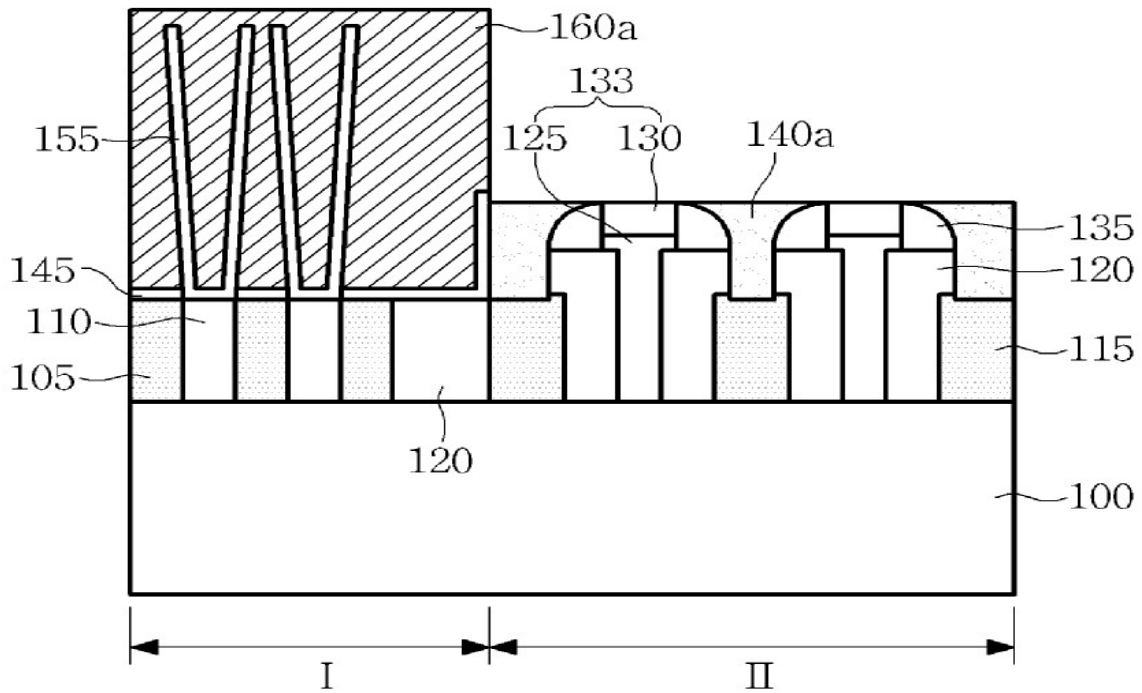
NO	중분류	등록번호	등록일	발명의 명칭
49	반도체	KR10-1150849	2012.05.22	웨이퍼 캐리어 및 이를 채운 웨이퍼 양면 연마장치
50	반도체	KR10-1093950	2011.12.07	웨이퍼 에칭장치 및 웨이퍼 에칭방법
51	반도체	KR10-1104489	2012.01.03	패드 보정장치, 이를 포함하는 웨이퍼 연마장치 및 웨이퍼를 연마하는 방법
52	반도체	KR10-1125740	2012.03.05	웨이퍼 연마 장치
53	반도체	KR10-1169166	2012.07.20	웨이퍼 건조 장치
54	반도체	KR10-1141075	2012.04.23	웨이퍼 연마 장치
55	반도체	KR10-1302586	2013.08.27	웨이퍼 상에 산화막을 형성하기 위한 장치 및 방법
56	반도체	KR10-1206923	2012.11.26	매엽식 웨이퍼 세정 장치
57	반도체	KR10-1249859	2013.03.27	잉곳 절단 장치
58	반도체	KR10-1249860	2013.03.27	와이어 소잉 장치용 슬러리 배스 및 이를 포함한 와이어 소잉 장치
59	반도체	KR10-1331557	2013.11.14	웨이퍼 처리장치
60	반도체	KR10-1285923	2013.07.08	연마장치 및 연마장치의 드레싱기어
61	반도체	KR10-1292224	2013.07.26	웨이퍼 연마 패드 절삭 장치 및 방법
62	반도체	KR10-1285986	2013.07.08	양면 연마장비 및 이에 적용된 연마 패드용 드레서
63	반도체	KR10-1292225	2013.07.26	웨이퍼 에지 연마 장치
64	반도체	KR10-1390796	2014.04.24	슬러리 공급 장치
65	반도체	KR10-1402841	2014.05.27	웨이퍼 연마 장치
66	반도체	KR10-1390803	2014.04.24	패드 드레서
67	반도체	KR10-1412287	2014.06.19	웨이퍼 세정을 위한 트랜스퍼 장치
68	반도체	KR10-1389188	2014.04.18	웨이퍼 양면 연마 장치
69	반도체	KR10-1402846	2014.05.27	웨이퍼 세정 장치
70	반도체	KR10-1446720	2014.09.25	단결정 잉곳 제조 장치
71	반도체	KR10-1395453	2014.05.08	웨이퍼 세정 장치 및 세정 방법
72	반도체	KR10-1487095	2015.01.21	웨이퍼 에칭 장치 및 웨이퍼 에칭 방법
73	반도체	KR10-1735082	2017.05.04	메모리 장치의 내부 라이트 신호 지연회로 및 지연 방법
74	반도체	KR10-1796602	2017.11.01	내부클럭 생성회로
75	반도체	KR10-1809742	2017.12.11	경로제어회로
76	반도체	KR10-1713036	2017.02.28	고전압 발생장치
77	반도체	KR10-1798986	2017.11.13	메모리 장치
78	반도체	KR10-1819134	2018.01.10	반도체 메모리 장치
79	반도체	KR10-1815601	2017.12.29	스택형 메모리 시스템 및 이를 위한 인터리빙 제어 방법
80	반도체	KR10-1803036	2017.11.23	내부전압 생성회로
81	반도체	KR10-1847972	2018.04.05	반도체 메모리 장치
82	반도체	KR10-1790239	2017.10.19	전압 발생 회로 및 이를 포함하는 반도체 장치
83	반도체	KR10-1794798	2017.11.01	반도체 장치의 내부 전압 생성 회로

NO	중분류	등록번호	등록일	발명의 명칭
84	반도체	KR10-1818046	2018.01.08	비휘발성 메모리 장치의 프로그램 방법
85	반도체	KR10-1825577	2018.01.30	비휘발성 메모리 장치의 프로그램 방법
86	반도체	KR10-1839383	2018.03.12	반도체 메모리 장치의 센스앰프
87	반도체	KR10-1867509	2018.06.07	비휘발성 메모리 장치
88	반도체	KR10-1863762	2018.05.28	리저브아 캐패시터를 갖는 반도체 집적 회로 장치
89	반도체	KR10-1792737	2017.10.26	펄핑 전압 생성 회로와 그를 이용하는 반도체 장치
90	반도체	KR10-1907072	2018.10.04	반도체 메모리 장치 및 그 동작 방법
91	반도체	KR10-1881595	2018.07.18	불휘발성 메모리 장치 및 이의 소거 방법
92	반도체	KR10-1867510	2018.06.07	정전기 방전 회로
93	반도체	KR10-1856658	2018.05.03	반도체 장치
94	반도체	KR10-1923714	2018.11.23	반도체 장치
95	반도체	KR10-1944936	2019.01.28	파일 어드레스 저장회로, 리턴던시 제어회로, 파일 어드레스 저장방법 및 리턴던시 제어방법
96	반도체	KR10-1893182	2018.08.23	데이터 출력 회로
97	반도체	KR10-1926860	2018.12.03	반도체 메모리 장치 및 그것의 동작 방법
98	반도체	KR10-1848510	2018.04.06	반도체 메모리 장치 및 그것의 동작 방법
99	반도체	KR10-1829470	2018.02.08	반도체 메모리 장치 및 이의 동작 방법
100	반도체	KR10-1905906	2018.10.01	전위 제어 장치 및 이를 포함하는 반도체 장치
101	반도체	KR10-1897239	2018.09.04	내부전압생성회로
102	반도체	KR10-1914296	2018.10.26	반도체모듈
103	반도체	KR10-1893388	2018.08.24	전압 스위칭 회로
104	반도체	KR10-1895285	2018.08.30	반도체 장치
105	반도체	KR10-1881366	2018.07.18	반도체 장치 및 그 동작 방법
106	반도체	KR10-1883012	2018.07.23	반도체 소자
107	반도체	KR10-1919555	2018.11.12	기준 전류원
108	반도체	KR10-1917165	2018.11.05	반도체 메모리 장치
109	반도체	KR10-1923504	2018.11.23	반도체 메모리 장치
110	반도체	KR10-1886671	2018.08.02	직병렬변환기
111	반도체	KR10-1821767	2018.01.18	반도체 제품군의 소비전력 계산 방법 및 이산화탄소 배출량 계산 방법
112	태양전지	KR10-1404249	2014.05.29	기판을 평가하는 방법
113	태양전지	KR10-1025652	2011.03.22	잔류 용액을 재활용한 태양전지용 결정 제조 방법
114	태양전지	KR10-0757797	2007.09.05	단결정 태양전지의 후면전극 제조 방법

기술소개

기술분야	전기전자	반도체	공정기술
No.1	반도체 소자의 제조 방법		
현재 권리자	SK하이닉스	발명자	권혁
출원번호 (출원일)	KR10-2010-0128574 (2010-12-15)	등록번호 (등록일)	KR10-1824735 (2018-01-26)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2030-12-15
기술 개요			
<p>본 발명은 반도체 소자의 제조 방법에 관한 것으로, 주변회로영역에 형성되는 금속 배선들 사이에 절연막을 매립하여 평탄화시킴으로써 금속 배선들 사이에 플레이트 전극 물질이 잔류하는 것을 방지하여 소자의 신뢰성 및 동작 특성을 향상시키는 기술에 관한 것이다. 본 발명의 반도체 소자의 제조 방법은 저장전극 콘택이 형성된 셀 영역 및 주변회로 영역을 포함하는 반도체 기판 상부에 제 1 절연막을 형성하는 단계와, 주변회로 영역의 상기 제 1 절연막 상부에 다수의 금속 배선을 형성하는 단계와, 주변회로 영역의 상기 금속 배선들 사이에 제 2 절연막을 매립하는 단계와, 셀 영역의 제 1 절연막 상부에 상기 저장전극 콘택과 연결되는 저장 전극을 형성하는 단계와, 저장 전극을 포함하는 상기 셀 영역의 상기 제 1 절연막 및 상기 주변회로 영역의 제 2 절연막 상부에 플레이트 전극 물질을 형성하는 단계와, 주변회로 영역의 상기 플레이트 전극 물질을 제거하는 단계를 포함하는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 주변회로영역에 형성되는 금속 배선들 사이에 절연막을 매립하여 평탄화시킴으로써 금속 배선들 사이에 플레이트 전극 물질이 잔류하는 것을 방지하여 소자의 신뢰성 및 동작 특성을 향상시키는 반도체 소자의 제조 방법을 제공함에 있음</p>		<p>본 기술은 주변회로영역에 형성되는 금속 배선들 사이에 플레이트 전극 물질이 잔류하는 것을 방지하며, 후속으로 형성되는 금속 배선이 오정렬되더라도 금속 배선에 브릿지가 유발되는 것을 방지하여 소자의 신뢰성 및 동작 특성을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 소자의 제조 방법]


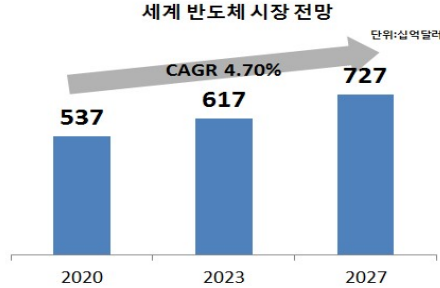
대표 청구항

셀 영역 및 주변회로 영역을 포함하는 반도체 기판 상부에 각각 저장전극 콘택 및 게이트를 형성하는 단계; 상기 저장전극 콘택 및 상기 게이트 상부에 제 1 절연막을 형성하는 단계; 상기 반도체 기판과 접촉되도록 상기 주변회로 영역의 상기 제 1 절연막 상부에 다수의 금속 배선을 형성하는 단계; 상기 저장전극 콘택과 상기 게이트가 노출되도록 상기 제 1 절연막을 식각하는 단계; 상기 저장전극 콘택과 상기 게이트 상부에 제 2 절연막을 형성하는 단계; 셀 오픈 마스크를 이용하여 상기 셀 영역의 상기 저장전극 콘택이 노출되도록 상기 제 2 절연막을 식각하여 상기 주변회로 영역의 상기 금속 배선들 사이에 제 2 절연막을 잔류시키는 단계; 상기 셀 영역의 상기 제 1 절연막 상부에 상기 저장전극 콘택과 연결되는 저장 전극을 형성하는 단계; 상기 저장 전극을 포함하는 상기 셀 영역의 상기 제 1 절연막 및 상기 주변회로 영역의 제 2 절연막 상부에 플레이트 전극 물질을 형성하는 단계; 및 상기 주변회로 영역의 상기 플레이트 전극 물질을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

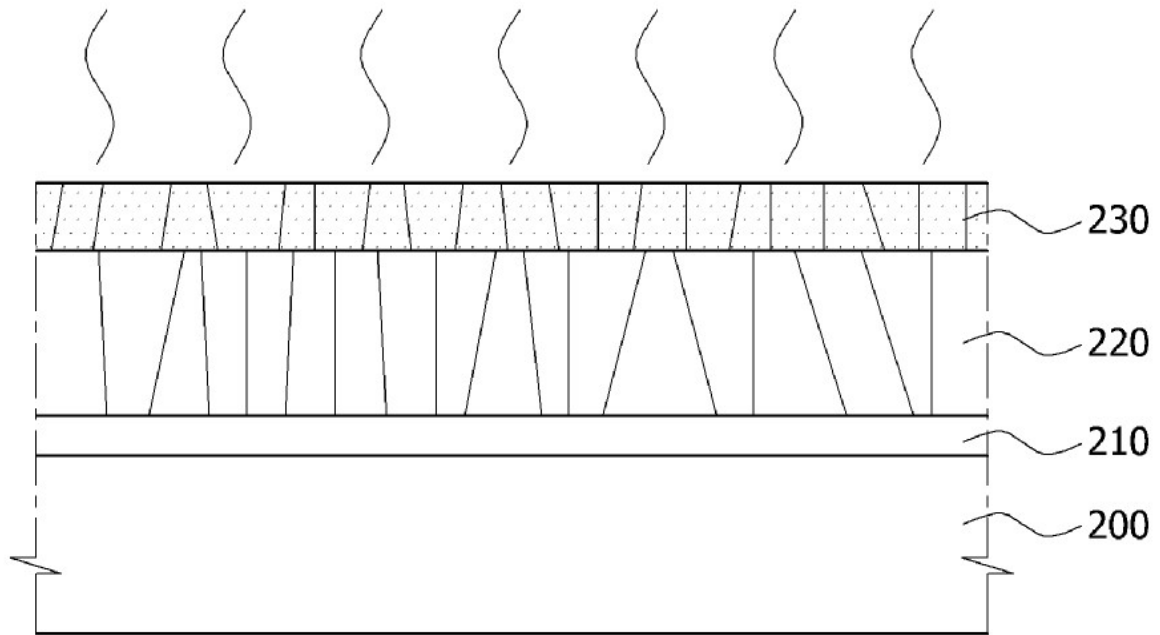
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.2	원주 구조의 나노 입자를 갖는 반도체 소자의 게이트 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	김병규
출원번호 (출원일)	KR10-2011-0012904 (2011-02-14)	등록번호 (등록일)	KR10-1868630 (2018-06-11)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-02-14
기술 개요			
<p>본 발명에 따른 반도체 소자의 게이트 형성방법은, 반도체기판 상에 게이트절연막을 형성하는 단계와, 게이트절연막 상에 원주형 나노(columnar) 구조의 도프트(doped) 폴리실리콘막을 형성하는 단계, 및 원주형 나노(columnar) 구조의 도프트(doped) 폴리실리콘막 상에 원주형 나노(columnar) 구조의 언도프트(undoped) 폴리실리콘막을 형성하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 아몰퍼스 구조의 도프트 폴리실리콘 게이트에서의 공핍영역에 의한 도전성 열화와 낮은 PDR 특성으로 인한 트랜지스터의 특성 열화를 개선할 수 있는 반도체 소자의 게이트 구조 및 그 제조 방법을 제공함에 있음</p>		<p>본 기술은 아몰퍼스 폴리실리콘막 대신에 원주형 나노 구조의 폴리실리콘막을 형성함으로써 도펀트의 원자 배열을 일정하게 하여 상호 확산에 의한 이동을 원활히 하고 전도성을 증가시켜 PDR이 확보된 안정적인 특성의 트랜지스터를 형성할 수 있으며, 전도성 증가 및 낮은 누설전류 등 전기적 특성이 좋은 트랜지스터를 형성하여 불량율을 낮추고 수율을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 소자의 게이트 형성방법을 설명하기 위한 단면도]


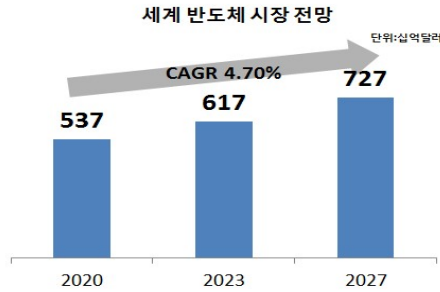
대표 청구항

반도체기판 상에 배치된 게이트절연막;상기 게이트절연막 상에 배치된 원주형 나노(columnar) 구조의 도프트(doped) 폴리실리콘막; 및상기 원주형 나노 구조의 도프트 폴리실리콘막 상에 배치되되, 상기 원주형 나노(columnar) 구조의 도프트(doped) 폴리실리콘막과 다른 두께를 갖는 원주형 나노(columnar) 구조의 언도프트(undoped) 폴리실리콘막을 포함하는 반도체소자의 게이트.

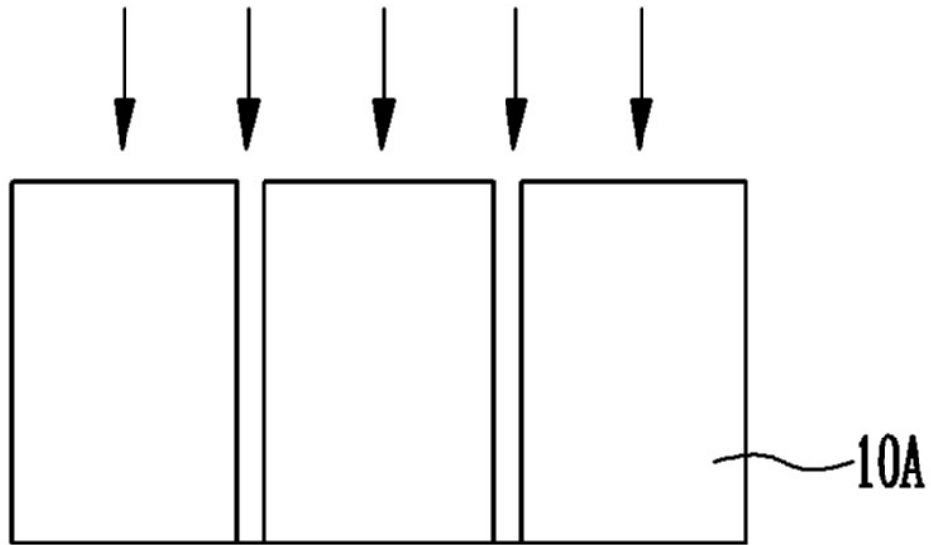
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.3	반도체 장치 및 비휘발성 메모리 소자 제조 방법		
현재 권리자	SK하이닉스	발명자	이승철
출원번호 (출원일)	KR10-2011-0038991 (2011-04-26)	등록번호 (등록일)	KR10-1788323 (2017-10-13)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-04-26
기술 개요			
<p>본 발명은 세정 공정을 포함한 반도체 장치 제조 방법에 관한 것이다. 본 발명은 반도체 장치 제조 방법에 있어서, 피식각층 상에 하드마스크 패턴을 형성하는 단계; 상기 하드마스크 패턴을 식각베리어로 상기 피식각층을 식각하여 패턴을 형성하는 단계; 상기 패턴 상부의 상기 하드마스크 패턴을 제거하는 단계; 및 상기 하드마스크 패턴이 제거된 결과물을 세정하되, 가열된 이소프로필알코올(IPA)을 이용하여 건조시키는 단계를 포함한다. 본 발명에 따르면, 패턴의 기울어짐 없이 웨이퍼를 건조시킬 수 있다. 또한, 패턴의 상부를 충분히 오픈시킨 상태에서 건조 공정을 수행하므로, 트렌치의 깊이가 깊거나 패턴의 높이가 높은 경우에도 웨이퍼를 용이하게 건조시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 건조 공정에서 패턴의 기울어짐을 방지하는 반도체 장치 및 비휘발성 메모리 소자 제조 방법을 제공함에 있음</p>		<p>본 기술은 친수성의 하드마스크 패턴이 제거된 상태에서 표면 장력이 낮은 가열된 이소프로필알코올을 이용하여 패턴의 기울어짐 없이 웨이퍼를 건조시킬 수 있으며, 패턴의 상부를 충분히 오픈시킨 상태에서 건조 공정을 수행하여 트렌치의 깊이가 깊거나 패턴의 높이가 높은 경우에도 웨이퍼를 용이하게 건조시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 장치 제조 방법을 설명하기 위한 공정 단면도]


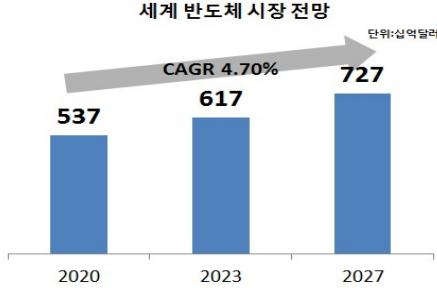
대표 청구항

피식각층 상에 하드마스크 패턴을 형성하는 단계;상기 하드마스크 패턴을 식각베리어로 상기 피식각층을 식각하여 패턴을 형성하는 단계;상기 패턴이 노출되도록 상기 하드마스크 패턴을 제거하는 단계; 및 상기 하드마스크 패턴이 제거된 결과물을 세정하되, 가열된 이소프로필알코올(IPA)을 이용하여 건조시키는 단계를 포함하는 반도체 장치 제조 방법.

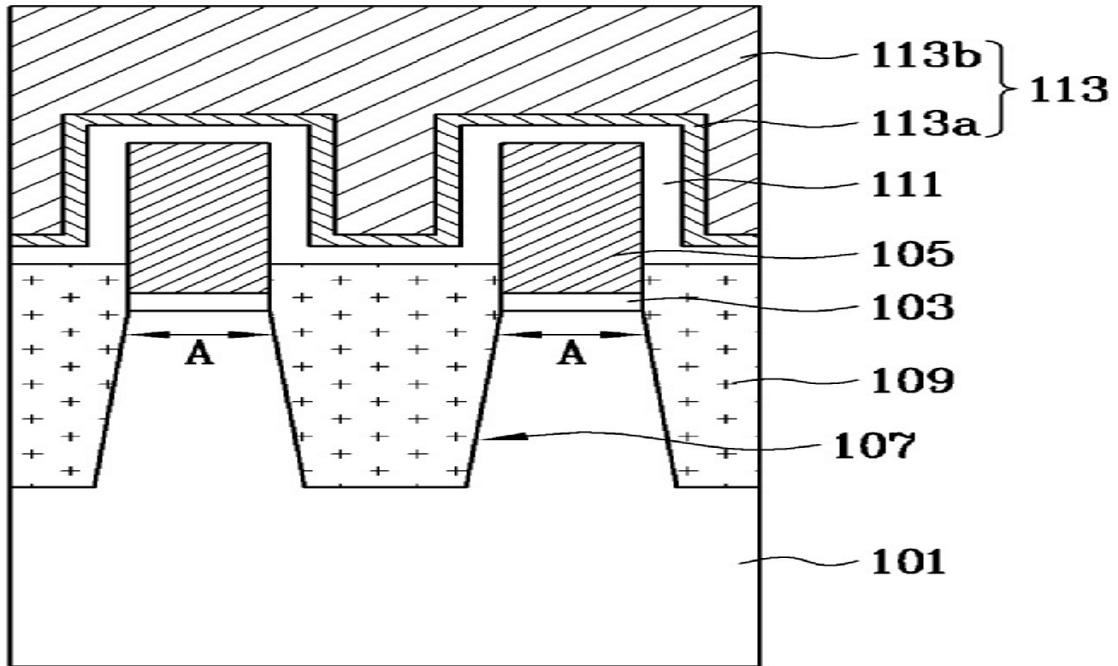
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.4	반도체 소자의 제조 방법		
현재 권리자	SK하이닉스	발명자	주광철
출원번호 (출원일)	KR10-2011-0038996 (2011-04-26)	등록번호 (등록일)	KR10-1819744 (2018-01-11)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-04-26
기술 개요			
<p>본 발명에 따른 반도체 소자의 제조 방법은 소자 분리막에 의해 구분된 반도체 기판의 활성 영역들 상부에 터널 절연막 및 플로팅 게이트용 도전막이 적층된 구조물을 제공하는 단계, 상기 소자 분리막 및 상기 플로팅 게이트용 도전막의 표면을 따라 유전체막을 형성하는 단계, 상기 유전체막의 표면을 따라 상기 유전체막의 상부에 제1 폴리 실리콘막을 Si₂H₆가스로 형성하는 단계, 및 상기 플로팅 게이트용 도전막들 사이의 공간을 채우는 제2 폴리 실리콘막을 상기 제1 폴리 실리콘막 상부에 SiH₄가스로 형성하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 오목부를 채우는 폴리 실리콘 막 내의 보이드 발생을 개선할 수 있는 반도체 소자의 제조 방법을 제공함에 있음		본 기술은 오목부를 채우는 폴리 실리콘막을 이중의 물질로 형성된 적층 구조로 형성함으로써 보이드의 발생 및 이동을 개선할 수 있으며, 가스를 이용해 증착하여 실리콘막의 시드를 균일하게 형성하고 시드 경계에 보이드가 발생하는 현상을 억제하는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 소자의 제조방법을 설명하기 위한 단면도]


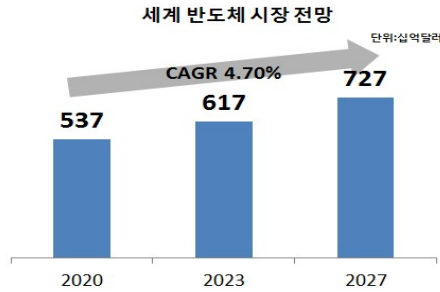
대표 청구항

소자 분리막에 의해 구분된 반도체 기판의 활성 영역들 상부에 터널 절연막 및 플로팅 게이트용 도전막이 적층된 구조물을 제공하는 단계; 상기 소자 분리막 및 상기 플로팅 게이트용 도전막의 표면을 따라 유전체막을 형성하는 단계; 상기 유전체막의 표면을 따라 상기 유전체막의 상부에 제1 폴리 실리콘막을 Si_2H_6 가스로 형성하는 단계; 및 상기 플로팅 게이트용 도전막들 사이의 공간을 채우는 제2 폴리 실리콘막을 상기 제1 폴리 실리콘막 상부에 SiH_4 가스로 형성하는 단계를 포함하고, 상기 제2 폴리 실리콘막을 형성하기 전, 상기 제1 폴리 실리콘막의 표면을 따라 자연 산화막을 형성하는 단계를 더 포함하고, 상기 제1 폴리 실리콘막을 형성하는 단계는 상기 제2 폴리 실리콘막을 형성하는 단계에 비해 짧은 인큐베이션 기간을 갖는 반도체 소자의 제조 방법.

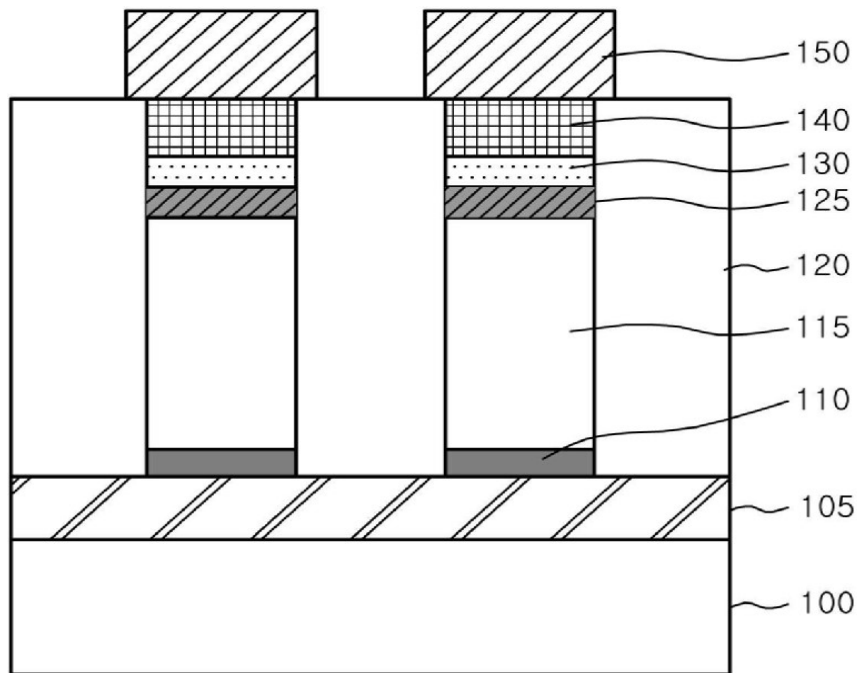
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.5	쇼트키 다이오드, 그것을 포함하는 저항성 메모리 장치 및 제조 방법		
현재 권리자	SK하이닉스	발명자	백승범
출원번호 (출원일)	KR10-2011-0052435 (2011-05-31)	등록번호 (등록일)	KR10-1802905 (2017-11-23)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-05-31
기술 개요			
<p>쇼트키 다이오드, 그것을 포함하는 저항성 메모리 장치 및 제조 방법에 대해 개시한다. 개시된 본 발명의 저항성 메모리 장치는, 워드 라인을 포함하는 반도체 기판, 상기 워드 라인 상부에 형성되는 쇼트키 다이오드, 및 상기 쇼트키 다이오드 상부에 형성되는 저장층을 포함하며, 상기 쇼트키 다이오드는 제 1 반도체층, 상기 제 1 반도체층 상부에 형성되며 상기 제 1 반도체층 보다 낮은 일함수를 갖는 도전층, 및 상기 도전층 상부에 형성되는 제 2 반도체층을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 온 커런트 및 오프 커런트 특성을 모두 개선할 수 있는 쇼트키 다이오드를 포함하는 저항성 메모리 장치 및 제조 방법을 제공함에 있음</p>		<p>본 기술은 반도체층내에 상기 반도체층보다 낮은 일함수를 갖는 물질을 내재시켜 문턱 전압을 낮춰 쇼트키 다이오드의 온 커런트 특성을 확보하고, 물질층으로 불순물이 하부쪽으로 확산 및 침투되는 현상을 방지하여 오프 커런트 특성도 감소시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[저항성 메모리 장치]


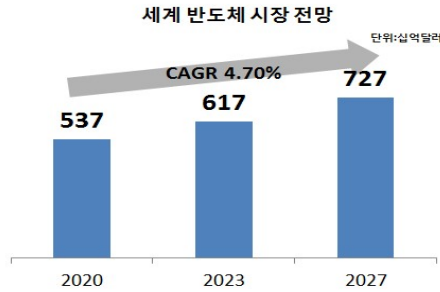
대표 청구항

제 1 반도체층;상기 제 1 반도체층 상부에 형성되며 상기 제 1 반도체층 보다 낮은 일함수를 갖는 도전층; 및상기 도전층 상부에 형성되는 제 2 반도체층을 포함하는 쇼트키 다이오드.

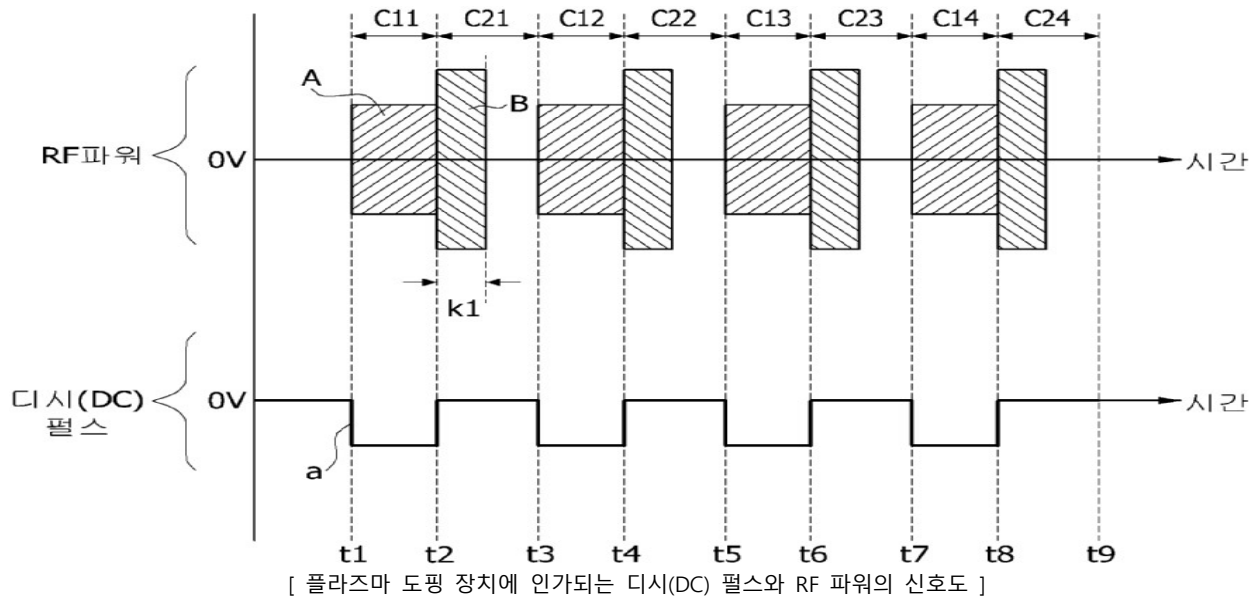
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	B+		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	공정기술
No.6	플라즈마 도핑 장치를 이용한 플라즈마 도핑 방법		
현재 권리자	SK하이닉스	발명자	주영환
출원번호 (출원일)	KR10-2011-0053234 (2011-06-02)	등록번호 (등록일)	KR10-1851005 (2018-04-16)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-06-02
기술 개요			
<p>본 발명의 플라즈마 도핑 방법은, 플라즈마 도핑 챔버 내의 플레이트 위에 도핑 대상물을 로딩시키는 단계와, 그리고 도핑 대상물에 대해 플라즈마 도핑이 이루어지도록 하는 도핑 사이클과, 도핑 사이클 사이의 중간 사이클이 반복적으로 수행되도록 하되, 도핑 사이클동안에는 제1 크기의 RF 파워 및 네가티브 디시(DC) 펄스가 인가되도록 하고, 중간 사이클에는 제1 크기보다 큰 제2 크기의 RF 파워를 인가한 후에 RF 파워 공급을 중단하고 디시(DC) 펄스는 인가되지 않도록 하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 p형 폴리게이트 내의 도핑농도를 증가시키고 도핑의 균일도를 증가시킬 수 있도록 하는 플라즈마 도핑 장치를 이용한 플라즈마 도핑 방법을 제공함에 있음</p>		<p>본 기술은 p형 폴리게이트 내의 도핑농도를 증가시키고 도핑의 균일도를 증가시켜 소자의 안정성을 높이는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




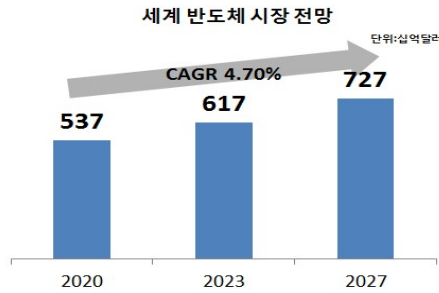
대표 청구항

플라즈마 도핑 챔버 내의 플레이트 위에 도핑 대상물을 로딩시키는 단계; 및 상기 도핑 대상물에 대해 플라즈마 도핑이 이루어지도록 하는 도핑 사이클과, 상기 도핑 사이클 사이의 중간 사이클이 반복적으로 수행되도록 하되, 상기 도핑 사이클 동안에는 제1 크기의 RF 파워 및 네가티브 디시(DC) 펄스가 인가되도록 하고, 상기 중간 사이클에는 상기 제1 크기보다 큰 제2 크기의 RF 파워를 인가한 후에 RF 파워 공급을 중단하고 상기 디시(DC) 펄스는 인가되지 않도록 하는 단계를 포함하고, 상기 중간 사이클 동안 상기 제2 크기의 RF 파워를 인가하는 기간은, 상기 도핑 대상물의 중심부와 가장자리부에서의 증착물 두께 차이를 고려하여 결정하는 플라즈마 도핑 방법.

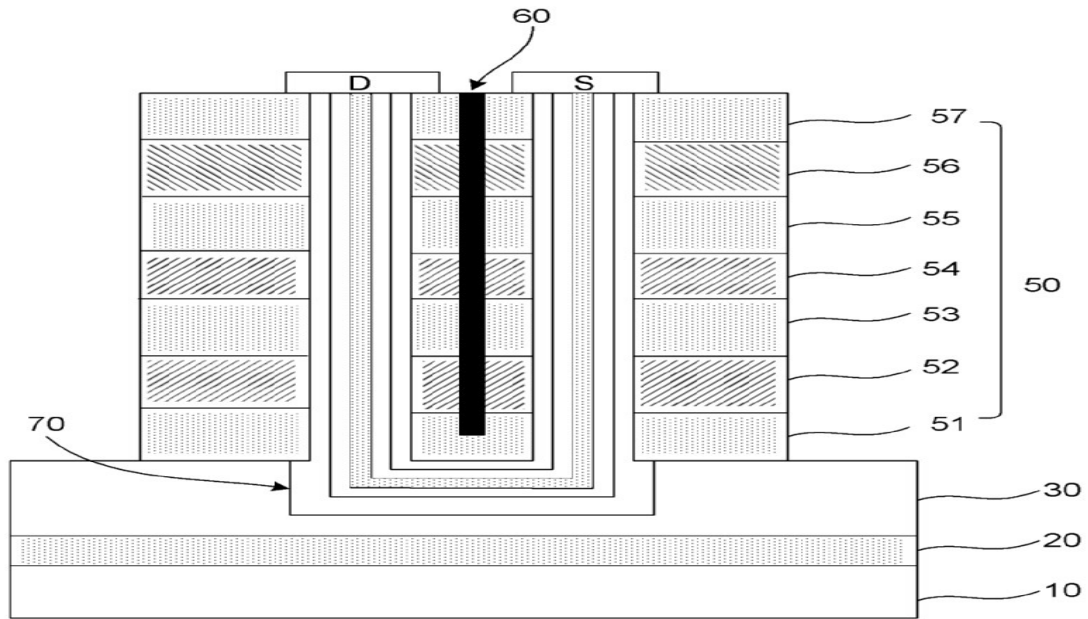
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.7	게이트 올 어라운드 방식의 2중 채널 형성 방법		
현재 권리자	SK하이닉스	발명자	김석구
출원번호 (출원일)	KR10-2011-0064136 (2011-06-30)	등록번호 (등록일)	KR10-1837771 (2018-03-06)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-06-30
기술 개요			
<p>본 발명의 게이트 올 어라운드(GAA) 방식의 2중 채널 형성 방법은, 기판에 산화막(oxide), 폴리 실리콘(Poly Si)을 순차적으로 증착 하고, 상기 폴리 실리콘(Poly Si)의 일부 영역에 질화막(Nitride) 패턴을 형성하는 제1 단계; 상기 기판의 상부면에 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 타입으로 복수의 워드라인(Word line)과 셀렉트 트랜지스터(select transistor)를 포함하는 게이트를 형성하는 제2 단계; 수평방향으로 달리는 상기 워드라인(Word line)을 분리하기 위해 수직방향으로 슬릿 패턴닝(slit patterning) 하여 플러그(plug)를 형성하는 제3 단계; 상기 플러그(plug)의 양 쪽에 채널(channel) 형성을 위한 제1 홀(hole) 및 제2 홀(hole)을 수직방향으로 형성하는 제4 단계; 제1 단계의 질화막(Nitride) 패턴을 식각(etch) 공정으로 제거하여 상기 제1 홀(hole) 및 상기 제2 홀(hole)이 서로 전기적으로 도통하도록 하는 2중 채널 형성공간을 형성하는 제5 단계; 상기 2중 채널 형성공간에 서로 다른 물질을 각각 증착하여 형성된 내부 채널 및 외부 채널을 포함하는 2중 채널(dual channel)을 형성하는 제6 단계; 및 상기 2중 채널(dual channel)의 콘택(contact)에 소스(source), 드레인(drain) 영역을 형성하는 제7 단계를 포함하여 기술적 특징이 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 수직구조를 갖는 셀의 동작특성을 확보하기 위한 게이트 올 어라운드 방식에서 Si Poly를 증착하여 형성된 내부 채널 및 외부채널을 갖는 2중 채널을 제조하는 방법을 제공함에 있음</p>		<p>본 기술은 곡률 효과로 인해 발생하는 격자의 끊김을 방지하고 전하의 이동도의 감소를 보상할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[2중 채널의 콘택(contact)에 소스(source), 드레인(drain) 영역을 형성한 후 단면]


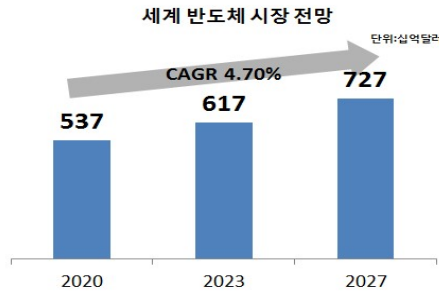
대표 청구항

기판에 산화막(oxide), 폴리 실리콘(Poly Si)을 순차적으로 증착 하고, 상기 폴리 실리콘(Poly Si)의 일부 영역에 질화막(Nitride) 패턴을 형성하는 제1 단계;상기 기판의 상부면에 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 타입으로 복수의 워드라인(Word line)과 셀렉트 트랜지스터(select transistor)를 포함하는 게이트를 형성하는 제2 단계;수평방향으로 달리는 상기 워드라인(Word line)을 분리하기 위해 수직방향으로 슬릿 패턴닝(slit patterning) 하여 플러그(plug)를 형성하는 제3 단계;상기 플러그(plug)의 양 쪽에 채널(channel) 형성을 위한 제1 홀(hole) 및 제2 홀(hole)을 수직 방향으로 형성하는 제4 단계;제1 단계의 질화막(Nitride) 패턴을 식각(etch) 공정으로 제거하여 상기 제1 홀(hole) 및 상기 제2 홀(hole)이 서로 전기적으로 도통하도록 하는 2중 채널 형성공간을 형성하는 제5 단계;상기 2중 채널 형성공간에 서로 다른 물질을 각각 증착하여 형성된 내부 채널 및 외부 채널을 포함하는 2중 채널(dual channel)을 형성하는 제6 단계; 및 상기 2중 채널(dual channel)의 콘택(contact)에 소스(source), 드레인(drain) 영역을 형성하는 제7 단계를 포함하고,상기 제4 단계의 내부 채널은 홀 중앙부의 산화막(oxide)과 인접하여 형성되고, 외부 채널은 홀의 바깥쪽의 ONO 층과 인접하여 형성되는 것을 특징으로 하는 것을 특징으로 하는 게이트 올 어라운드(GAA) 방식의 2중 채널 형성 방법.

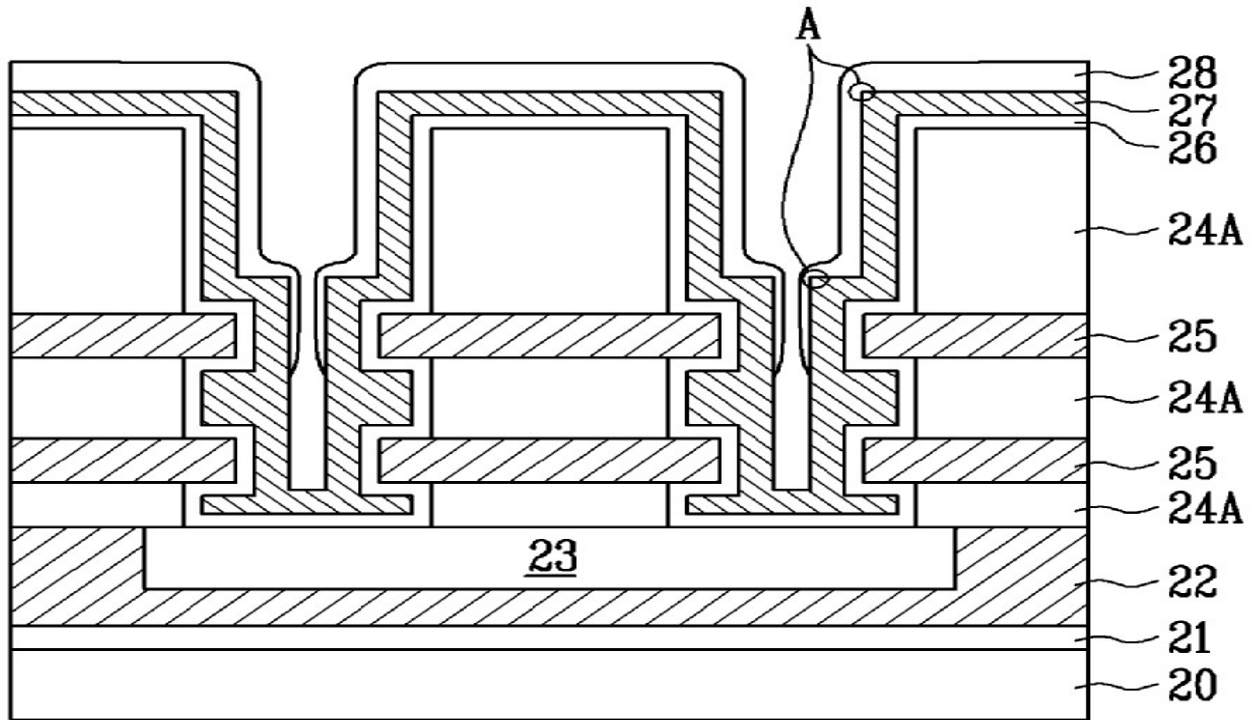
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.8	3차원 구조의 비휘발성 메모리 소자 제조 방법		
현재 권리자	SK하이닉스	발명자	신대규
출원번호 (출원일)	KR10-2011-0066808 (2011-07-06)	등록번호 (등록일)	KR10-1797630 (2017-11-08)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-07-06
기술 개요			
<p>본 발명은 3차원 구조의 비휘발성 메모리 소자 제조 방법에 관한 것으로, 기판 상에 복수의 제1 층간 절연막들 및 복수의 제1 도전막들을 교대로 형성하는 단계; 상기 복수의 제1 층간절연막들 및 복수의 제1 도전막들을 식각하여 복수의 제1 트렌치들을 형성하는 단계; 상기 제1 트렌치의 내벽에 노출된 상기 복수의 제1 층간절연막들을 일부 두께 리세스하는 단계; 상기 복수의 제1 층간절연막들이 리세스된 상기 제1 트렌치의 내면을 따라 전하차단막을 형성하는 단계; 상기 제1 층간절연막의 리세스 영역이 매립되도록 상기 제1 트렌치의 내면을 따라 제2 도전막을 형성하는 단계; 상기 복수의 제1 트렌치들의 개구부를 덮고 상기 복수의 제1 트렌치들의 저면은 노출시키도록, 상기 복수의 제1 트렌치들의 상부 내벽 및 상기 복수의 제1 트렌치들 사이의 상기 복수의 제1 층간절연막들 및 복수의 제1 도전막들의 상부에 버퍼막을 형성하는 단계; 및 상기 복수의 제1 트렌치들의 저면에 형성된 상기 제2 도전막 및 상기 전하차단막을 제거하는 단계를 포함한다. 본 발명에 따르면, 트렌치의 개구부에 버퍼막을 형성한 후에 트렌치 저면의 전하차단막 및 플로팅 게이트용 도전막을 제거하므로, 상부의 플로팅 게이트 및 전하차단막이 손상되는 것을 방지할 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 3차원 구조를 갖는 플로팅 게이트형 비휘발성 메모리 소자의 제조 방법을 제 공함에 있음</p>		<p>본 기술은 종래의 3차원 구조의 전하트랩형 비휘발성 메모리 소자에 비해 메모리 소자의 퍼포먼스를 향상시키고 신뢰성을 높일 수 있으며, 전하차단막이 플로팅 게이트 전극의 전면을 둘러싸도록 형성함으로써 종래에 비해 간섭 효과를 감소시킬 수 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[3차원 구조의 비휘발성 메모리 소자 제조 방법을 설명하기 위한 공정 단면도]


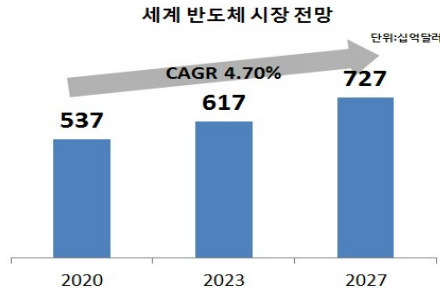
대표 청구항

기판 상에 복수의 제1 층간절연막들 및 복수의 제1 도전막들을 교대로 형성하는 단계;상기 복수의 제1 층간절연막들 및 복수의 제1 도전막들을 식각하여 복수의 제1 트렌치들을 형성하는 단계;상기 제1 트렌치의 내벽에 노출된 상기 복수의 제1 층간절연막들을 일부 두께 리세스하는 단계;상기 복수의 제1 층간절연막들이 리세스된 상기 제1 트렌치의 내면을 따라 전하차단막을 형성하는 단계;상기 제1 층간절연막의 리세스 영역이 매립되도록 상기 제1 트렌치의 내면을 따라 제2 도전막을 형성하는 단계;상기 복수의 제1 트렌치들의 개구부를 덮고 상기 복수의 제1 트렌치들의 저면은 노출시키도록, 상기 복수의 제1 트렌치들의 상부에 버퍼막을 형성하는 단계; 및상기 복수의 제1 트렌치들의 저면에 형성된 상기 제2 도전막 및 상기 전하차단막을 제거하는 단계를 포함하는 3차원 구조의 비휘발성 메모리 소자 제조 방법.

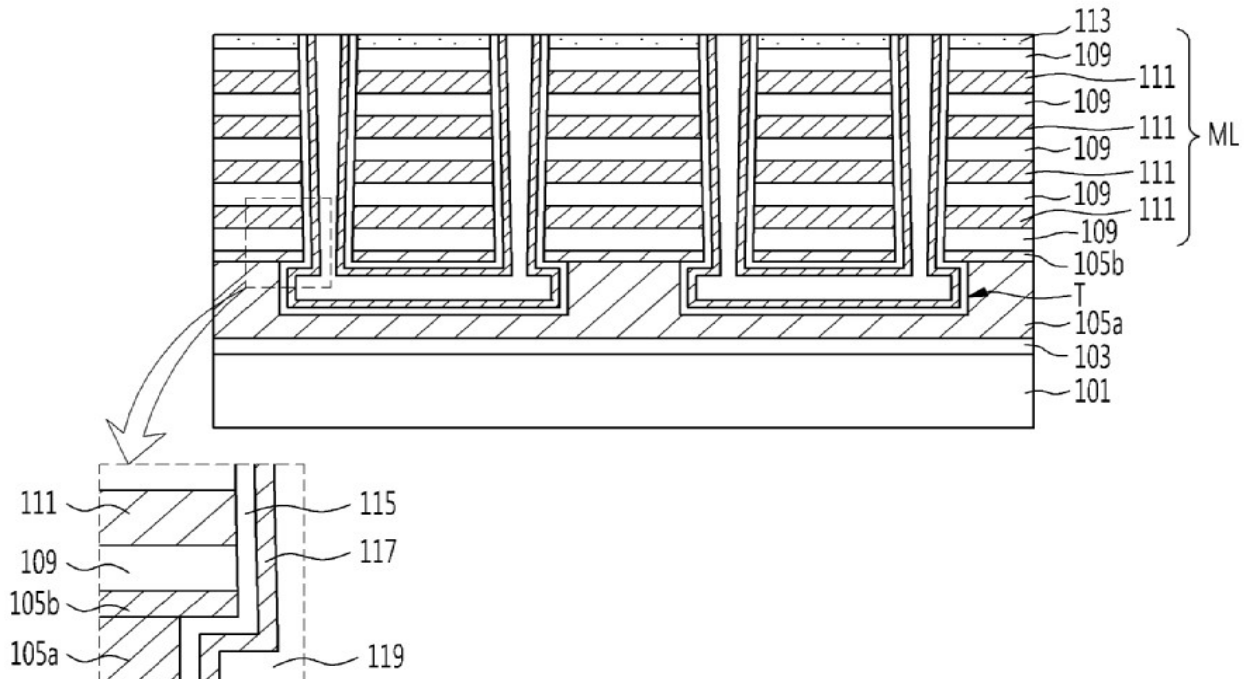
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.9	3차원 불휘발성 메모리 소자의 제조 방법		
현재 권리자	SK하이닉스	발명자	신학섭
출원번호 (출원일)	KR10-2011-0085602 (2011-08-26)	등록번호 (등록일)	KR10-1863367 (2018-05-25)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-08-26
기술 개요			
<p>본 발명에 따른 3차원 불휘발성 메모리 소자의 제조 방법은 희생막으로 채워진 트렌치를 포함하는 파이프 게이트막, 상기 파이프 게이트막 상부에 교대로 적층된 다수의 절연막 및 도전막, 및 상기 다수의 절연막 및 도전막의 상부에 적층되며 상기 희생막과 다른 물질인 하드 마스크 패턴을 포함하는 적층 구조를 형성하는 단계; 상기 하드 마스크 패턴을 마스크로 상기 다수의 절연막 및 도전막의 노출된 영역을 제거하여 상기 희생막을 노출시키는 한 쌍의 채널홀을 형성하는 단계; 상기 채널홀의 측벽 상에 보호막을 형성한 후, 상기 트렌치가 노출되도록 상기 희생막을 제거하는 단계; 상기 보호막을 제거하고, 상기 트렌치 및 채널홀을 포함한 전체 구조의 표면을 따라 터널 절연막, 전하 저장막, 및 블로킹 절연막의 적층막을 형성한 후, 상기 적층막의 상부에 채널막을 형성하는 단계; 및 상기 하드 마스크 패턴이 노출될 때 정지하는 평탄화 공정으로 상기 하드 마스크 패턴 상부의 상기 채널막, 및 상기 적층막을 제거하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 U자형 메모리 스트링을 가진 3차원 불휘발성 메모리 소자의 제조 공정시 평탄화 공정의 안정성을 개선할 수 있는 3차원 불휘발성 메모리 소자 및 그 제조 방법을 제공함에 있음</p>		<p>본 기술은 희생막 제거 후 전체 구조 표면을 따라 적층막을 형성한 후 적층막을 평탄화하는 공정을 하드 마스크막 노출시 정지할 수 있어 평탄화 공정 동안 적층 구조의 최상층에 형성된 절연막 두께가 손실되는 것을 방지할 수 있으므로 적층 구조의 최상층에 형성된 절연막 두께가 불균일해지는 현상을 개선하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[3차원 불휘발성 메모리 소자의 제조방법을 도시한 단면도]


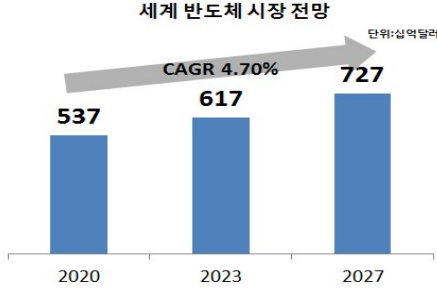
대표 청구항

희생막으로 채워진 트렌치를 포함하는 파이프 게이트막, 상기 파이프 게이트막 상부에 교대로 적층된 다수의 절연막 및 도전막, 및 상기 다수의 절연막 및 도전막의 상부에 적층되며 상기 희생막과 다른 물질인 하드 마스크 패턴을 포함하는 적층 구조를 형성하는 단계;상기 하드 마스크 패턴을 마스크로 상기 다수의 절연막 및 도전막의 노출된 영역을 제거하여 상기 희생막을 노출시키는 한 쌍의 채널홀을 형성하는 단계;상기 채널홀의 측벽 상에 보호막을 형성한 후, 상기 트렌치가 노출되도록 상기 희생막을 제거하는 단계;상기 보호막을 제거하고, 상기 트렌치 및 채널홀을 포함한 전체 구조의 표면을 따라 터널 절연막, 전하 저장막, 및 블로킹 절연막의 적층막을 형성한 후, 상기 적층막의 상부에 채널막을 형성하는 단계; 및상기 하드 마스크 패턴이 노출될 때 정지하는 평탄화 공정으로 상기 하드 마스크 패턴 상부의 상기 채널막, 및 상기 적층막을 제거하는 단계를 포함하는 3차원 불휘발성 메모리 소자의 제조 방법.

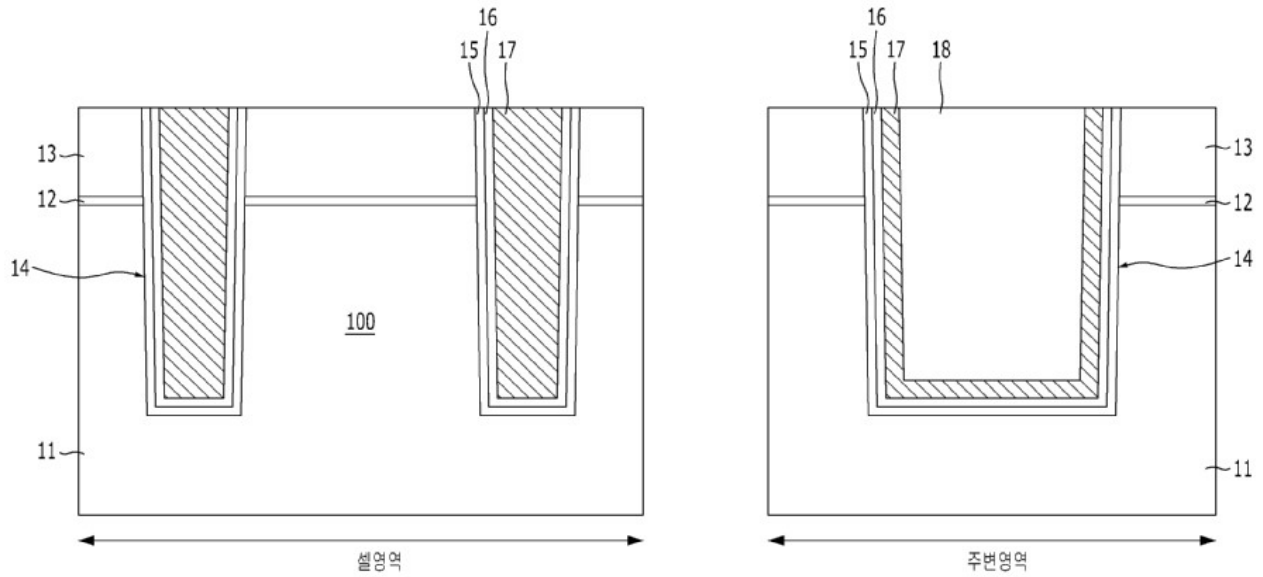
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	A+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.10	반도체 장치 및 그의 제조 방법		
현재 권리자	SK하이닉스	발명자	박점용
출원번호 (출원일)	KR10-2011-0086017 (2011-08-26)	등록번호 (등록일)	KR10-1843467 (2018-03-23)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-08-26
기술 개요			
<p>본 발명은 반도체 소자의 뒤틀림을 방지하고, 트랜지스트의 열화를 막아 안정적인 소자를 형성하기 위한 반도체 장치 및 그의 제조 방법을 제공하기 위한 것으로, 셀영역과 주변영역이 구비된 기판; 상기 셀영역에 형성된 제1트렌치; 상기 주변영역에 형성되고 상기 제1트렌치보다 선평이 큰 제2트렌치; 상기 제1트렌치에 모두 매립되고 상기 제2트렌치의 측벽 및 바닥부에 단차를 따라 형성된 보호막; 상기 제2트렌치의 보호막 상에 상기 제2트렌치의 나머지가 매립된 절연막; 상기 셀영역에 상기 제1트렌치 사이의 기판에 형성된 리세스패턴; 및 상기 리세스패턴의 일부를 매립하는 매립게이트를 포함하여, 소자분리막 형성시 트렌치를 매립하거나, 단차를 따라 질화막질의 보호막을 형성하여 어닐공정시 절연막의 부피감소에 따른 기판의 뒤틀림을 방지하는 효과, 보호막 형성 전에 트렌치의 단차를 따라 측벽산화막 및 라이너산화막을 적층하여 기판과 캡필물질 간의 스트레스 방지 및 기판의 산화를 방지하는 효과 및 트랜지스터의 열화를 막아 소자를 안정적으로 구현하는 효과가 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 반도체 소자의 뒤틀림을 방지하고 트랜지스트의 열화를 막아 안정적인 소자를 형성하기 위한 반도체 장치 및 그의 제조 방법을 제공함에 있음</p>		<p>본 기술은 소자분리막 형성시 트렌치를 매립하거나 단차를 따라 질화막질의 보호막을 형성하여 어닐공정시 절연막의 부피감소에 따른 기판의 뒤틀림을 방지하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 장치 제조 방법을 설명하기 위한 공정 단면도]


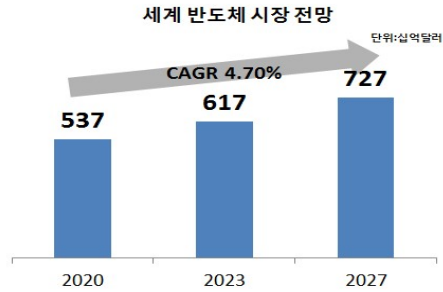
대표 청구항

셀영역과 주변영역이 구비된 기판을 식각하여 상기 셀영역에 제1트렌치와 상기 주변영역에 상기 제1트렌치보다 선평이 큰 제2트렌치를 형성하는 단계;상기 제1트렌치는 모두 매립되면서 상기 제2트렌치의 측벽 및 바닥부에 단차를 따라 형성되는 질화막을 형성하는 단계;상기 제2트렌치의 질화막 상에 상기 제2트렌치의 나머지를 매립하는 절연막을 형성하는 단계;상기 셀영역에 상기 제1트렌치 사이의 기판을 식각하여 리세스패턴을 형성하는 단계; 및 상기 리세스패턴의 일부를 매립하는 매립게이트를 형성하는 단계를 포함하는 반도체 장치 제조 방법.

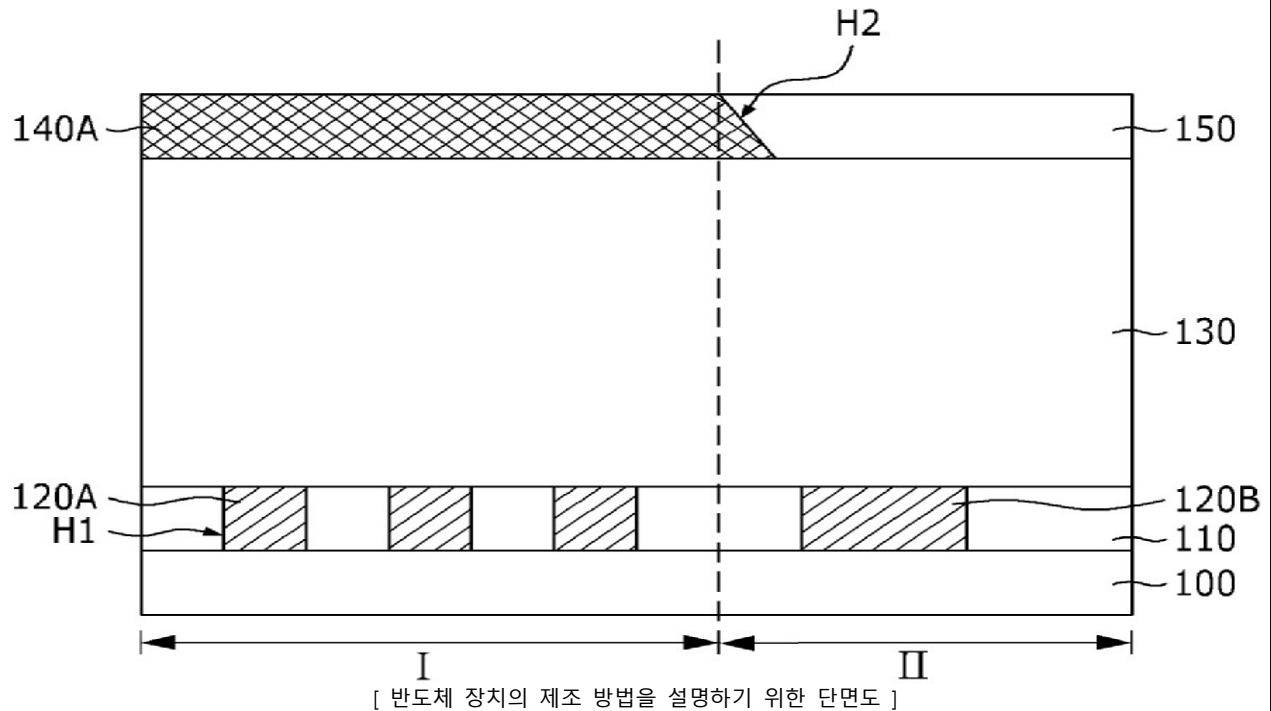
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.11	반도체 장치의 제조 방법		
현재 권리자	SK하이닉스	발명자	임희열
출원번호 (출원일)	KR10-2011-0086837 (2011-08-30)	등록번호 (등록일)	KR10-1882851 (2018-07-23)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-08-30
기술 개요			
<p>반도체 장치의 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은, 제1 영역 및 제2 영역을 갖는 기판 상에 상기 제1 영역의 패턴 형성을 위한 하드마스크층을 형성하는 단계; 상기 제2 영역의 상기 하드마스크층을 선택적으로 제거하여 개구부를 형성하는 단계; 및 상기 개구부를 매립하는 투명한 매립층을 형성하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 오버레이 버니어 또는 정렬 키 등의 정렬 패턴을 포함하는 반도체 장치의 제조 방법을 제공함에 있음</p>		<p>본 기술은 정렬 패턴의 리딩을 위한 개구부를 형성 하되 개구부 형성에 따른 단차를 제거하여 후속 공정을 용이하게 진행할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




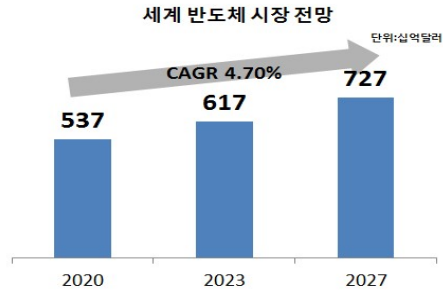
대표 청구항

제1 영역과 제2 영역을 갖는 기판을 준비하는 단계;상기 기판의 상기 제1 영역과 제2 영역에 각각 스토리지노드콘택 및 정렬 패턴을 형성하는 단계;상기 스토리지노드콘택 및 정렬 패턴이 형성된 기판 상에 몰드층과 하드마스크층을 순차적으로 형성하는 단계;상기 제2 영역의 하드마스크층을 선택적으로 식각하여 상기 제2 영역의 몰드층 표면을 노출시키는 개구부를 형성하는 단계; 및상기 개구부를 매립하는 투명한 매립층을 형성하는 단계를 포함하되,상기 개구부를 형성하는 단계에서 상기 개구부의 측벽이 경사지게 식각되도록 하는 단계를 포함하는반도체 장치의 제조 방법.

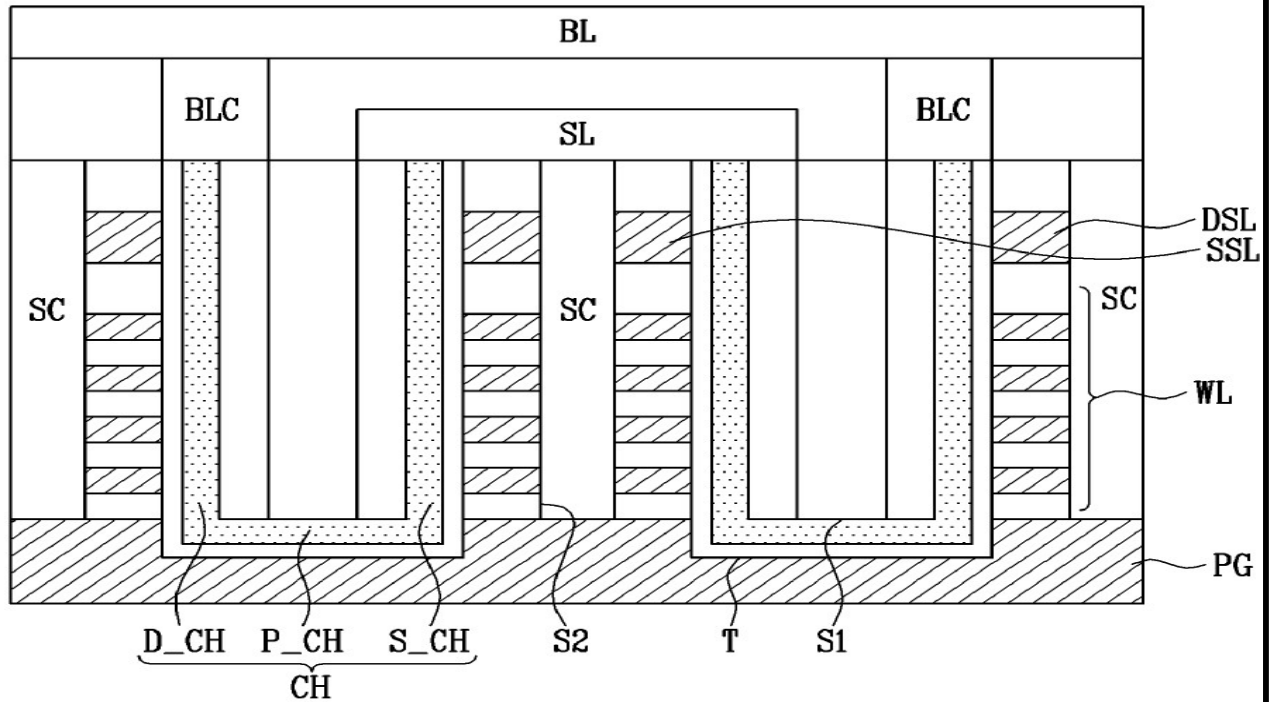
특허평가등급

	평가항목	등급		평가항목	등급
권리/ 기술성	기술의 권리성	AA	시장성	시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.12	3차원 구조의 비휘발성 메모리 소자 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	박병수
출원번호 (출원일)	KR10-2011-0108902 (2011-10-24)	등록번호 (등록일)	KR10-1938004 (2019-01-07)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-10-24
기술 개요			
<p>본 발명은 3차원 구조를 갖는 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다. 본 발명은 3차원 구조의 비휘발성 메모리 소자에 있어서, 파이프 게이트; 상기 파이프 게이트 상에 적층된 복수의 워드라인들; 상기 복수의 워드라인들을 관통하는 복수의 트렌치들; 상기 트렌치의 내벽 및 저면을 따라 형성된 채널막; 일 방향으로 배열된 상기 복수의 트렌치들을 가로지르는 슬릿; 및 상기 슬릿에 매립된 희생막을 포함한다. 본 발명에 따르면, 하나의 트렌치를 이용하여 소스 사이드 채널, 드레인 사이드 채널 및 파이프 채널을 동시에 형성할 수 있다. 따라서, 종래와 달리 파이프 채널용 트렌치와 셀 채널용 트렌치를 별도로 형성할 필요가 없다. 또한, 파이프 채널용 트렌치 내에 희생막을 매립하고 이후에 제거하는 공정을 수행할 필요가 없다. 따라서, 종래에 비해 제조 공정을 간소화하고 제조 단가를 낮출 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 하나의 트렌치를 이용하여 소스 사이드 채널, 드레인 사이드 채널 및 파이프 채널을 동시에 형성하는 3차원 구조의 비휘발성 메모리 소자 및 그 제조 방법을 제공함에 있음</p>		<p>본 기술은 하나의 트렌치를 이용하여 소스 사이드 채널, 드레인 사이드 채널 및 파이프 채널을 동시에 형성할 수 있어 종래와 달리 파이프 채널용 트렌치와 셀 채널용 트렌치를 별도로 형성할 필요가 없고 파이프 채널용 트렌치 내에 희생막을 매립하고 이후에 제거하는 공정을 수행할 필요가 없어 제조 공정을 간소화하고 제조 단가를 낮추는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[3차원 구조의 비휘발성 메모리 소자의 구조를 나타내는 단면도]


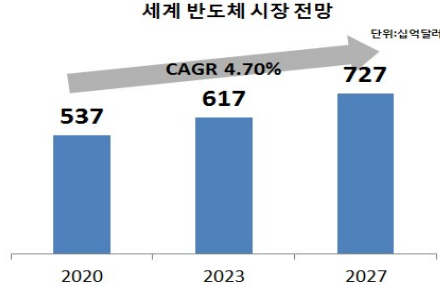
대표 청구항

적층된 복수의 워드라인들;상기 복수의 워드라인들을 관통하는 복수의 트랜치들;상기 복수의 트랜치들의 내벽 및 저면을 따라 각각 형성된 복수의 채널막들;일 방향으로 배열된 상기 복수의 트랜치들을 가로지르고, 상기 복수의 채널막들을 상기 일 방향으로 관통하는 제1 슬릿; 및상기 제1 슬릿 내에 형성된 희생막을 포함하고,상기 제1 슬릿에 의해, 각각의 채널막들이 상기 제1 슬릿의 일측과 타측으로 분리되는 3차원 구조의 비휘발성 메모리 소자.

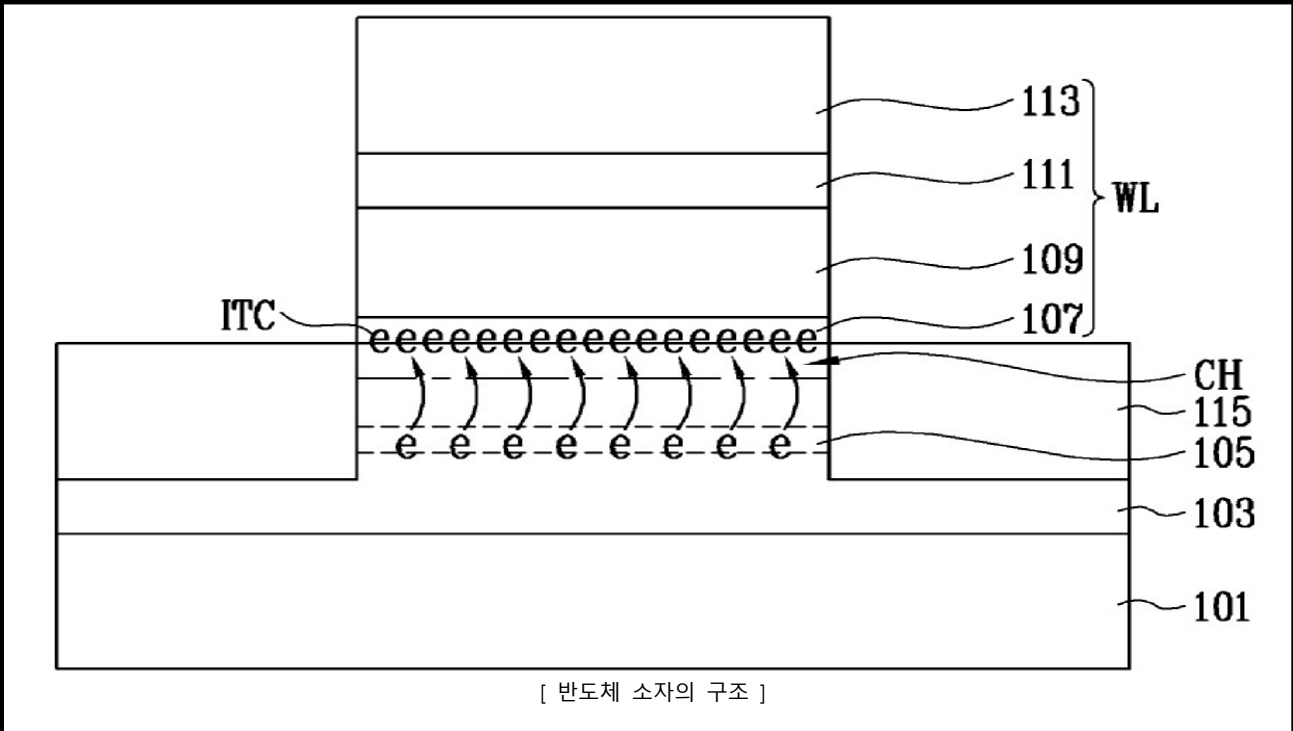
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	A+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.13	반도체 소자 및 이의 제조 방법		
현재 권리자	SK하이닉스	발명자	이희열
출원번호 (출원일)	KR10-2011-0122236 (2011-11-22)	등록번호 (등록일)	KR10-1881593 (2018-07-18)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-11-22
기술 개요			
<p>반도체 소자는 제1 불순물 농도의 웰이 형성된 반도체 기판과, 기판 상에 적층된 절연막, 전하 저장막, 유전체막 및 도전막을 포함하는 셀 게이트와, 셀 게이트의 양측의 웰 내에 형성된 접합 영역들, 및 접합 영역보다 얇은 깊이에서 접합 영역들 사이에 위치하고 제1 불순물 농도보다 낮은 제2 불순물 농도의 불순물 주입층을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 메모리 셀이 턴온될 때 흐르는 전류의 양이 감소되는 것을 방지할 수 있는 반도체 소자 및 이의 제조 방법을 제공함에 있음</p>		<p>본 기술은 메모리 셀이 턴온될 때 흐르는 전류의 양이 감소되는 것을 방지함으로써 반도체 소자의 동작 특성 및 신뢰성을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




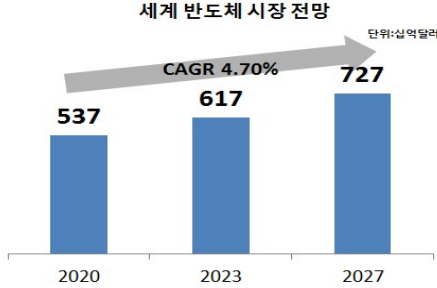
대표 청구항

제1 불순물 농도의 웰이 형성된 반도체 기판;상기 기판 상에 적층된 절연막, 전하 저장막, 유전체막 및 도전막을 포함하는 셀 게이트;상기 셀 게이트의 양측의 상기 웰 내에 형성된 접합 영역들; 및상기 접합 영역보다 얇은 깊이에서 상기 접합 영역들 사이에 위치하고 상기 제1 불순물 농도보다 낮은 제2 불순물 농도의 불순물 주입층을 포함하고,상기 전하 저장막 및 상기 도전막은 상기 제1 불순물 농도로 분포하는 상기 웰 내부의 불순물과 동일한 타입의 불순물을 포함하는 반도체 소자.

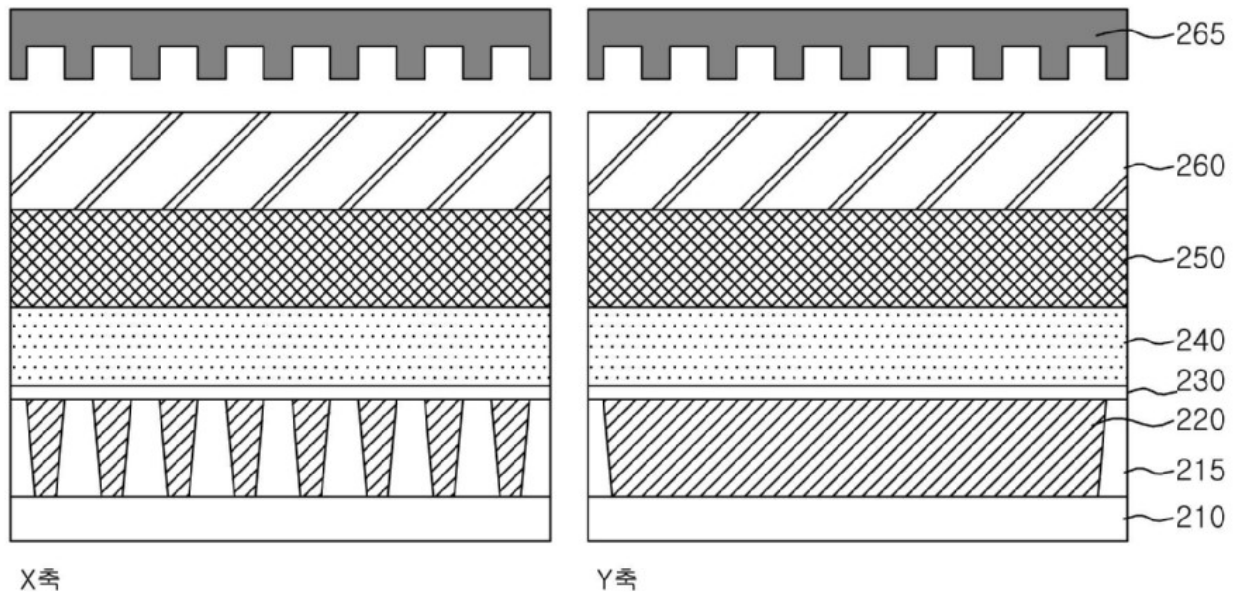
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.14	상변화 메모리 장치의 제조 방법		
현재 권리자	SK하이닉스	발명자	이용석
출원번호 (출원일)	KR10-2012-0008298 (2012-01-27)	등록번호 (등록일)	KR10-1899333 (2018-09-11)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-01-27
기술 개요			
<p>본 기술은 상변화 메모리 장치의 제조 방법에 관한 것으로, 본 기술에 따른 상변화 메모리 장치의 제조 방법은 워드라인 영역이 형성된 반도체 기판을 제공하는 단계, 상기 워드라인 영역 상부에 제1절연물질 및 제2절연물질을 적층하는 단계, 상기 제1절연물질과 상기 제2절연물질을 x축과 y축 방향으로 동시에 형상을 한정하는 마스크 패턴을 이용하여 상기 워드라인 영역이 노출되도록 식각하여 다이오드 패턴을 형성하기 위한 홀을 형성하는 단계, 상기 홀의 하단부에 배리어 메탈막을 형성하는 단계, 상기 홀의 측벽에 다이오드용 스페이서를 형성하는 단계 및 상기 홀의 내부가 매립되도록 폴리실리콘막을 평탄화하여 다이오드를 형성하는 단계를 포함할 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 쇼트키 다이오드의 제조 과정을 개선하여 공정 단계를 줄여 효율적으로 상변화 메모리 장치를 제조할 수 있도록 하는 상변화 메모리 장치의 제조 방법을 제공함에 있음</p>		<p>본 기술은 쇼트키 다이오드의 제조 과정을 개선하여 공정 단계를 줄임으로써 효율적으로 상변화 메모리 장치를 제조할 수 있고 워드라인 영역의 손상도 방지할 수 있게 되는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[상변화 메모리 장치의 쇼트키 다이오드 제조방법]


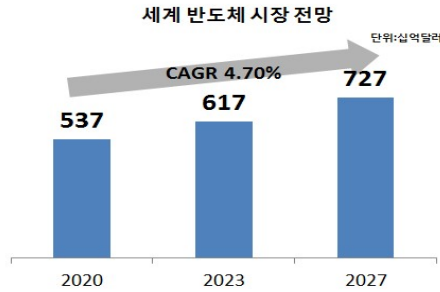
대표 청구항

반도체 기판상에 워드 라인을 형성하는 단계; 상기 워드 라인 상부에 제1절연물질 및 제2절연물질을 순차적으로 적층하는 단계; x축 및 y축 방향의 길이를 동시에 한정하는 마스크 패턴을 이용하여 상기 제1절연물질 및 제2절연물질을 식각하여, 상기 워드라인의 상부 표면의 일부를 매트릭스 형태로 노출시키는 다이오드 패턴을 형성하기 위한 홀을 형성하는 단계; 상기 홀 하단의 노출된 상기 워드라인 상부에 배리어 메탈막을 형성하는 단계; 상기 홀의 측벽에 해당하는 상기 제2절연물질 표면에 다이오드 보호를 위한 절연 스페이서를 형성하는 단계; 및 상기 홀의 내부가 매립되도록 폴리실리콘막을 평탄화하여 다이오드를 형성하는 단계;를 포함하는 상변화 메모리 장치의 제조 방법.

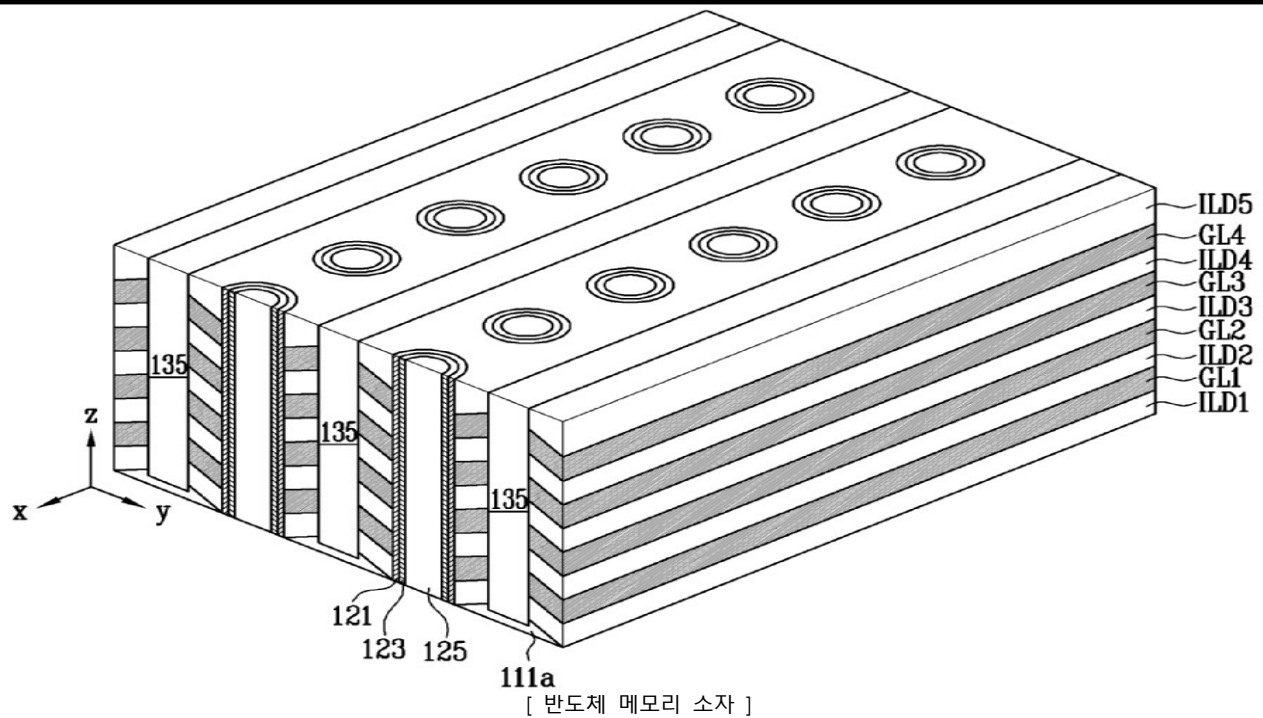
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.15	반도체 메모리 소자 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	윤형순
출원번호 (출원일)	KR10-2012-0011854 (2012-02-06)	등록번호 (등록일)	KR10-1900892 (2018-09-14)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-02-06
기술 개요			
<p>본 기술은 기판으로부터 돌출된 수직 채널막, 및 상기 수직 채널막을 감싸면서 교대로 적층되고, 상기 기판 표면에 대해 경사지게 기울어져 형성된 층간 절연 패턴들 및 도전막 패턴들을 포함하는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 교대로 적층된 층간 절연막 패턴들 및 도전막 패턴들을 포함하는 반도체 소자 및 그 제조 방법을 제공함에 있음</p>		<p>본 기술은 기판 표면에 대해 경사지게 층간 절연막 패턴들 또는 도전막 패턴들을 형성함으로써 경사진 층간 절연막 패턴들 사이를 도전막으로 채우거나 경사진 도전막 패턴들 사이를 절연막으로 채우는 매립 공정 시 보이드 또는 심 발생을 줄일 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




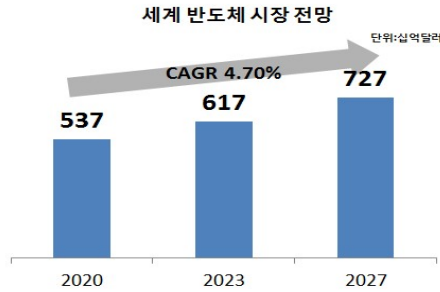
대표 청구항

기판 상부로 돌출된 절연막들;상기 절연막들 사이에 배치되고, 상기 기판으로부터 돌출된 수직 채널막; 및상기 절연막들 사이에서 상기 수직 채널막을 감싸면서 교대로 적층된 층간 절연 패턴들 및 도전막 패턴들을 포함하고,상기 층간 절연 패턴들 및 상기 도전막 패턴들 각각은 상기 기판 표면에 대해 경사를 갖도록 기울어진 사선부를 포함하고, 상기 사선부는 상기 수직 채널막의 측벽으로부터 상기 절연막들의 측벽을 향하여 연장되는 반도체 메모리 소자.

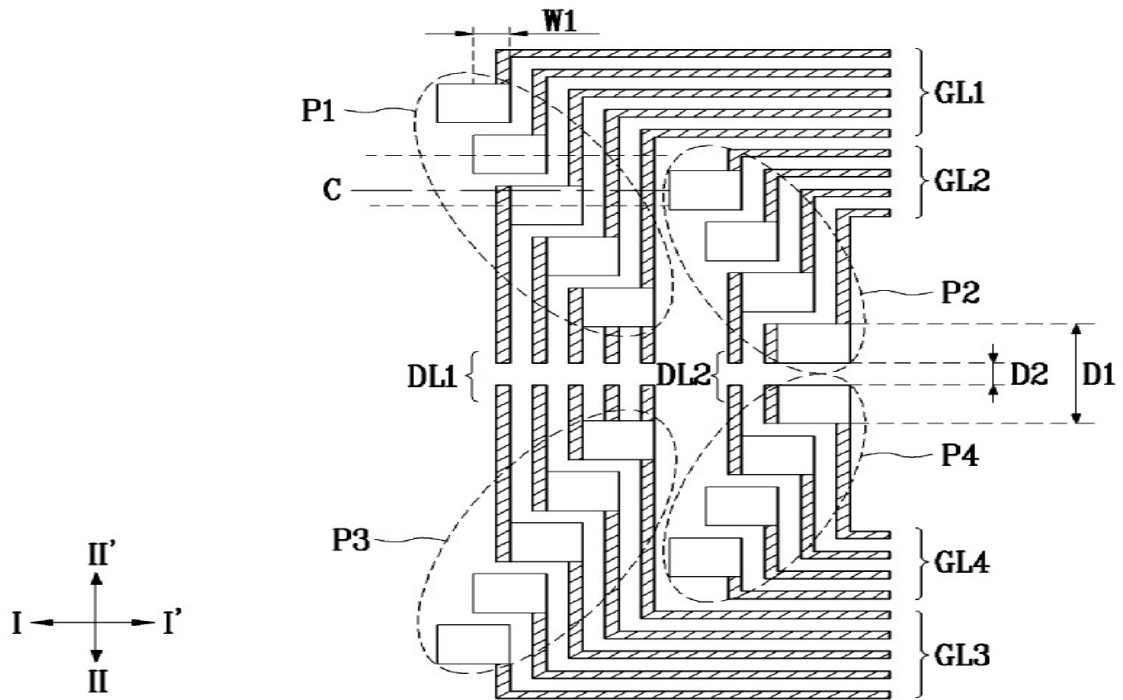
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	공정기술
No.16	반도체 장치, 메모리 시스템 및 반도체 장치 제조 방법		
현재 권리자	SK하이닉스	발명자	양현조
출원번호 (출원일)	KR10-2012-0019034 (2012-02-24)	등록번호 (등록일)	KR10-1907693 (2018-10-05)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-02-24
기술 개요			
<p>반도체 장치는 제1 방향으로 중심이 오프셋되어 상기 제1 방향과 교차된 제2 방향으로 배열된 제1 패드들; 상기 제1 패드들과 상기 제1 방향으로 이격되어 배열되며, 상기 제1 방향으로 중심이 오프셋되어 상기 제2 방향으로 배열된 제2 패드들; 상기 제1 패드들에 각각 연결된 제1 게이트 라인들; 및 상기 제2 패드들에 각각 연결된 제2 게이트 라인들을 포함한다. 이와 같이 제1 패드들과 제2 패드들을 중첩 형태로 배열시킴으로써, 패드 영역을 감소시켜 메모리 소자의 집적도를 향상시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 좁은 면적에 패드들 및 게이트 라인들이 효율적으로 배치된 반도체 장치 및 그 제조 방법을 제공함에 있음		본 기술은 패드들을 중첩되도록 배열시킴으로써 패드 영역을 감소시켜 메모리 소자의 집적도를 향상시킬 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 장치의 패드 영역]


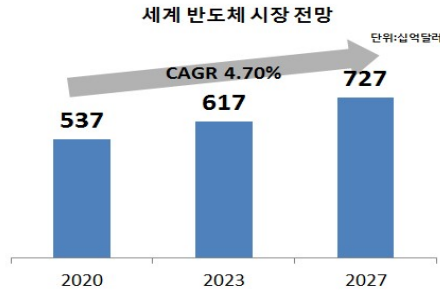
대표 청구항

제1 방향으로 중심이 오프셋되어 상기 제1 방향과 교차된 제2 방향으로 배열된 제1 패드들;상기 제1 패드들과 상기 제1 방향으로 이격되어 배열되며, 상기 제1 방향으로 중심이 오프셋되어 상기 제2 방향으로 배열된 제2 패드들;상기 제1 패드들에 각각 연결된 제1 게이트 라인들; 및상기 제2 패드들에 각각 연결된 제2 게이트 라인들을 포함하고,상기 제1 패드들과 상기 제2 패드들은 중첩되어 배열된반도체 장치.

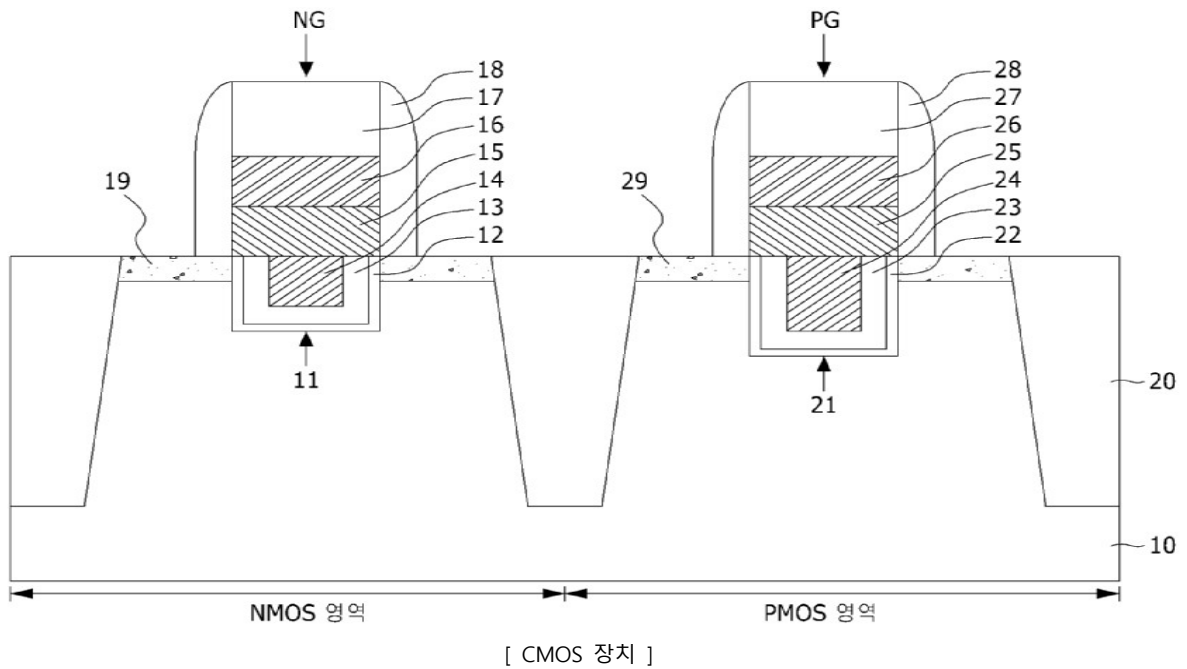
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	공정기술
No.17	고유전층 및 금속게이트를 갖는 CMOS 장치 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	지연혁
출원번호 (출원일)	KR10-2012-0027088 (2012-03-16)	등록번호 (등록일)	KR10-1877937 (2018-07-06)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-03-16
기술 개요			
<p>본 기술은 NMOS 문턱전압과 PMOS 문턱전압을 독립적으로 조정할 수 있는 CMOS 장치 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 기판 상에 분리되어 형성되며 각각 상기 기판에 형성된 트렌치, 상기 트렌치 표면에 형성된 게이트절연막 및 상기 게이트절연막 상에서 상기 트렌치를 갭필하는 금속막을 포함하는 NMOS 게이트적층체와 PMOS게이트적층체에서, 상기 트렌치의 깊이를 조절하여 상기 NMOS 게이트적층체의 금속막 두께보다 상기 PMOS 게이트적층체의 금속막 두께가 더 큰 CMOS 장치를 제공한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 CMOS 장치에서 NMOS의 문턱전압과 PMOS의 문턱전압을 독립적으로 조정할 수 있는 반도체 장치 및 그 제조 방법을 제공함에 있음</p>		<p>본 기술은 서로 다른 깊이를 갖는 제1 및 제2트렌치에 금속막이 갭필된 구조로 NMOS영역과 PMOS 영역에서 채널길이 및 게이트전극으로 작용하는 금속막 두께를 다르게 가져감으로써 보다 효과적으로 NMOS 문턱전압과 PMOS 문턱전압을 독립적으로 조정할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




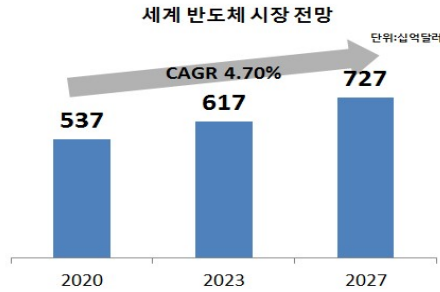
대표 청구항

NMOS영역과 PMOS영역을 갖는 기판;상기 NMOS영역의 기판에 형성된 제1트렌치;상기 PMOS영역의 기판에 형성되고, 상기 제1트렌치보다 큰 깊이를 갖는 제2트렌치;상기 제1 및 제2트렌치 표면에 형성된 게이트절연막; 및상기 게이트절연막 상에서 상기 제1 및 제2트렌치에 갭필된 금속전극을 포함하고, 상기 제1트렌치에 갭필된 금속전극의 두께보다 상기 제2트렌치에 갭필된 금속전극의 두께가 더 큰 CMOS 장치.

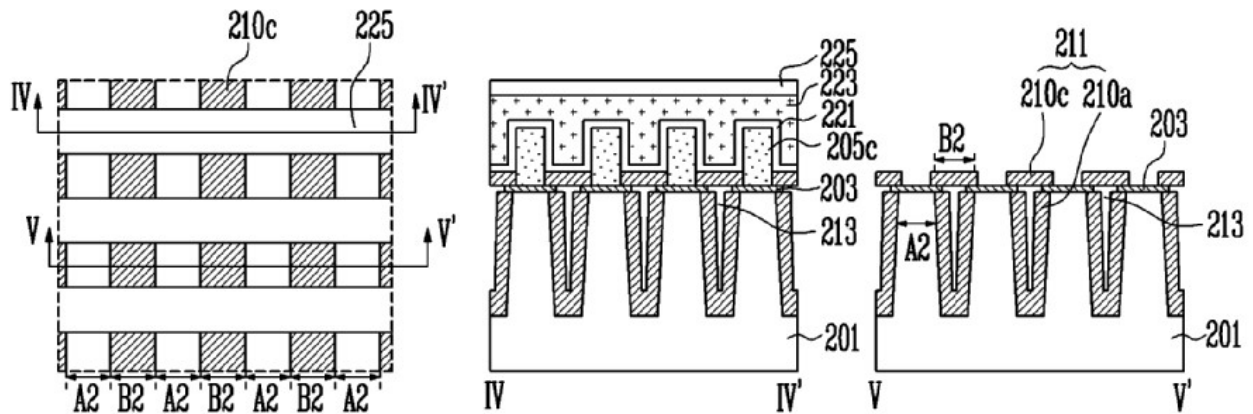
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.18	반도체 소자 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	남상혁
출원번호 (출원일)	KR10-2012-0040701 (2012-04-19)	등록번호 (등록일)	KR10-1917392 (2018-11-05)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-04-19
기술 개요			
<p>본 기술은 에어-갭을 통해 반도체 소자의 불량률 및 오동작률을 개선할 수 있는 반도체 소자 및 그 제조 방법에 관한 것으로, 트렌치에 의해 구분되는 다수의 활성 영역들을 포함하는 기판; 상기 활성 영역들 각각의 상부에 형성된 터널 절연막 패턴; 상기 터널 절연막 패턴 상부에 형성된 도전막 패턴; 상기 트렌치 내부에 개구부가 형성되도록 상기 활성 영역의 측벽 및 저면을 따라 형성된 제1 소자 분리 절연막; 및 서로 이웃한 상기 도전막 패턴 사이에 형성되어 상기 개구부를 차단하는 제2 소자 분리 절연막을 포함하는 반도체 소자 및 그 제조 방법을 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 에어-갭을 갖는 반도체 소자 및 그 제조 방법을 제공함에 있음		본 기술은 에어-갭을 통해 반도체 소자의 불량률 및 오동작률을 개선하는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 소자 및 그 제조방법]


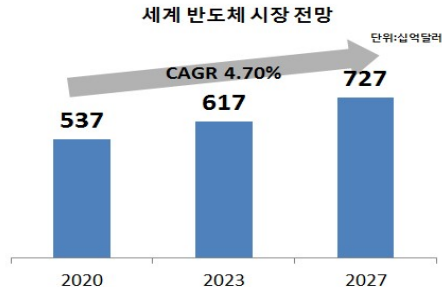
대표 청구항

트렌치에 의해 구분되는 다수의 활성 영역들을 포함하는 기판;상기 활성 영역들 각각의 상부에 형성된 터널 절연막 패턴;상기 터널 절연막 패턴 상부에 형성된 도전막 패턴;상기 트렌치 내부에 개구부가 형성되도록 상기 활성 영역의 측벽 및 저면을 따라 형성된 제1 소자 분리 절연막; 및서로 이웃한 상기 도전막 패턴 사이에 형성되고, 상기 터널 절연막 패턴 상부에서 상기 개구부를 차단하도록 상기 도전막 패턴의 측벽 상에 형성된 제2 소자 분리 절연막을 포함하는 반도체 소자.

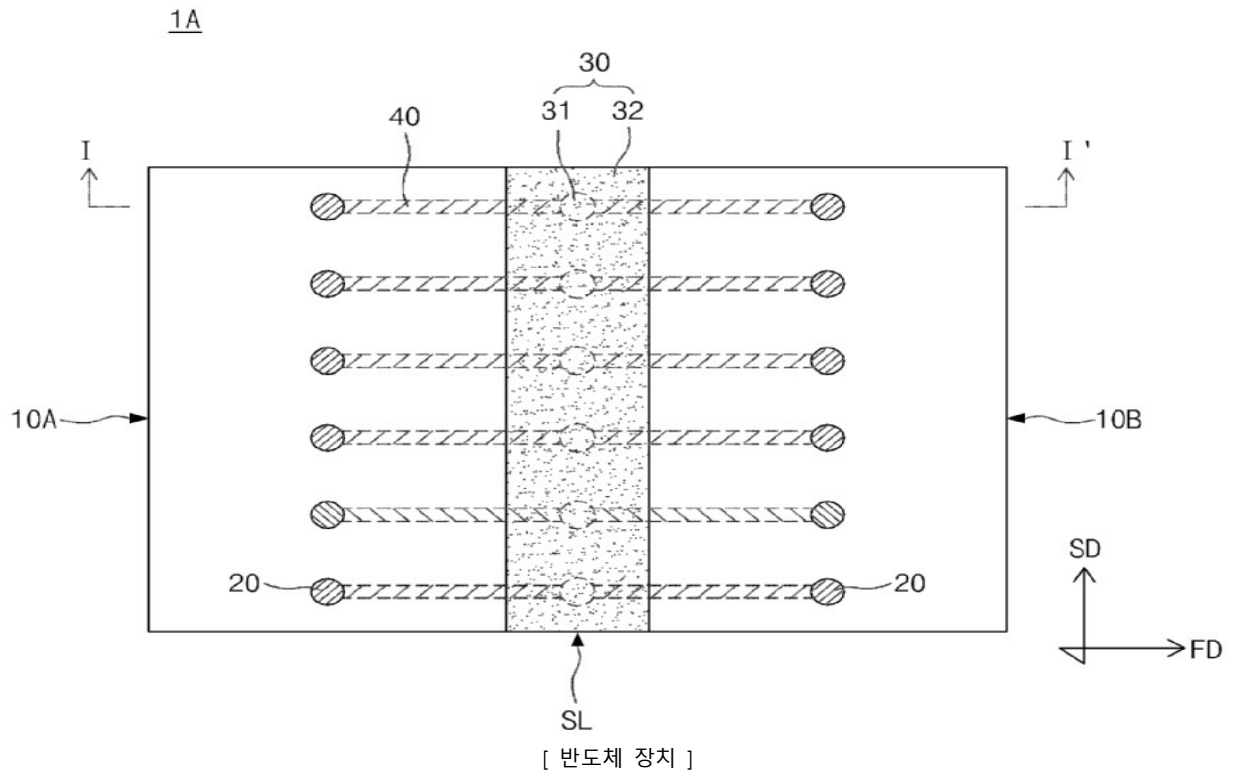
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	AA
	기술의 지속성	A0		산업적 파급효과	AA
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	공정기술
No.19	반도체 장치 및 이를 갖는 적층 반도체 패키지		
현재 권리자	SK하이닉스	발명자	이진희
출원번호 (출원일)	KR10-2012-0075577 (2012-07-11)	등록번호 (등록일)	KR10-1941995 (2019-01-18)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-07-11
기술 개요			
<p>반도체 장치 및 이를 갖는 적층 반도체 패키지가 개시되어 있다. 개시된 반도체 장치는, 스크라이브 라인을 통해 연결된 다수의 반도체 칩들; 상기 다수의 반도체 칩들 각각에 형성된 다수의 관통 전극들; 상기 스크라이브 라인에 형성된 방열 부재; 및 상기 관통 전극들과 상기 방열 부재를 연결하는 열전달 부재를 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 향상된 방열 특성을 갖는 반도체 장치를 제공함에 있음		본 기술은 관통 전극에서 발생된 열이 열전달 부재 및 방열 부재를 통해 외부로 신속하게 배출되게 되므로 써멀 데미지에 의한 반도체 장치의 성능 및 신뢰성 저하를 방지할 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




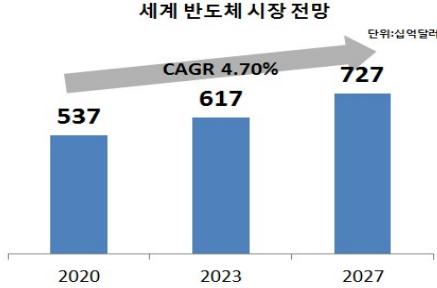
대표 청구항

스크라이브 라인을 통해 연결된 다수의 반도체 칩들;상기 다수의 반도체 칩들 각각에 형성된 다수의 관통 전극들;상기 스크라이브 라인에 형성된 방열 부재;및상기 관통 전극들과 상기 방열 부재를 연결하는 열전달 부재를 포함하며,상기 방열 부재는 상기 스크라이브 라인의 일면 및 상기 일면과 대향하는 타면을 관통하는 복수의 관통부들; 및상기 스크라이브 라인 상에 형성되며 상기 관통부들과 연결된 방열부를 포함하고,상기 관통부들은 상기 각각의 반도체 칩들에 형성된 다수의 관통 전극들에 개별적으로 대응되고,상기 열전달 부재는 상기 각각의 반도체 칩들에 형성된 다수의 관통 전극들이 상기 방열 부재의 관통부들에 각각 개별적으로 연결되도록 다수개로 형성되는 반도체 장치.

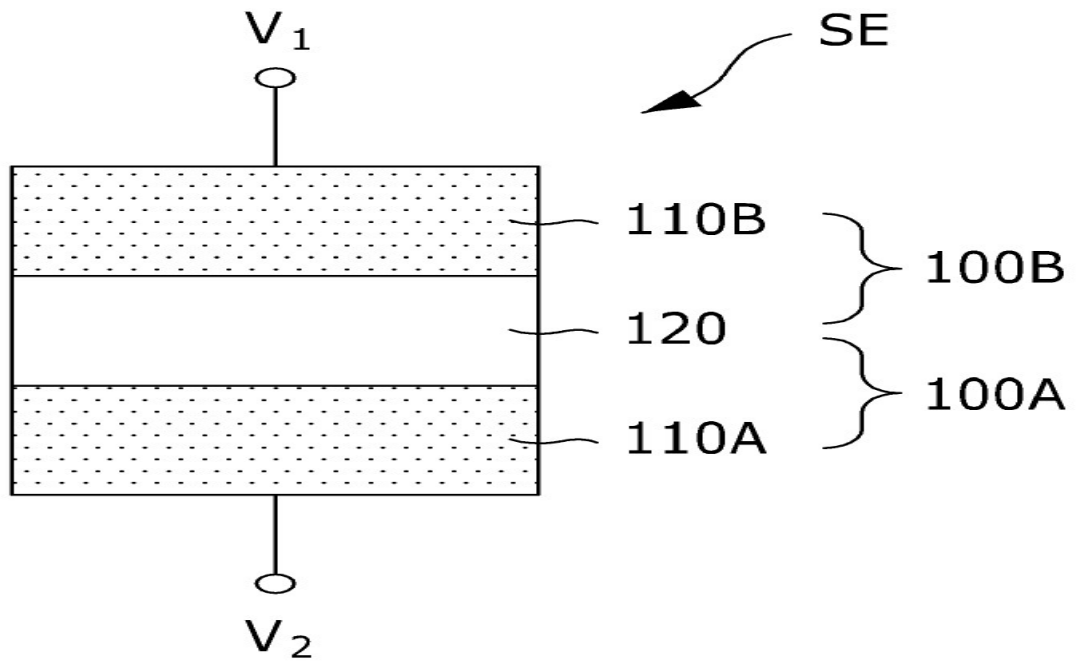
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	공정기술
No.20	가변 저항 메모리 장치 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	강희성
출원번호 (출원일)	KR10-2012-0080114 (2012-07-23)	등록번호 (등록일)	KR10-1915686 (2018-10-31)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-07-23
기술 개요			
<p>가변 저항 메모리 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 가변 저항 메모리 장치는, 제1 전극; 제2 전극; 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 서로 다른 저항 상태 사이에서 스위칭하는 메모리 소자; 및 상기 제2 전극과 상기 메모리 소자 사이에 개재되고, 제1 및 제2 물질층을 포함하고 서로 다른 저항 상태 사이에서 스위칭하는 제1 가변 저항 구조물 및 상기 제1 가변 저항 구조물과 동일한 구조를 갖는 제2 가변 저항 구조물을 포함하는 선택 소자를 포함하고, 상기 제1 및 제2 가변 저항 구조물은, 상기 제2 물질층을 공유하면서 서로 대칭한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 크로스 포인트 구조의 가변 저항 메모리 장치 및 제조 방법을 제공함에 있음		본 기술은 크로스 포인트 구조로 구현되더라도 스니크 전류 발생을 방지할 수 있는 가변 저항 메모리 장치를 제공할 수 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[가변 저항 메모리 장치의 선택 소자(SE)]


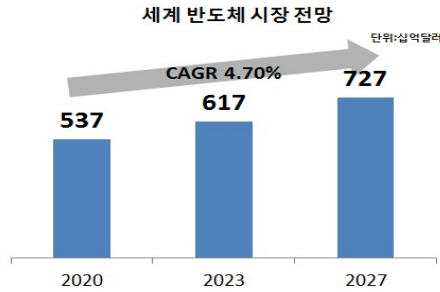
대표 청구항

제1 전극;제2 전극; 상기 제1 전극과 상기 제2 전극 사이에 개재되고, 서로 다른 저항 상태 사이에서 스위칭하는 메모리 소자; 및상기 제2 전극과 상기 메모리 소자 사이에 개재되고, 제1 및 제2 물질층을 포함하고 서로 다른 저항 상태 사이에서 스위칭하는 제1 가변 저항 구조물 및 상기 제1 가변 저항 구조물과 동일한 구조를 갖는 제2 가변 저항 구조물을 포함하는 선택 소자를 포함하고,상기 제1 물질층은 금속 산화물층이고,상기 제2 물질층은 상기 제1 물질층보다 에너지 밴드갭이 큰 물질층이고,상기 제1 및 제2 가변 저항 구조물은, 상기 제2 물질층을 공유하면서 서로 대칭하는가변 저항 메모리 장치.

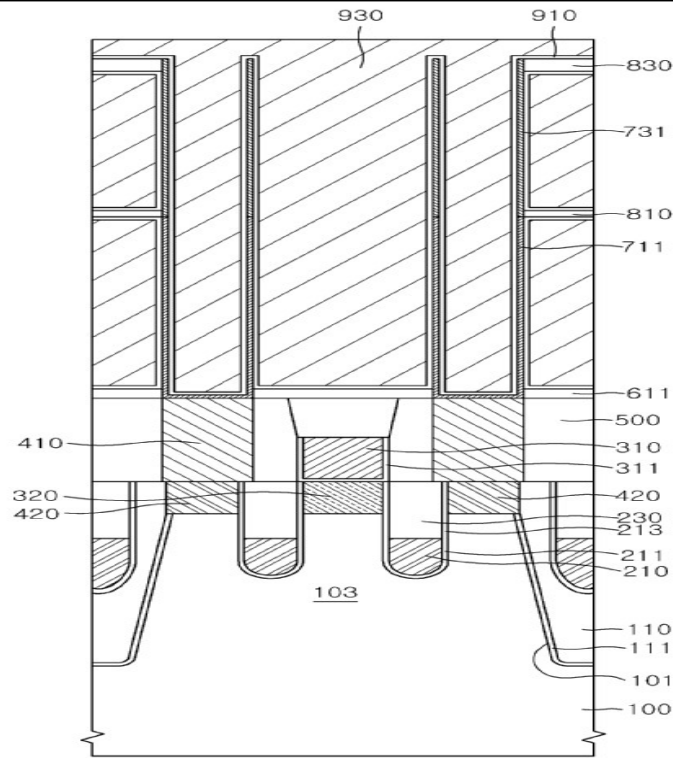
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	공정기술
No.21	반도체 소자 및 제조 방법		
현재 권리자	SK하이닉스	발명자	임성원
출원번호 (출원일)	KR10-2012-0095773 (2012-08-30)	등록번호 (등록일)	KR10-1924861 (2018-11-28)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-08-30
기술 개요			
<p>반도체 기판 상의 제1몰드(mold)를 관통하고 오목한 내부홈을 제공하는 실린더(cylinder) 형상으로 커패시터의 스토리지 제1노드(storage first node) 및 스토리지 제1노드를 고정하고 차폐하는 차폐 플러그(plug)를 형성하고, 차폐 플러그를 덮는 제2몰드층을 관통하는 스토리지 제2노드를 형성한 후, 제2몰드층 및 제1몰드를 순차적으로 제거한 후, 차폐 플러그를 선택적으로 제거하는 반도체 소자 제조 방법 및 이에 따른 반도체 소자를 제시한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 스토리지 노드의 높이를 증가시켜 커패시턴스를 보다 크게 확보할 수 있는 반도체 소자 및 제조 방법을 제공함에 있음</p>		<p>본 기술은 커패시터 제조 과정에서 스토리지 노드의 높이에 대한 공정 상 제약을 유효하게 극복할 수 있고, 셀 커패시터의 커패시턴스를 확보할 수 있어 셀 트랜지스터 및 셀 커패시터를 포함하여 이루어지는 메모리 셀의 동작 시 비트 라인을 통해 메모리 셀을 독출하는 과정에서의 비트 라인 센싱 마진을 유효하게 개선하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 소자 제조 방법]


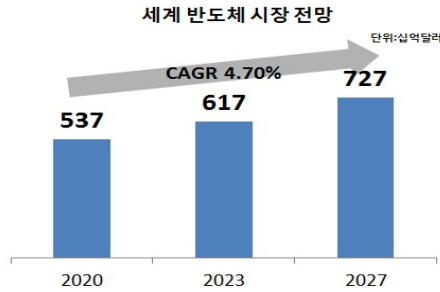
대표 청구항

반도체 기판 상의 제1몰드(mold)를 관통하고 오목한 내부홈을 제공하는 실린더(cylinder) 형상으로 커패시터의 스토리지 제1노드(storage first node)를 형성하는 단계; 상기 스토리지 제1노드의 내부홈을 채워 상기 스토리지 제1노드를 고정하고 차폐하는 차폐 플러그(plug)를 형성하는 단계; 상기 차폐 플러그를 덮는 제1부유 고정층을 형성하는 단계; 상기 제1부유 고정층 상에 제2몰드층을 형성하는 단계; 상기 제2몰드층 상에 제2부유 고정층을 형성하는 단계; 상기 제2부유 고정층 및 상기 제2몰드층을 관통하여 상기 스토리지 제1노드의 상단 단부에 체결되고 상기 차폐 플러그를 노출하는 실린더 형상의 스토리지 제2노드를 형성하는 단계; 상기 제2부유 고정층의 일부를 선택적으로 제거하여 하부의 상기 제2몰드층의 일부를 노출하는 제1윈도(window)를 형성하는 단계; 상기 제1윈도를 통해 상기 제2몰드층을 선택적으로 제거하는 단계; 상기 제2몰드층의 제거에 의해 노출되는 상기 제1부유 고정층의 일부를 선택적으로 제거하여 하부의 제1몰드의 일부를 노출하는 제2윈도를 형성하는 단계; 상기 제2윈도를 통해 상기 제1몰드를 선택적으로 제거하여 단계; 및 상기 차폐 플러그를 선택적으로 제거하는 단계를 포함하는 반도체 소자 제조 방법.

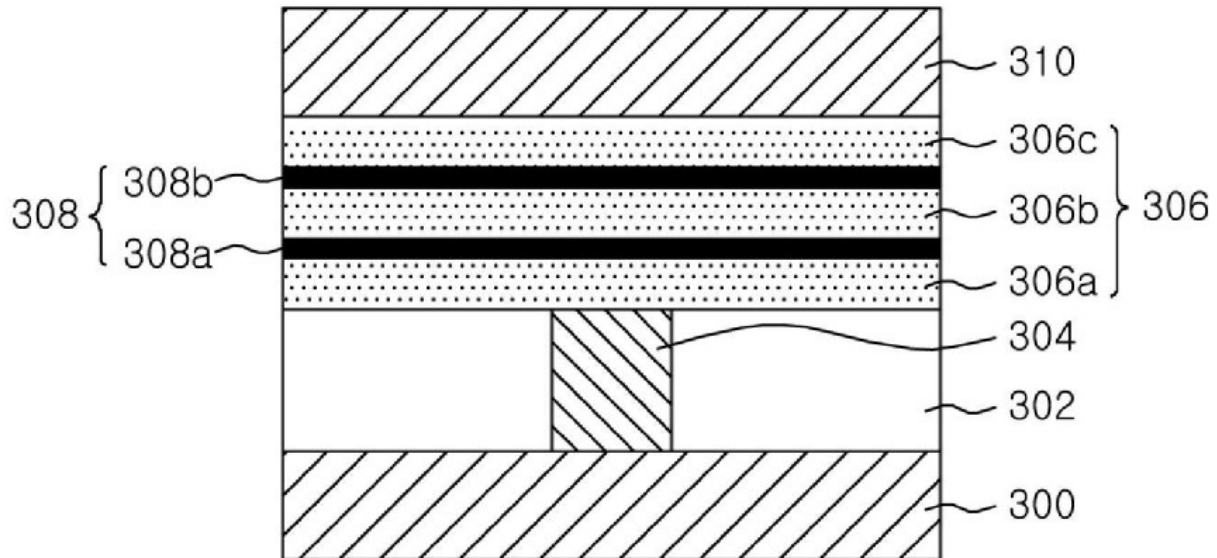
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.22	상변화 메모리 소자 및 그 제조 방법		
현재 권리자	SK하이닉스	발명자	문지원
출원번호 (출원일)	KR10-2012-0096992 (2012-09-03)	등록번호 (등록일)	KR10-1923428 (2018-11-23)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-09-03
기술 개요			
<p>본 발명은 상변화 메모리 소자 및 그 제조 방법에 관한 것이다. 본 발명에서는 상변화 물질막 내부에 ① 결정화 온도가 400도 이상인 물질, ② low-k 물질 또는 high-k 물질, ③ 전기전도율이 낮은 물질, 또는 ④ 열전도율이 낮은 물질을 이용하여 분리막을 형성함으로써, 셀 스위칭시 상변화 물질막을 구성하는 상변화 물질의 원소 휘발을 방지하여 단위 면적당 조성 편차를 최소화한다. 또한, 상기 분리막을 통해 결정-비정질화시 결정립의 크기를 조절하고, 셀 저항 증가를 유도함으로써, 상변화 메모리 소자의 신뢰성을 보다 향상시킨다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 상변화 물질의 원소 휘발 방지, 조성 편차 최소화, 결정립의 크기 조절 등이 가능할 수 있도록 하는 상변화 메모리 소자 및 제조 방법을 제공함에 있음</p>		<p>본 기술은 상변화 물질막 내부에 특정 조건의 물질을 이용해 분리막을 형성함으로써 셀 스위칭시 상변화 물질막을 구성하는 상변화 물질의 원소 휘발을 방지하여 단위 면적당 조성 편차를 최소화하고, 분리막을 통해 결정-비정질화시 결정립의 크기를 조절하고 셀 저항 증가를 유도하여 상변화 메모리 소자의 신뢰성을 보다 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[플래너 셀 타입 상변화 메모리 소자의 제조방법]


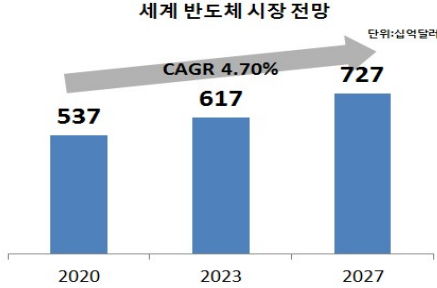
대표 청구항

반도체 기판 상부에 형성되어 있는 하부전극;상기 하부전극 상부에 형성되며, 상변화 물질의 원소 휘발을 방지하는 분리막을 구비한 상변화 물질막; 및 상기 상변화 물질막 상부에 형성되어 있는 상부전극을 포함하며, 상기 분리막은 상기 상변화 물질막 내부에 하나 또는 그 이상 복수개로 형성되어 상기 상변화 물질막을 복수의 박막으로 분리하며, 상기 분리막은 결정화 온도가 400도 이상인 물질, low-k 물질 또는 high-k 물질, 전기전도율이 낮은 물질 또는 열전도율이 낮은 물질로 형성되고,상기 결정화 온도가 400도 이상인 물질은 SiO_2 , Si_3N_4 , Nb_2O_5 등의 산화물 또는 질화물이며, 상기 low-k 물질은 Si_3N_4 , SiO_2 , SiON , SiOC 등의 금속 산화물 및 금속 질화물이며, 상기 high-k 물질은 Ta_2O_5 , TiO_2 , HfO_2 , ZrO_2 , HfSiO_3 , HfZrO_3 등의 금속 산화물 및 금속 질화물이며, 상기 전기전도율이 낮은 물질은 Si_3N_4 , SiO_2 , SiON , SiOC , Ta_2O_5 , TiO_2 , HfO_2 , ZrO_2 , HfSiO_3 , HfZrO_3 등의 금속 산화물 및 금속 질화물이며, 상기 열전도율이 낮은 물질은 Si_3N_4 , SiO_2 , SiON , SiOC , Ta_2O_5 , TiO_2 , HfO_2 , ZrO_2 , HfSiO_3 , HfZrO_3 등의 금속 산화물 및 금속 질화물인 상변화 메모리 소자.

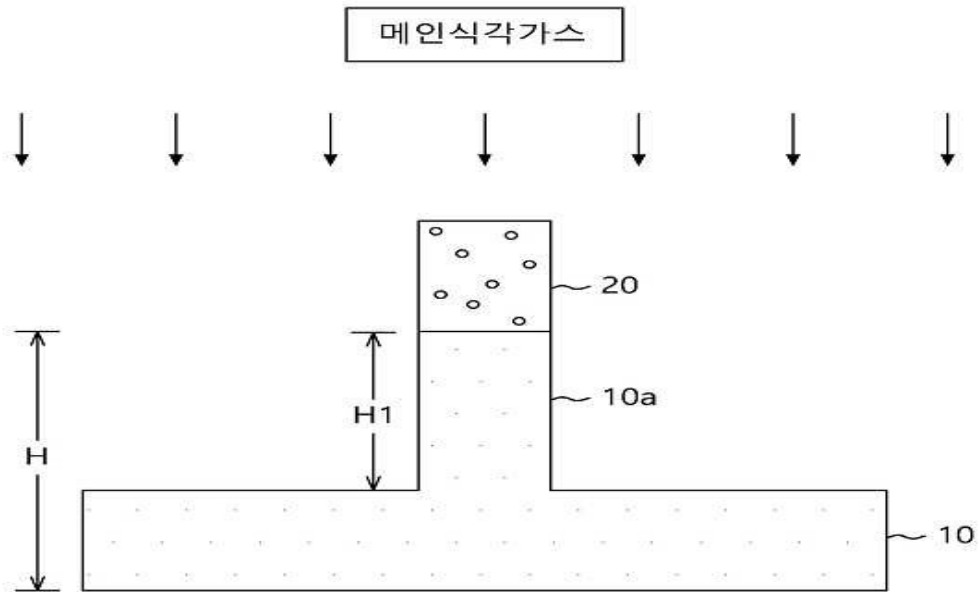
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.23	가변 저항 메모리 장치의 제조 방법		
현재 권리자	SK하이닉스	발명자	장홍진
출원번호 (출원일)	KR10-2015-0136350 (2015-09-25)	등록번호 (등록일)	KR10-1812623 (2017-12-20)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2035-09-25
기술 개요			
<p>가변 저항 메모리 장치의 제조 방법에 관한 기술이다. 가변 저항 메모리 장치의 제조 방법은 다음과 같다. 먼저, 상변화 물질층을 증착한 다음, 상기 상변화 물질층 상부에 마스크 패턴을 형성한다. 상기 마스크 패턴의 형태로, 상기 상변화 물질층의 일부 두께를 제 1 식각 속도를 가지고 패터닝한다. 잔류하는 상변화 물질층을 상기 제 1 식각 속도 보다 느린 제 2 식각 속도를 가지고 패터닝한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 우수한 저항 가변 특성을 확보할 수 있는 가변 저항 메모리 장치의 제조 방법을 제공함에 있음</p>		<p>본 기술은 언더컷이 주로 발생하는 상변화 물질층의 하부 영역의 식각시 탄소 포함 식각 가스를 이용하여 식각하므로써 식각 속도가 조절되어 언더컷 발생을 줄일 수 있고, 탄소 포함 식각 가스를 이용하여 상변화 물질층의 식각을 진행하므로써 복수의 상변화 물질층의 적층 효과를 달성할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[저항 변화층의 패터닝 방법을 설명하기 위한 공정 단면도]


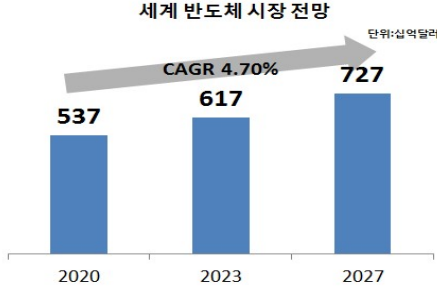
대표 청구항

상변화 물질층을 증착하는 단계; 상기 상변화 물질층 상부에 마스크 패턴을 형성하는 단계; 상기 마스크 패턴의 형태로, 상기 상변화 물질층의 일정 두께만큼을 메인 식각 가스를 이용하여 식각하는 단계; 및 잔류하는 상기 상변화 물질층을 탄소 포함 식각 가스를 이용하여 식각하여, 상변화 패턴을 형성하는 단계를 포함하며, 상기 메인 식각 가스를 이용하여 식각하는 단계는, 탄소의 포함 없이, 수소(H₂) 플라스마 가스를 이용하여 진행하는 가변 저항 메모리 장치의 제조 방법.

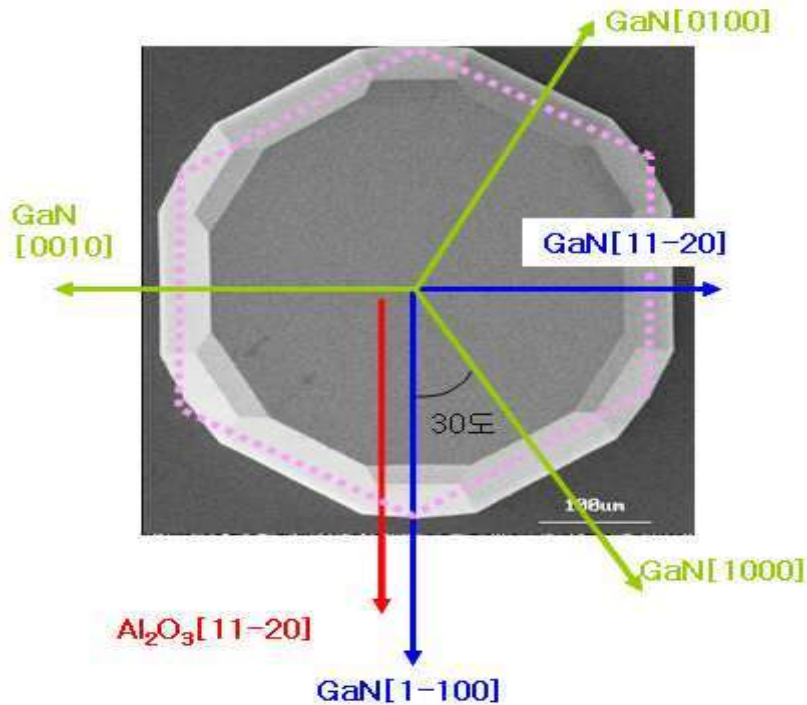
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.24	고 광적출 발광 다이오드의 제조를 위한 질화 갈륨층의 성막 방법, 이 방법을 이용한 발광 다이오드의 제조 방법, 및 이 방법에 의해 제조된 발광 다이오드		
현재 권리자	SK실트론	발명자	이호준
출원번호 (출원일)	KR10-2006-0131803 (2006-12-21)	등록번호 (등록일)	KR10-0860709 (2008-09-22)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2026-12-21
기술 개요			
<p>본 발명은 고 광적출 발광 다이오드의 제조를 위한 질화 갈륨층의 성막 방법, 이 방법을 이용한 발광 다이오드의 제조 방법, 및 이 방법에 의해 제조된 발광 다이오드를 개시한다. 본 발명에 따른 질화 갈륨층 성막 방법은, 기판 상에 질화 갈륨 박막을 형성하고, 상기 질화 갈륨 박막의 상부 표면을 육각형으로 노출시키는 육각형 개구 패턴을 정의하는 절연막 패턴을 형성하되 육각형의 마주 보는 첨점을 연결한 선의 방향이 질화 갈륨의 자연 선호 결정 성장 방향과 30도의 각을 이루도록 상기 절연막 패턴을 형성하고, 상기 절연막 패턴을 마스크로 하여 육각형으로 노출된 질화 갈륨 박막 상에 질화 갈륨층을 선택적으로 성장시키되, 질화 갈륨층의 측벽에 {1-101} 및 {1-102} 및 {11-22} 결정면이 동시에 나타날 때까지 상기 질화 갈륨층을 성막시키는 것을 특징으로 한다. 본 발명에 따르면, 질화 갈륨층의 측벽에 나타나는 결정면의 수를 극대화할 수 있으므로 발광 다이오드의 광적출 효율을 높일 수 있고, 종래 기술에 비해 제조 공정이 단순하므로 발광 다이오드의 제조비용을 절감할 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 질화 갈륨 결정의 자연 선호 성장 특성을 이용하여 질화 갈륨층을 성막시킴으로써 광적출 면적을 증가시킬 수 있는 질화 갈륨층 성막 방법을 제공함에 있음</p>		<p>본 기술은 성막된 질화 갈륨층을 이용하여 발광 다이오드를 제조하면 광적출 효율을 향상시킬 수 있을 뿐만 아니라, 광적출 효율의 향상을 위한 제조 공정 또한 종래 기술에 비해 단순하므로 발광 다이오드 제조비용을 절감할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[질화 갈륨층이 소정의 임계 두께까지 성막될 때 질화 갈륨 결정의 자연 선호 성장 방향으로 질화 갈륨 결정이 회전하는 모습]

대표 청구항

(a) 기판 상에 질화 갈륨 박막을 형성하는 단계; (b) 상기 질화 갈륨 박막의 상부 표면을 육각형으로 노출시키는 육각형 개구 패턴을 정의하는 절연막 패턴을 형성하는 단계로서, 육각형의 마주 보는 첨점을 연결한 선의 방향이 질화 갈륨의 자연 선호 결정 성장 방향과 30도의 각을 이루도록 상기 절연막 패턴을 형성하는 단계; 및 (c) 상기 절연막 패턴을 마스크로 하여 육각형으로 노출된 질화 갈륨 박막 상에 질화 갈륨층을 선택적으로 성장시키는 단계로서, 질화 갈륨층의 측벽에 {1-101} 및 {1-102} 및 {11-22} 결정면이 동시에 나타날 때까지 상기 질화 갈륨층을 성막시키는 단계;를 포함하는 것을 특징으로 하는 고 광적출 발광 다이오드 제조를 위한 질화 갈륨층 성막 방법.

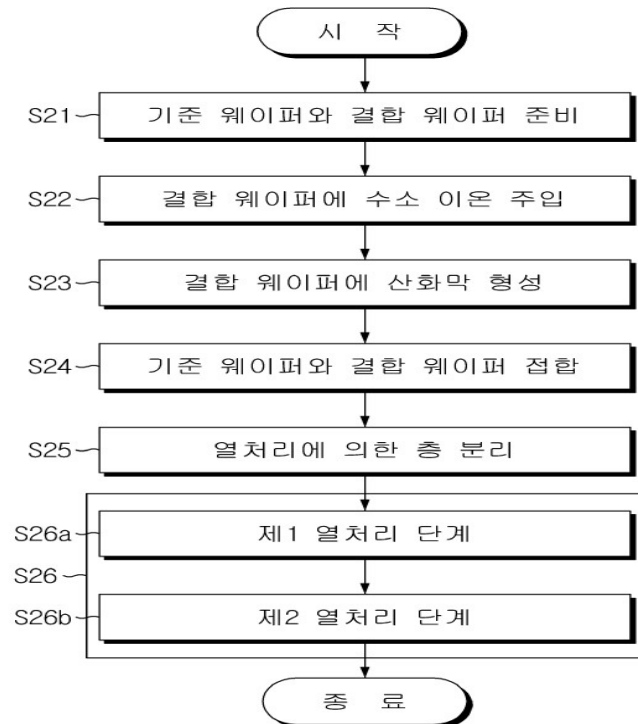
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.25	에스오아이 웨이퍼에 대한 열처리 방법		
현재 권리자	SK실트론	발명자	이재춘
출원번호 (출원일)	KR10-2006-0138044 (2006-12-29)	등록번호 (등록일)	KR10-0857386 (2008-09-01)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2026-12-29
기술 개요			
<p>본 발명은 SOI 웨이퍼에 대한 열처리 방법에 관한 것이다. 본 발명에 따르는 SOI 웨이퍼에 대한 열처리 방법은, 기준 웨이퍼와 이온 주입된 결합 웨이퍼를 접합시킨 후, 층분리 방법에 의해 제조되는 SOI 웨이퍼 내의 손상층 복구 및 표면 미소 거칠기 개선을 위해 진행되는 SOI 웨이퍼에 대해 하나의 열처리 공정 시스템 내에서 연속적으로 진행하되, 열처리 온도 또는 열처리 시간에 대한 조건을 달리하여 구분되는 적어도 2 단계 이상의 다중 단계의 열처리 공정으로 진행하는 것을 특징으로 한다. 본 발명에 따르면, SOI 웨이퍼를 제조하는 과정에서 유래되는 손상층이나 표면 결함의 문제를 제거하기 위한 공정을 하나의 공정 시스템에서 진행하되, 온도와 시간을 달리하는 연속적인 열처리 단계로 구분하여 진행함으로써, 공정을 단순화하여 진행할 수 있으므로, 제조 비용을 현저하게 절감할 수 있으며, 제조 과정에서 SOI 웨이퍼 표면에 발생된 손상층의 제거 및 결함 원인의 제거 효율이 종래의 방법에 비하여 현저하게 개선되는 장점이 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 층분리가 진행된 SOI 웨이퍼에 대해 동일 공정 시스템 내에서 열처리 조건을 달리하면서 연속 공정으로 열처리를 진행함으로써, 공정 수행을 간이하게 하면서도 SOI 웨이퍼 표면의 손상층 등에 대한 제거 및 그 표면의 미소 거칠기의 개선을 보다 용이하고 경제적으로 이루어내고자 함에 있으며, 이러한 기술적 과제를 달성할 수 있는 SOI 웨이퍼에 대한 열처리 방법을 제공함에 있음</p>		<p>본 기술은 SOI 웨이퍼를 제조하는 과정에서 유래되는 손상층이나 표면 결함의 문제를 제거하기 위한 공정을 하나의 공정 시스템에서 진행하되, 온도와 시간을 달리하는 연속적인 열처리 단계로 구분하여 진행함으로써, 공정을 단순화하여 진행할 수 있으므로, 제조 비용을 현저하게 절감할 수 있으며, 제조 과정에서 SOI 웨이퍼 표면에 발생된 손상층의 제거 및 결함 원인의 제거 효율이 종래의 방법에 비하여 현저하게 개선되는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[SOI 웨이퍼 제조방법]


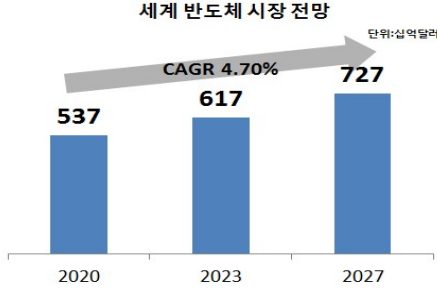
대표 청구항

기준 웨이퍼와 이온 주입된 결합 웨이퍼를 접합시킨 후, 층분리 방법에 의해 제조되는 SOI 웨이퍼 내의 손상층 또는 결합층의 제거 및 표면 미소 거칠기 개선을 위해 진행되는 SOI 웨이퍼에 대한 열처리 방법에 있어서, 상기 SOI 웨이퍼에 대한 열처리 방법은, 하나의 열처리 공정 시스템 내에서 진행하되, 열처리 온도 또는 열처리 시간 조건을 달리하여 구분되는 적어도 2 단계 이상의 다중 단계의 열처리 공정으로 진행하되, 상기 다중 단계의 열처리 공정은, 제1단계열처리단계 및 제2단계열처리단계의 2단계로 구분되어 연속적으로 진행하되, 상기 제1열처리단계는, 1,100 내지 1,150°C의 온도에서 10초 내지 60분 동안 진행하며, 상기 제2열처리단계는, 1,200 내지 1,400°C의 온도에서 10 내지 60초 동안 진행하는 것을 특징으로 하는 SOI 웨이퍼에 대한 열처리 방법.

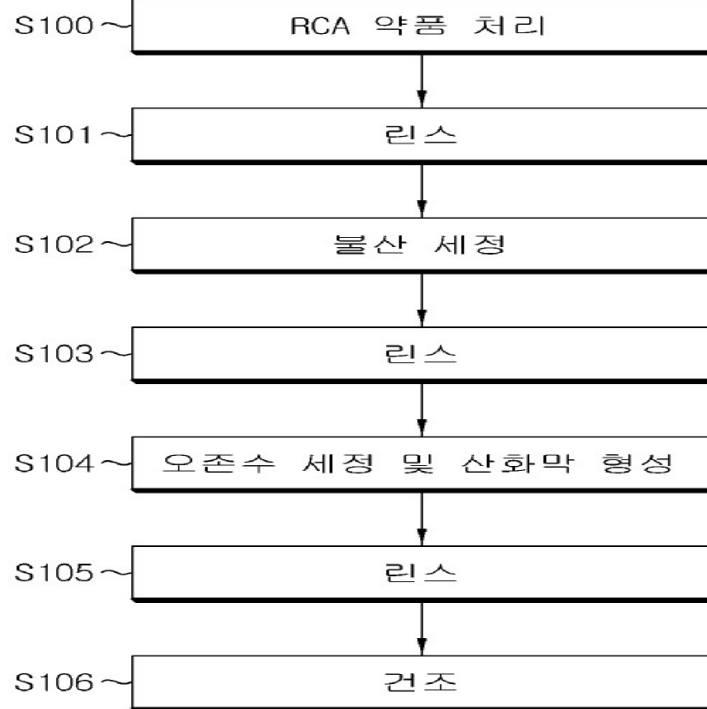
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.26	습식 게이트 산화막 형성 방법		
현재 권리자	SK실트론	발명자	김인정
출원번호 (출원일)	KR10-2007-0111069 (2007-11-01)	등록번호 (등록일)	KR10-0914606 (2009-08-21)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2027-11-01
기술 개요			
<p>본 발명은 반도체 웨이퍼의 게이트 산화막 형성 방법에 관한 것으로서, RCA 세정약품을 이용하여 반도체 웨이퍼 표면을 세정하는 단계; 상기 반도체 웨이퍼 표면을 불산(HF) 용액으로 세정하는 단계; 및 상기 반도체 웨이퍼 표면에 오존수를 공급하여, 세정과 동시에 상기 반도체 웨이퍼 표면에 오존에 의한 게이트 산화막을 형성하는 단계;를 포함하는 것을 특징으로 한다. 본 발명에 의하면 절연 내압이 우수하고 최대 주입 전하량이 크면서도 얇은 두께를 가진 반도체 게이트막을 실현할 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 불산(HF)과 오존수를 이용한 세정공정을 통해 고청정의 게이트 산화막을 형성함으로써 게이트의 절연 내압 등 특성을 향상시킬 수 있는 습식 게이트 산화막 형성 방법을 제공함에 있음</p>		<p>본 기술은 RCA 세정액, 불산 및 오존수를 최적 조건에 따라 사용함으로써 웨이퍼 표면의 불순물을 효과적으로 제거하고, 이와 동시에 절연 내압이 우수하고 최대 주입 전하량이 큰 게이트 산화막을 형성할 수 있으므로 고성능의 얇은 산화막을 필요로 하는 반도체 디바이스를 실현할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[습식 게이트 산화막 형성 방법이 수행되는 과정]


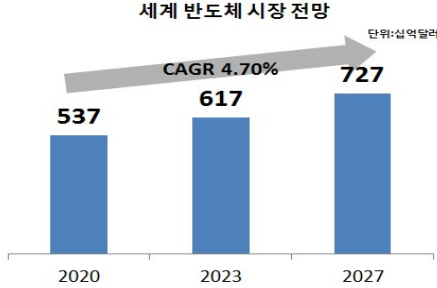
대표 청구항

반도체 웨이퍼의 게이트 산화막 형성 방법에 있어서, RCA 세정약품을 이용하여 반도체 웨이퍼 표면을 세정하는 제1단계; 상기 제1단계에 의해 세정된 반도체 웨이퍼 표면을 불산(HF) 용액으로 세정하는 제2단계; 및 상기 제2단계에 의해 세정된 반도체 웨이퍼 표면에 오존수를 공급하여, 세정과 동시에 상기 반도체 웨이퍼 표면에 오존에 의한 게이트 산화막을 형성하는 제3단계;를 포함하고, 상기 제3단계에서, 상기 반도체 웨이퍼를 오존수가 담긴 약액조 내에서 10초 내지 10분 동안 침지 처리하되, 상기 오존수의 오존 농도를 1 내지 20 ppm으로 제어하여 30Å 이하 두께의 산화막을 형성하는 것을 특징으로 하는 습식 게이트 산화막 형성 방법.

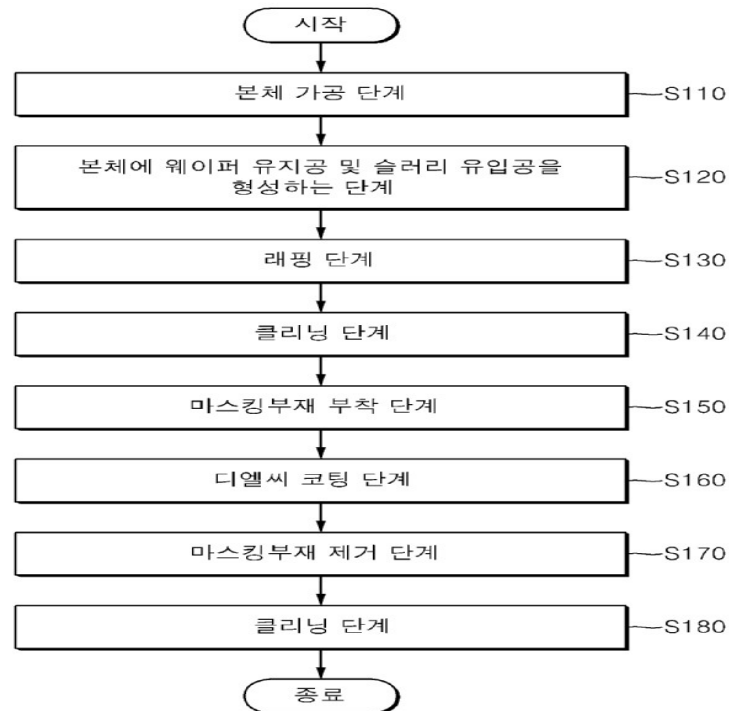
특허평가등급

	평가항목	등급		평가항목	등급
권리/ 기술성	기술의 권리성	AA	시장성	시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.27	웨이퍼 캐리어의 제조 방법		
현재 권리자	SK실트론	발명자	이선희
출원번호 (출원일)	KR10-2007-0122569 (2007-11-29)	등록번호 (등록일)	KR10-0879758 (2009-01-14)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2027-11-29
기술 개요			
<p>본 발명은, 내마모성이 우수하여 사용수명이 획기적으로 증가할 뿐만 아니라 웨이퍼의 양면 연마시에 웨이퍼의 가장자리에 결함이 발생하지 않도록 구조가 개선된 웨이퍼 캐리어를 제조하는 제조 방법에 관한 것이다. 본 발명에 따른 웨이퍼 캐리어의 제조 방법은 웨이퍼의 양면을 연마하기 위한 웨이퍼의 양면 연마장치에 구비되는 웨이퍼 캐리어의 제조 방법에 있어서, 웨이퍼 캐리어를 구성하는 본체를 미리 설정된 형상으로 가공하는 가공단계; 웨이퍼를 삽입하기 위한 웨이퍼 유지공 및 슬러리를 유입하기 위한 슬러리 유입공을 본체에 관통 형성하는 형성단계; 웨이퍼 유지공의 내측면에 탈부착 가능한 마스크킹부재를 부착하는 마스크킹단계; 마스크킹부재가 부착된 본체에 디엘씨(Diamond Like Carbon)를 코팅하는 코팅단계; 및 디엘씨 코팅후에 상기 마스크킹부재를 제거하는 제거단계;를 구비한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 내마모성이 우수하여 사용수명이 획기적으로 증가할 뿐만 아니라 웨이퍼의 양면 연마시에 웨이퍼의 가장자리에 결함이 발생하지 않도록 구조가 개선된 웨이퍼 캐리어를 제조하는 제조 방법을 제공함에 있음</p>		<p>본 기술은 웨이퍼 캐리어에 내마모성이 우수한 디엘씨 코팅막이 형성되게 되므로, 웨이퍼 캐리어의 사용수명이 획기적으로 증가하게 된다. 또한, 웨이퍼 캐리어의 웨이퍼 유지공 내측면에는 디엘씨 코팅막이 형성되지 않게 되므로, 웨이퍼의 양면 연마시 웨이퍼의 가장자리가 디엘씨 코팅막과 접촉하여 손상되는 현상을 방지할 수 있게 하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[웨이퍼 캐리어의 제조방법]


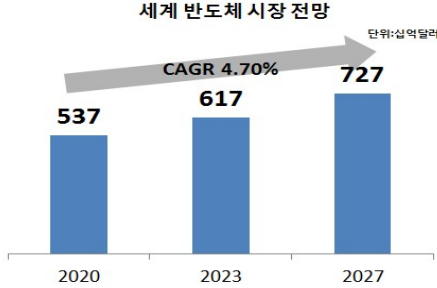
대표 청구항

웨이퍼의 양면을 연마하기 위한 웨이퍼의 양면 연마장치에 구비되는 웨이퍼 캐리어의 제조 방법에 있어서, 상기 웨이퍼 캐리어를 구성하는 본체를 미리 설정된 형상으로 가공하는 가공단계; 웨이퍼를 삽입하기 위한 웨이퍼 유지공 및 슬러리를 유입하기 위한 슬러리 유입공을 상기 본체에 관통 형성하는 형성단계; 상기 웨이퍼 유지공의 내측면에 탈부착 가능한 마스킹부재를 부착하는 마스킹단계; 상기 마스킹부재가 부착된 본체에 디엘씨를 코팅하는 코팅단계; 및 상기 디엘씨 코팅후에 상기 마스킹부재를 제거하는 제거단계;를 구비하는 것을 특징으로 하는 웨이퍼 캐리어의 제조 방법.

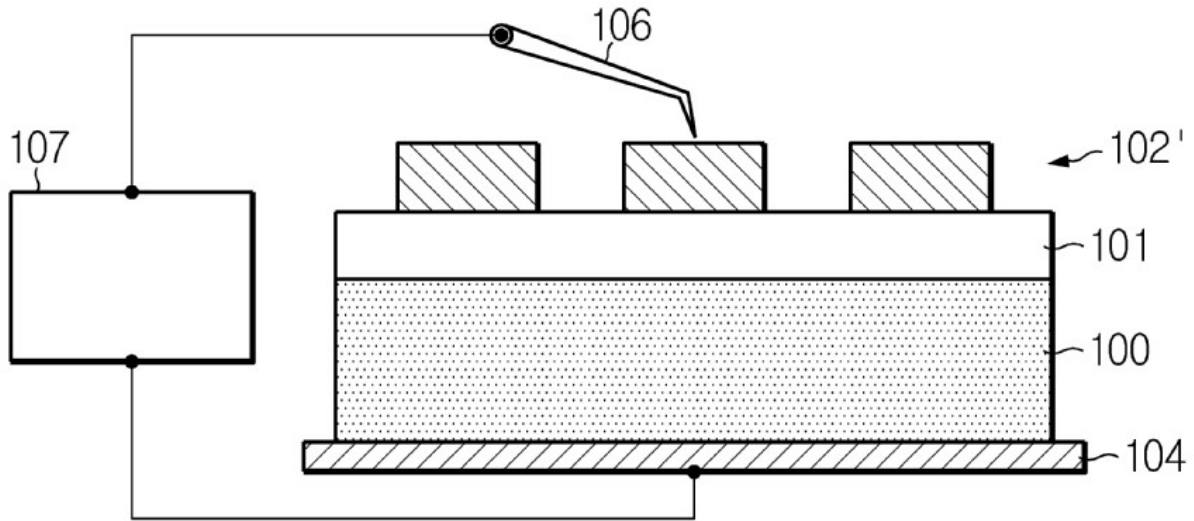
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.28	절연파괴전압 측정을 이용한 S O I 웨이퍼의 결함검출방법 및 이를 위한 S O I 웨이퍼와 그 제조 방법		
현재 권리자	SK실트론	발명자	이기상
출원번호 (출원일)	KR10-2008-0002583 (2008-01-09)	등록번호 (등록일)	KR10-0952043 (2010-04-01)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2028-01-09
기술 개요			
<p>본 발명은 하부 실리콘 기판 위에 절연산화막과 상부 박막 실리콘층이 마련된 SOI(Silicon-On-Insulator) 웨이퍼의 표면결함 검출방법에 관한 것으로서, 상기 SOI 웨이퍼 제작 시 상부 박막 실리콘층을 다수의 분할영역으로 패터닝하고, 분할된 각각의 상부 박막 실리콘층에 대하여 차례대로 프로브(Probe)를 접촉시켜 절연파괴전압을 측정하는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼 전면의 검사영역을 세분하여 각각에 대하여 절연파괴전압 측정법을 수행함으로써 표면결함을 간편하고 신뢰성있게 검사할 수 있는 SOI 웨이퍼의 결함 검출방법 및 이를 위한 SOI 웨이퍼 구조와 그 제조 방법을 제공함에 있음</p>		<p>본 기술은 SOI 웨이퍼의 상부 박막 실리콘층을 세분하여 전면의 결함을 빠짐없이 측정할 수 있으므로 측정 신뢰도가 높은 장점이 있으며, 기존 HF 결함검사에 비해 측정작업이 수월하고 전처리 작업을 간소화할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[SOI 웨이퍼의 구조]


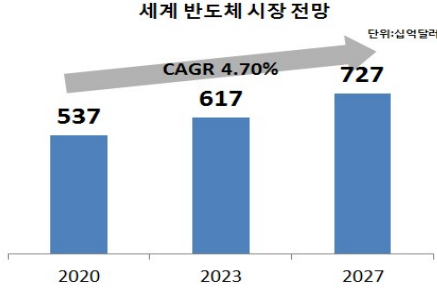
대표 청구항

하부 실리콘 기판 위에 절연산화막과 상부 박막 실리콘층이 마련된 SOI(Silicon-On-Insulator) 웨이퍼의 표면결함 검출방법에 있어서, 상기 SOI 웨이퍼 제작 시 상기 상부 박막 실리콘층을 각각의 면적이 4~16mm²인 다수의 분할영역으로 패터닝하고, 분할된 각각의 상부 박막 실리콘층에 대하여 차례대로 프로브(Probe)를 접촉시켜 절연파괴전압을 측정하는 것을 특징으로 하는 SOI 웨이퍼의 표면결함 검출 방법.

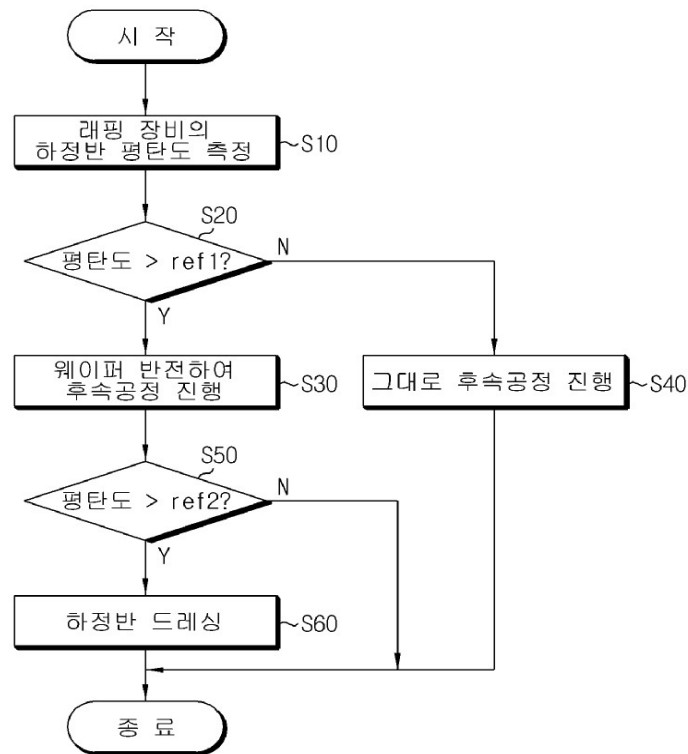
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.29	나노토포그래피가 개선된 웨이퍼 제조 방법		
현재 권리자	SK실트론	발명자	이창훈
출원번호 (출원일)	KR10-2008-0033607 (2008-04-11)	등록번호 (등록일)	KR10-0927306 (2009-11-10)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2028-04-11
기술 개요			
<p>래핑 장비의 하정반 형상 및 평탄도가 최종 완성된 웨이퍼의 나노토포그래피에 미치는 영향을 분석하고, 웨이퍼의 나노토포그래피를 개선할 수 있는 웨이퍼 제조 방법을 제공한다. 본 발명의 웨이퍼 제조 방법은, 슬라이싱 공정, 래핑 공정, 에칭 공정, 연삭 공정 및 연마 공정을 포함하되, 상기 래핑 공정에서 사용하는 래핑 장비의 하정반의 형상을 일정 주기로 측정하여 그 형상이 위로 볼록하고 평탄도가 소정 기준치보다 크면, 상기 래핑 공정 이후에 진행되는 공정에서 웨이퍼의 앞뒷면을 뒤집어서 진행하는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 웨이퍼의 나노토포그래피를 개선할 수 있는 웨이퍼 제조 방법을 제공함에 있음		본 기술은 래핑 장비의 하정반의 형상을 측정하고 그 평탄도가 일정 기준치를 넘는 경우 웨이퍼의 앞뒷면을 뒤집어 래핑 이후 공정을 진행하는 간단한 방법으로 웨이퍼의 나노토포그래피를 개선할 수 있고, 통상 연마 공정 이후에 행해지는 복잡한 나노토포그래피의 측정 대신에 래핑 공정에서 상대적으로 간단한 하정반의 평탄도를 측정하는 것만으로도 웨이퍼의 나노토포그래피를 개선할 수 있어 경제적인 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[웨이퍼 반전 여부를 포함하여 나노토포그래피를 제어하는 과정]


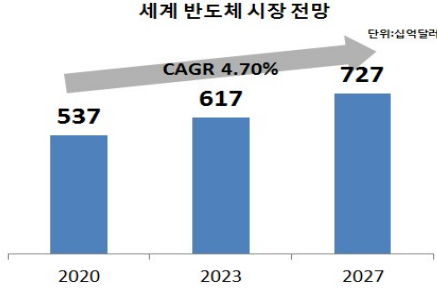
대표 청구항

잉곳으로부터 웨이퍼를 제조하는 방법에 있어서, 상기 잉곳을 웨이퍼 형태로 얇게 절단하는 슬라이싱 공정; 절단된 상기 웨이퍼의 양면을 기계적으로 연마하는 래핑 공정; 상기 래핑 공정에 기인하는 결함 및 손상을 제거하는 에칭 공정; 상기 에칭 공정에 기인하는 결함을 제거하는 연삭 공정; 및 연삭된 상기 웨이퍼의 표면을 경면 연마하는 연마 공정을 포함하되, 상기 래핑 공정에서 사용하는 래핑 장비의 하정반의 형상을 일정 주기로 측정하여 그 형상이 위로 볼록하고 평탄도가 제1 기준치보다 크면, 상기 래핑 공정 이후에 진행되는 공정에서 상기 웨이퍼의 앞뒷면을 뒤집어서 진행함으로써 상기 웨이퍼의 나노토포그래피를 개선하는 것을 특징으로 하는 웨이퍼 제조 방법.

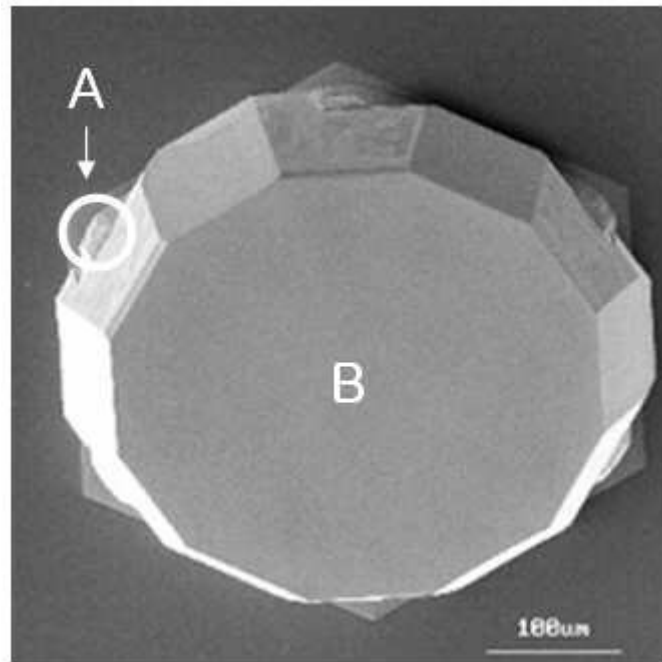
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.30	발광 다이오드 제조를 위한 질화 갈륨층 성장 방법, 이방법을 이용한 발광 다이오드 제조 방법, 및 이 방법에 의해 제조된 발광 다이오드		
현재 권리자	SK실트론	발명자	이호준
출원번호 (출원일)	KR10-2008-0060403 (2008-06-25)	등록번호 (등록일)	KR10-0983181 (2010-09-13)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2028-06-25
기술 개요			
<p>본 발명은 발광 다이오드 제조를 위한 질화 갈륨층 성장 방법, 이 방법을 이용한 발광 다이오드 제조 방법, 및 이 방법에 의해 제조된 발광 다이오드를 개시한다. 본 발명에 따른 질화 갈륨층 성장 방법은, (a) 기판 상에 질화 갈륨 박막을 형성하는 단계; (b) 상기 질화 갈륨 박막의 상부 표면을 다각형으로 노출시키는 개구 패턴을 정의하는 절연막 패턴을 형성하는 단계로서, 질화 갈륨의 자연 선호 결정 성장 방향([1000] 방향)이 상기 다각형의 중심과 꼭지점을 연결한 선의 방향과 일치하지 않도록 상기 절연막 패턴을 형성하는 단계; (c) 상기 절연막 패턴을 마스크로 하여 상기 개구 패턴의 꼭지점 부분에서 질화 갈륨의 새로운 결정면이 나타날 때까지 제1질화 갈륨층을 선택적으로 성장시키는 단계; (d) 상기 제1질화 갈륨층의 표면을 질화 열처리하는 단계; 및 (e) 상기 제1질화 갈륨층 상에 수평 단면의 변 수가 제1질화 갈륨층의 변 수가 될 때까지 제2질화 갈륨층을 성장시키는 단계;를 포함하는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 질화 갈륨 결정의 자연 선호 성장 특성을 이용하여 질화 갈륨층을 2중으로 성장시킴으로써 광적출 면적을 증가시킬 수 있는 질화 갈륨층 성장 방법과 고 광적출 질화 갈륨 발광 다이오드 제조 방법을 제공함에 있음</p>		<p>본 기술은 성장된 2중 질화 갈륨층을 이용하여 발광 다이오드를 제조하면 광적출 효율을 향상시킬 수 있을 뿐만 아니라, 광적출 효율의 향상을 위한 제조 공정 또한 종래 기술에 비해 단순하므로 발광 다이오드 제조비용을 절감할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[제1 및 제2질화 갈륨층을 성장시켰을 때의 모습]


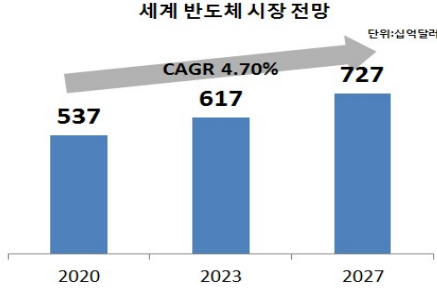
대표 청구항

(a) 기판 상에 질화 갈륨 박막을 형성하는 단계; (b) 상기 질화 갈륨 박막의 상부 표면을 다각형으로 노출시키는 개구 패턴을 정의하는 절연막 패턴을 형성하는 단계로서, 질화 갈륨의 자연 선호 결정 성장 방향([1000] 방향)이 상기 다각형의 중심과 꼭지점을 연결한 선의 방향과 일치하지 않도록 상기 절연막 패턴을 형성하는 단계; (c) 상기 절연막 패턴을 마스크로 하여 상기 개구 패턴의 꼭지점 부분에서 질화 갈륨의 새로운 결정면이 나타날 때까지 제1질화 갈륨층을 선택적으로 성장시키는 단계; (d) 상기 제1질화 갈륨층의 표면을 질화 열처리하는 단계; 및 (e) 상기 제1질화 갈륨층 상에 수평 단면의 변수가 제1질화 갈륨층의 변수가 될 때까지 제2질화 갈륨층을 성장시키는 단계;를 포함하는 것을 특징으로 하는 발광 다이오드 제조를 위한 질화 갈륨층 성장 방법.

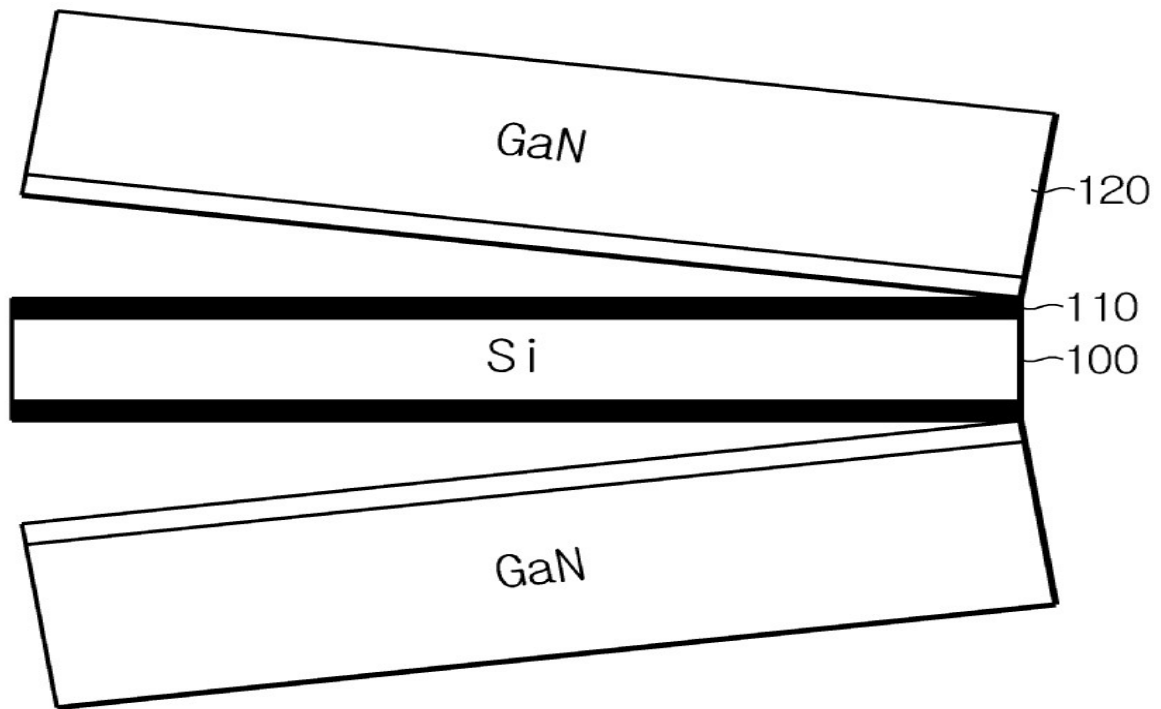
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.31	질화물 반도체 기판의 제조 방법		
현재 권리자	SK실트론	발명자	이호준
출원번호 (출원일)	KR10-2008-0066465 (2008-07-09)	등록번호 (등록일)	KR10-0969159 (2010-07-01)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2028-07-09
기술 개요			
<p>본 발명은 질화물 반도체 기판의 제조 방법에 관한 것으로, (a) 기판의 표면으로부터 소정 깊이에 이온을 주입하여 이온 주입층을 형성하는 단계; (b) 이온 주입층이 형성된 기판상에 질화물 반도체층을 증착하는 단계; 및 (c) 기판상에 증착된 질화물 반도체층을 기판과 분리하는 단계;를 포함하는 것을 특징으로 한다. 본 발명에 의하면 이온 주입층이 형성된 기판을 이용하여 질화물 반도체 기판을 제조함으로써, 질화물 반도체 기판과 기재기판의 분리 및 대구경화가 용이하고, 품질을 높일 수 있는 효과가 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 질화물 반도체 기판의 대구경화가 용이하고, 제조 단가를 줄일 수 있는 질화물 반도체 기판의 제조 방법을 제공함에 있음</p>		<p>본 기술은 이온 주입층이 형성된 기판을 이용하여 질화물 반도체 기판을 제조함으로써 기재기판과 질화물 반도체층의 분리가 용이하며 품질을 높일 수 있고, 기재기판으로 실리콘 기판을 사용하는 경우 대구경화가 용이하며, 이온 주입층을 양면에 형성하여 하나의 기판으로 두 개의 질화물 반도체 기판을 제조할 수 있어 생산성을 향상시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[질화물 반도체 기판의 제조 방법]


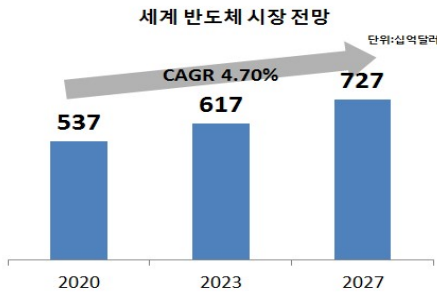
대표 청구항

(a) 기판의 표면으로부터 소정 깊이로 이온을 주입하여 이온 주입층을 형성하는 단계; (b) 이온 주입층이 형성된 상기 기판상에 질화물 반도체층을 증착하는 단계; 및 (c) 상기 기판상에 증착된 질화물 반도체층을 상기 기판과 분리하는 단계;를 포함하는 것을 특징으로 하는 질화물 반도체 기판의 제조 방법.

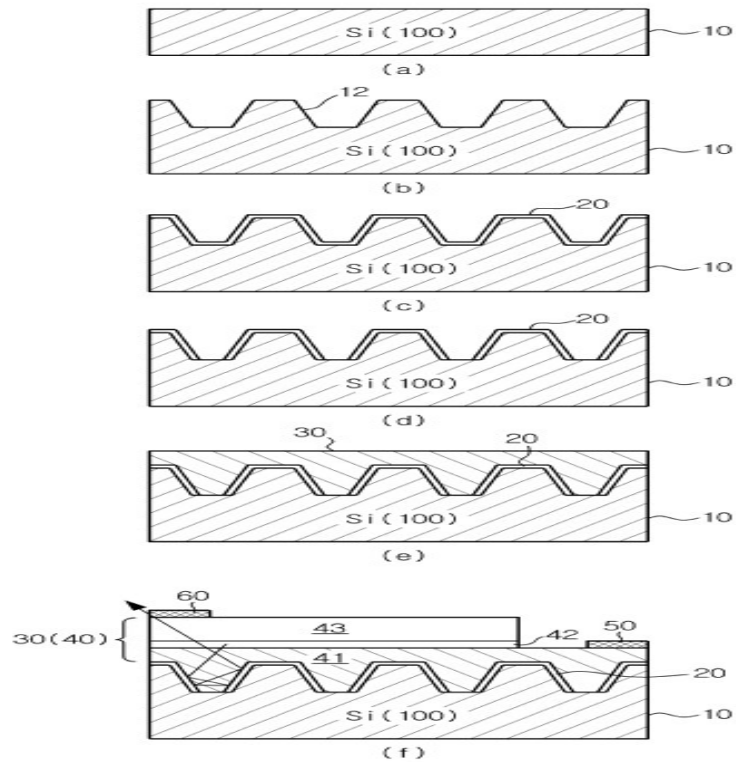
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	공정기술
No.32	화합물 반도체 기판, 그 제조 방법 및 이를 이용한 화합물반도체 소자		
현재 권리자	SK실트론	발명자	이호준
출원번호 (출원일)	KR10-2008-0069037 (2008-07-16)	등록번호 (등록일)	KR10-0988146 (2010-10-08)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2028-07-16
기술 개요			
<p>본 발명은 화합물 반도체 기판의 제조 방법에 관한 것으로, (a) 기판을 준비하는 단계; (b) 기판을 식각하여 표면에 요철 패턴을 형성하는 단계; (c) 요철 패턴이 형성된 기판상의 전면(全面)에 반사막을 증착시키는 단계; (d) 반사막을, 요철 패턴의 적어도 측벽부에는 남도록 일부를 제거하는 단계; 및 (e) 반사막이 일부 제거된 기판상에 화합물 반도체층을 형성시키는 단계;를 포함하는 것을 특징으로 한다. 본 발명에 의하면 기판 표면에 요철 구조의 패턴을 형성하고 반사막을 증착하여 기판 쪽으로 나오는 빛을 반도체층으로 반사함으로써, 기판의 의해 흡수 소멸되는 광량을 저감시켜 소자의 광효율을 향상시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 기판으로 흡수되는 광의 반사율을 높여, 발광 소자의 발광효율을 향상시킬 수 있는 화합물 반도체 기판, 그 제조 방법 및 이를 이용한 화합물 반도체 소자를 제공함에 있음</p>		<p>본 기술은 기판 표면에 요철 구조의 패턴을 형성하고 반사막을 증착하여 기판 쪽으로 나오는 빛을 반도체층으로 반사함으로써 기판의 의해 흡수 소멸되는 광량을 저감시켜 소자의 광효율을 향상시킬 수 있으며, 기판과 화합물 반도체층 사이에 형성된 반사막으로 인하여 기판과 화합물 반도체층의 경계면적이 감소하고, 화합물 반도체층 성장 시 기판과의 물리적 특성 차이로 인하여 기판쪽으로 진행되는 관통 전위를 반사막이 차단함으로써 전위를 감소시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[화합물 반도체 기판의 제조 방법]


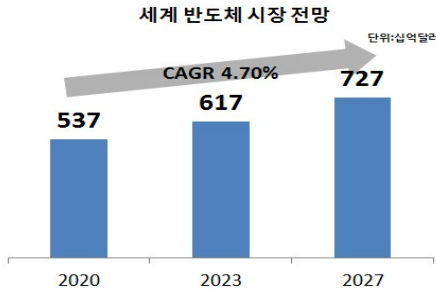
대표 청구항

(a) 기판을 준비하는 단계; (b) 상기 기판을 식각하여 표면에 요철 패턴을 형성하는 단계; (c) 요철 패턴이 형성된 상기 기판상의 전면(全面)에 반사막을 증착하는 단계; (d) 상기 반사막을, 상기 요철 패턴의 적어도 측벽부에는 남도록 일부를 제거하는 단계; 및 (e) 상기 반사막이 일부 제거된 기판상에 화합물 반도체층을 형성하는 단계;를 포함하는 것을 특징으로 하는 화합물 반도체 기판의 제조 방법.

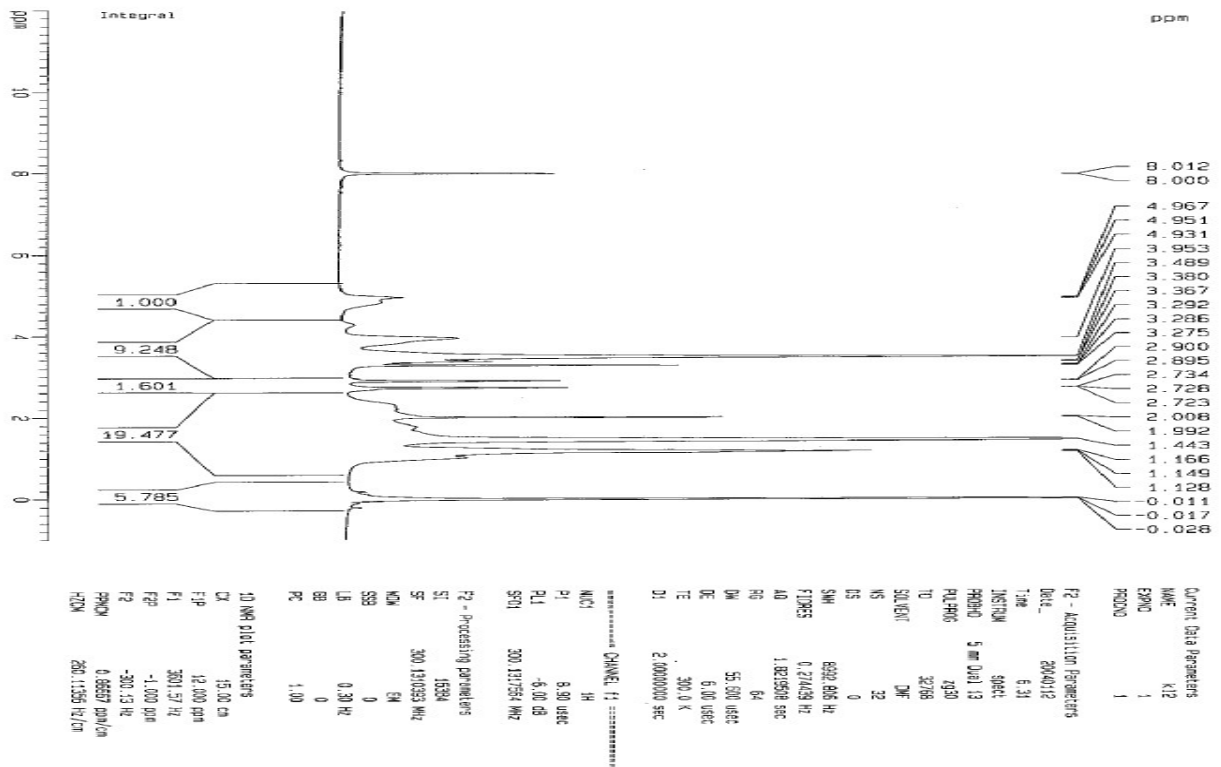
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	소재
No.33	상부 반사방지막 중합체, 이의 제조 방법 및 이를 함유하는상부 반사방지막 조성물		
현재 권리자	SK하이닉스	발명자	정재창
출원번호 (출원일)	KR10-2004-0029087 (2004-04-27)	등록번호 (등록일)	KR10-0574490 (2006-04-20)
특허기술분류 (IPC)	G03	존속기간 만료예정일	2024-04-27
기술 개요			
<p>본 발명은 반도체 소자의 제조공정 중 포토리소그래피 공정에서 사용되는 상부 반사방지막 중합체, 이의 제조 방법 및 이를 함유하는 상부 반사방지막 조성물에 관한 것으로, 더욱 상세하게는 50nm급 이하의 반도체 소자의 제조를 위한 이물질 리소그래피(immersion lithography) 전용 상부 반사방지막 중합체 등에 관한 것이다. 하기 화학식 1의 구조를 가지는 중합체를 사용하여 상부 반사방지막을 형성할 경우 물에 녹지 않으므로 물을 광원에 대한 매질로 사용하는 이물질 리소그래피에 적용할 수 있을 뿐만 아니라, 하부층으로부터의 반사도를 감소시켜 CD 균일도를 증가시킬 수 있게 되어, 초미세 패턴의 형성이 가능하게 된다. [화학식 1] 상기 식에서, R1, R2, R3는 각각 수소 또는 메틸기를 나타내며, a, b, c는 각 단량체의 몰분율로서, 각각 0.05 내지 0.9를 나타낸다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 포토레지스트 패턴 형성에 있어서 포토레지스트 막내의 광의 다중 간섭을 방지하고 포토레지스트막 두께의 변동에 따른 포토레지스트 패턴 치수폭의 변동을 억제하기 위한 상부 반사방지막 중합체, 이의 제조 방법을 제공함에 있음</p>		<p>본 기술은 어멀전 리소그래피용 상부 반사방지막으로서의 조건을 모두 만족시킬 수 있으며 상부에서 반사도 등을 줄여 CD 변동을 최소화할 수 있고, 이를 사용해 포토레지스트 패턴을 형성하면 미세 패턴 형성이 가능하게 되어 50nm급 이하의 반도체 소자를 효율적으로 개발할 수 있는 효과가 있음</p>	
기술분야		시장전망	
			
SK하이닉스 반도체 공장 내부 전경		* 출처: FortuneBusinessInsights, 2020.10	

대표 도면



[상부 반사 방지막 중합체의 NMR 그래프]


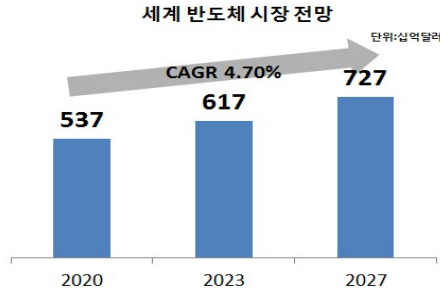
대표 청구항

하기 화학식 1로 표시되며, 1,000-1,000,000의 중량 평균 분자량을 가지는 상부 반사방지막 중합체. [화학식 1] [이미지] 상기 식에서, R1, R2, R3는 각각 수소 또는 메틸기를 나타내며, a, b, c는 각 단량체의 물분율로서, 각각 0.05 내지 0.9를 나타낸다.

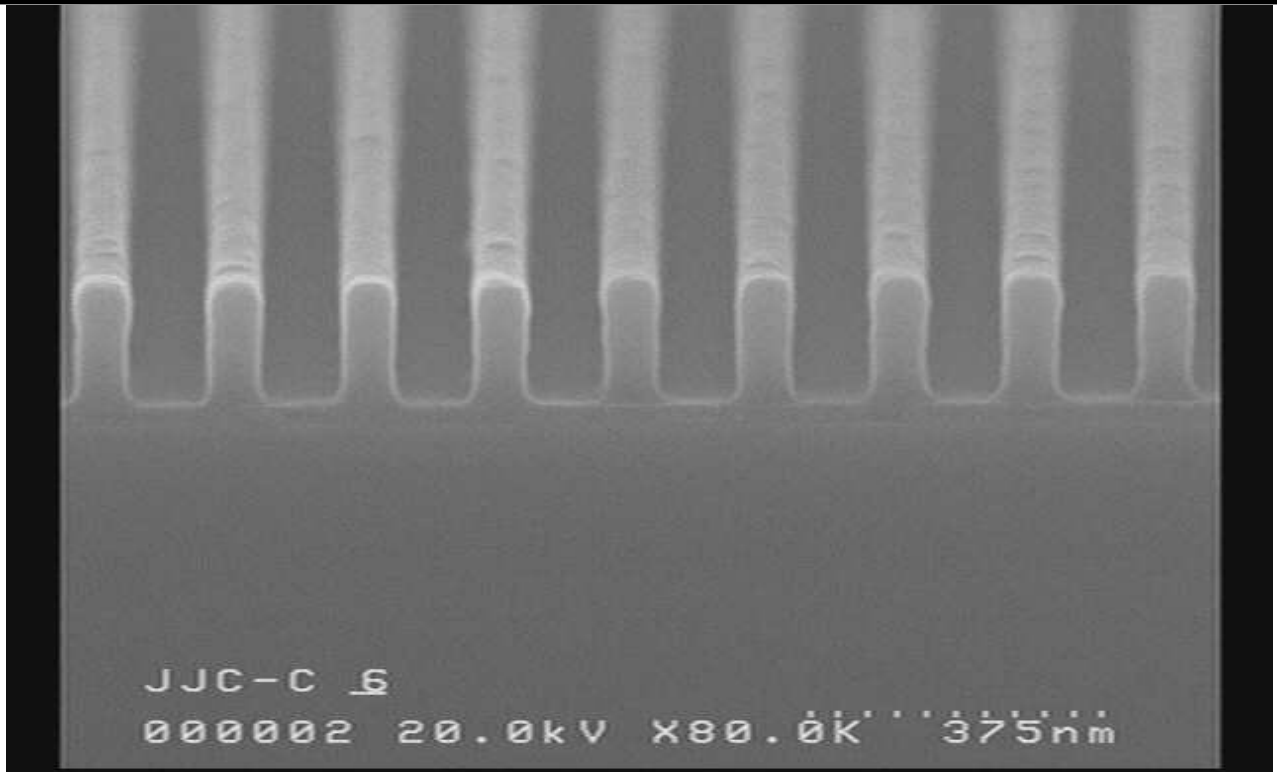
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	AA
	기술의 지속성	C		산업적 파급효과	AA
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	소재
No.34	상부 반사방지막 조성물 및 이를 이용한 반도체 소자의패턴 형성 방법		
현재 권리자	SK하이닉스	발명자	정재창
출원번호 (출원일)	KR10-2004-0069044 (2004-08-31)	등록번호 (등록일)	KR10-0642416 (2006-10-27)
특허기술분류 (IPC)	G03	존속기간 만료예정일	2024-08-31
기술 개요			
<p>본 발명은 상부 반사방지막 중합체; 광산발생제; 및 유기용매를 포함하는 상부 반사방지막 조성물에 있어서, 상기 광산발생제로는 하기 화학식 1로 표시되는 화합물을 사용하는 상부 반사방지막 조성물을 제공한다. [화학식 1] [상기 식에서, n= 7 내지 25이다.] 본 발명에 의한 상부 반사방지막 조성물의 경우에는 특히, 상부 반사방지막 코팅시 상부 반사방지막 조성물에 의해 감광제 상부의 광산발생제 일부가 용해됨으로 인해 상부가 두꺼운 형태의 단면이 되는 것을 방지할 수 있다. 따라서, 본 발명에 의한 상부 반사방지막 조성물을 사용하여 반도체 소자의 패턴을 형성하는 경우 수직의 패턴을 얻을 수 있게 된다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 포토레지스트 패턴 형성에 있어서 포토레지스트 막내의 광의 다중 간섭을 방지하고 포토레지스트막 두께의 변동에 따른 포토레지스트 패턴 치수폭의 변동을 억제할 수 있을 뿐만아니라, 반도체 패턴 형성시 수직의 패턴을 얻을 수 있는 상부 반사방지막 조성물을 제공함에 있음</p>		<p>본 기술은 어멜전 리소그래피용 상부 반사방지막으로서의 조건을 모두 만족시킬 수 있으며 상부 반사방지막 코팅시 감광제 상부의 광산발생제 일부가 용해됨으로써 상부가 두꺼운 형태의 단면이 되는 것을 방지할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반사방지막 조성물을 사용하여 반도체 패턴을 형성한 경우 그 80nm L/S 패턴을 보여주는 사진]


대표 청구항

상부 반사방지막 중합체; 광산발생제; 및 유기용매를 포함하는 상부 반사방지막 조성물에 있어서, 상기 광산발생제로는 하기 화학식 1로 표시되는 화합물을 사용하는 상부 반사방지막 조성물. [화학식 1] [이미지] [상기 식에서, n= 7 내지 25이다.]

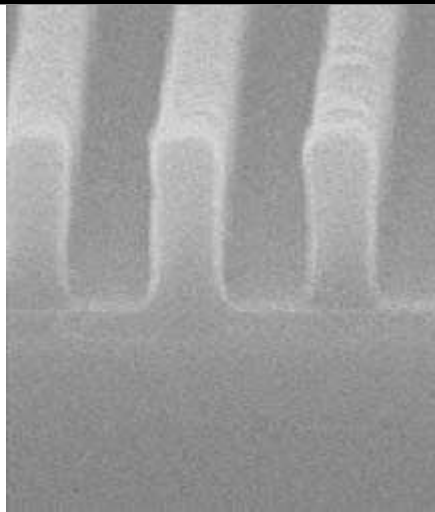
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	AA
	기술의 지속성	C		산업적 파급효과	AA
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	소재
No.35	상부 반사방지막 조성물 및 이를 이용한 반도체 소자의패턴 형성 방법		
현재 권리자	SK하이닉스	발명자	정재창
출원번호 (출원일)	KR10-2004-0074762 (2004-09-17)	등록번호 (등록일)	KR10-0745064 (2007-07-26)
특허기술분류 (IPC)	G03	존속기간 만료예정일	2024-09-17
기술 개요			
<p>본 발명은 상부 반사방지막 중합체; 광산발생제; 및 유기용매를 포함하는 상부 반사방지막 조성물에 있어서, 상기 광산발생제로는 하기 화학식 1로 표시되는 비스설폰계 화합물을 사용하는 상부 반사방지막 조성물을 제공한다. [화학식 1] [상기 식에서, R1 및 R2는 탄소수 1 내지 20의 직쇄 혹은 측쇄 알킬, 환형 알킬, 아릴, 알케닐, 옥소알킬, 옥소아릴 또는 할로겐이 치환된 탄소수 1 내지 20의 직쇄 혹은 측쇄 알킬, 환형 알킬, 아릴, 알케닐, 옥소알킬, 옥소아릴이다.] 본 발명에 의한 상부 반사방지막 조성물의 경우에는 특히, 상부 반사방지막 코팅시 상부 반사방지막 조성물에 의해 감광제 상부의 광산발생제 일부가 용해됨으로 인해 상부가 두꺼운 형태의 단면이 되는 것을 방지할 수 있다. 따라서, 본 발명에 의한 상부 반사방지막 조성물을 사용하여 반도체 소자의 패턴을 형성하는 경우 수직의 패턴을 얻을 수 있게 된다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 포토레지스트 패턴 형성에 있어서 포토레지스트 막내의 광의 다중 간섭을 방지하고 포토레지스트막 두께의 변동에 따른 포토레지스트 패턴 치수폭의 변동을 억제할 수 있을 뿐만아니라, 반도체 패턴 형성시 수직의 패턴을 얻을 수 있는 상부 반사방지막 조성물을 제공함에 있음</p>		<p>본 기술은 어멜전 리소그래피용 상부 반사방지막으로서의 조건을 모두 만족시킬 수 있으며 상부 반사방지막 코팅시 감광제 상부의 광산발생제 일부가 용해됨으로써 상부가 두꺼운 형태의 단면이 되는 것을 방지할 수 있는 효과가 있음</p>	
기술분야		시장전망	
		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[상부 반사방지막 조성물을 사용하여 반도체 패턴을 형성한 경우 그 80nm L/S 패턴을 보여주는 사진]


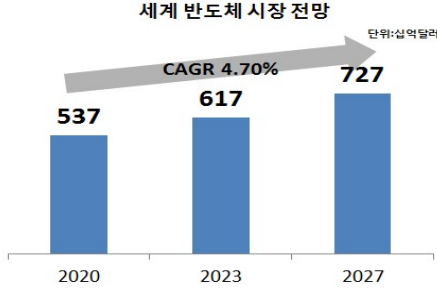
대표 청구항

상부 반사방지막 중합체; 광산발생제; 및 유기용매를 포함하는 상부 반사방지막 조성물에 있어서, 상기 광산발생제로는 하기 화학식 1로 표시되는 비스설포계 화합물을 사용하고, 굴절율이 1.5 내지 1.65인 상부 반사방지막 조성물. [화학식 1] [이미지] [상기 식에서, R1 및 R2는 탄소수 1 내지 20의 직쇄 혹은 측쇄 알킬, 환형 알킬, 아릴, 알케닐, 옥소알킬, 옥소아릴 또는 할로겐이 치환된 탄소수 1 내지 20의 직쇄 혹은 측쇄 알킬, 환형알킬, 아릴, 알케닐, 옥소알킬, 옥소아릴이다.]

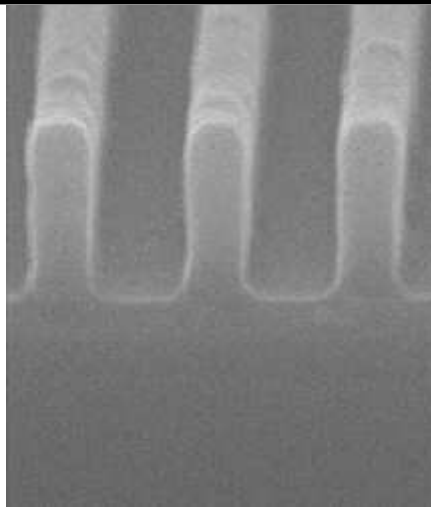
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	C		산업적 파급효과	AA
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	소재
No.36	상부 반사방지막 중합체, 이의 제조 방법 및 이를 함유하는상부 반사방지막 조성물		
현재 권리자	SK하이닉스	발명자	정재창
출원번호 (출원일)	KR10-2004-0100527 (2004-12-02)	등록번호 (등록일)	KR10-0676885 (2007-01-25)
특허기술분류 (IPC)	G03	존속기간 만료예정일	2024-12-02
기술 개요			
<p>본 발명은 하기 화학식 1로 표시되며, 1,000-1,000,000의 중량 평균 분자량을 가지는 상부 반사방지막 중합체 및 이를 포함하는 상부 반사방지막 조성물을 제공한다. [화학식 1] [상기 식에서, R1, R2는 수소, 불소, 메틸 또는 불화메틸이고, R3는 탄소수 1 내지 10의 탄화수소 또는 수소 중 일부가 불소로 치환된 탄소수 1 내지 10의 탄화수소를 나타낸다. a, b, c는 각 단량체의 물분율로서, 각각 0.05 내지 0.9를 나타낸다.] 상기 화학식 1의 구조를 가지는 중합체를 사용하여 상부 반사방지막을 형성할 경우 물에 녹지 않으므로 물을 광원에 대한 매질로 사용하는 이물질 리소그래피에 적용할 수 있을 뿐 아니라, 하부층으로부터의 반사도를 감소시켜 CD 균일도를 증가시킬 수 있게 되어, 초미세 패턴의 형성이 가능하게 된다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 포토레지스트 패턴 형성에 있어서 포토레지스트 막내의 광의 다중 간섭을 방지하고 포토레지스트막 두께의 변동에 따른 포토레지스트 패턴 치수폭의 변동을 억제하기 위한 상부 반사방지막 중합체, 이의 제조 방법을 제공함에 있음</p>		<p>본 기술은 어멀전 리소그래피용 상부 반사방지막으로서의 조건을 모두 만족시킬 수 있으며 상부에서 반사도 등을 줄여 CD 변동을 최소화할 수 있고, 이를 사용해 포토레지스트 패턴을 형성하면 미세 패턴 형성이 가능하게 되어 50nm급 이하의 반도체 소자를 효율적으로 개발할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[상부 반사방지막 조성물을 사용하여 반도체 패턴을 형성한 경우 그 80nm L/S 패턴을 보여주는 사진]


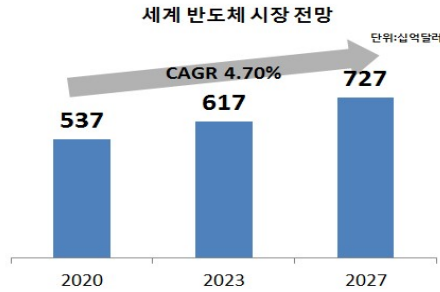
대표 청구항

하기 화학식 1로 표시되며, 1,000-1,000,000의 중량 평균 분자량을 가지는 상부 반사방지막 중합체. [화학식 1] [이미지] [상기 식에서, R1, R2는 수소, 불소, 메틸 또는 불화메틸이고, R3는 탄소수 1 내지 10의 탄화수소 또는 수소 중 일부가 불소로 치환된 탄소수 1 내지 10의 탄화수소를 나타낸다. a, b, c는 각 단량체의 몰분율로서, 각각 0.05 내지 0.9를 나타낸다.]

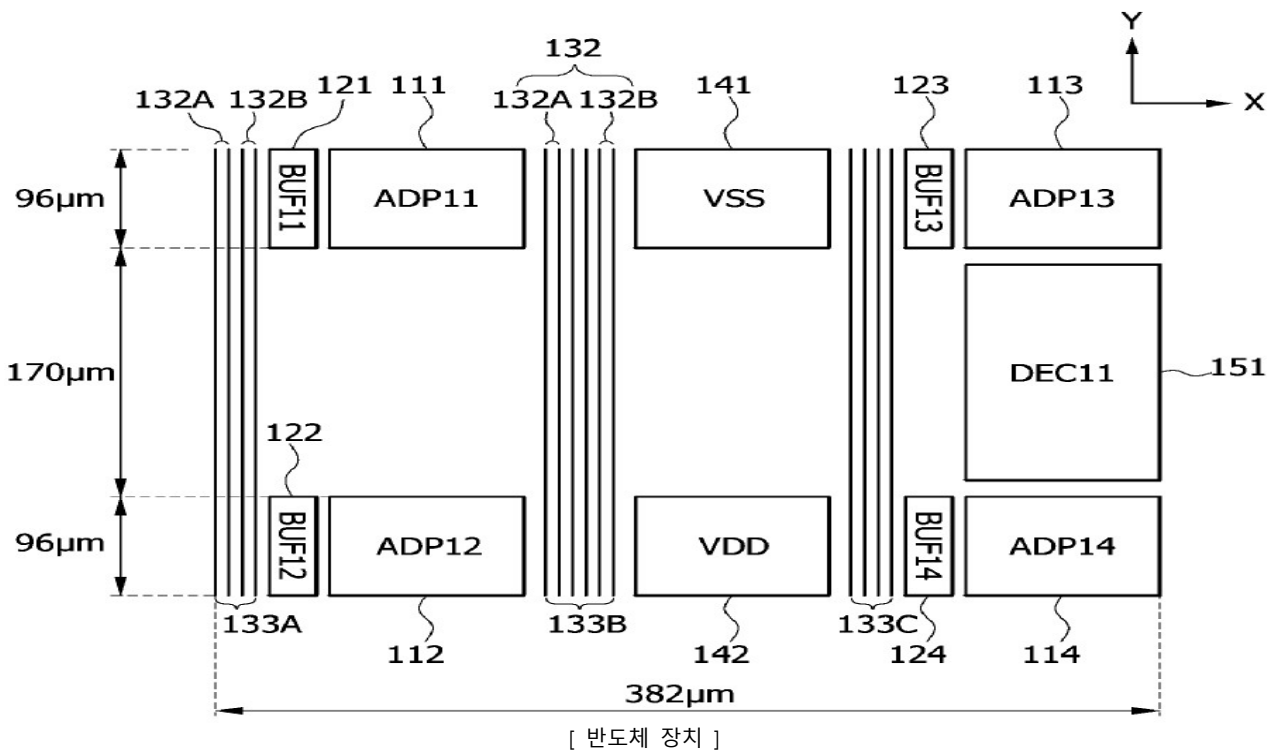
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	AA
	기술의 지속성	C		산업적 파급효과	AA
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.37	반도체 장치		
현재 권리자	SK하이닉스	발명자	조희정
출원번호 (출원일)	KR10-2010-0114715 (2010-11-17)	등록번호 (등록일)	KR10-1795754 (2017-11-02)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2030-11-17
기술 개요			
<p>본 발명은 제1 패드, 상기 제1 패드의 제1 방향에 배치된 디코더 및 상기 제2 패드의 상기 제1 방향과 교차하는 제2 방향에 배치된 제1 버퍼를 포함하는 반도체 장치를 제공한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 집적도를 향상시키는 반도체 장치를 제공함에 있음		본 기술은 불필요한 배선을 제거한 후 패드와 연계된 버퍼의 배치를 변경하고 집적도 향상을 통해 넷다이를 증가시키며 이를 통해 경제적으로 향상되는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




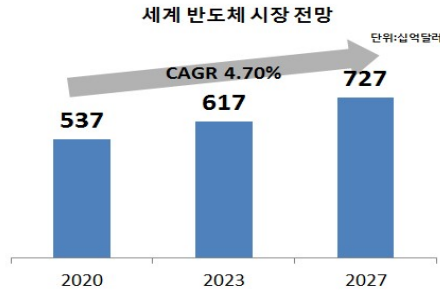
대표 청구항

제1 어드레스신호를 입력받기 위한 제1 패드;상기 제1 패드의 제1 방향에 배치된 디코더; 및상기 제1 패드의 상기 제1 방향과 교차하는 제2 방향에 배치되고, 상기 제1 패드를 통해 입력된 상기 제1 어드레스신호를 버퍼링하는 제1 버퍼를 포함하고,상기 디코더는 상기 제1 버퍼에 버퍼링된 상기 제1 어드레스신호를 디코딩하는 것을 특징으로 하는 반도체 장치.

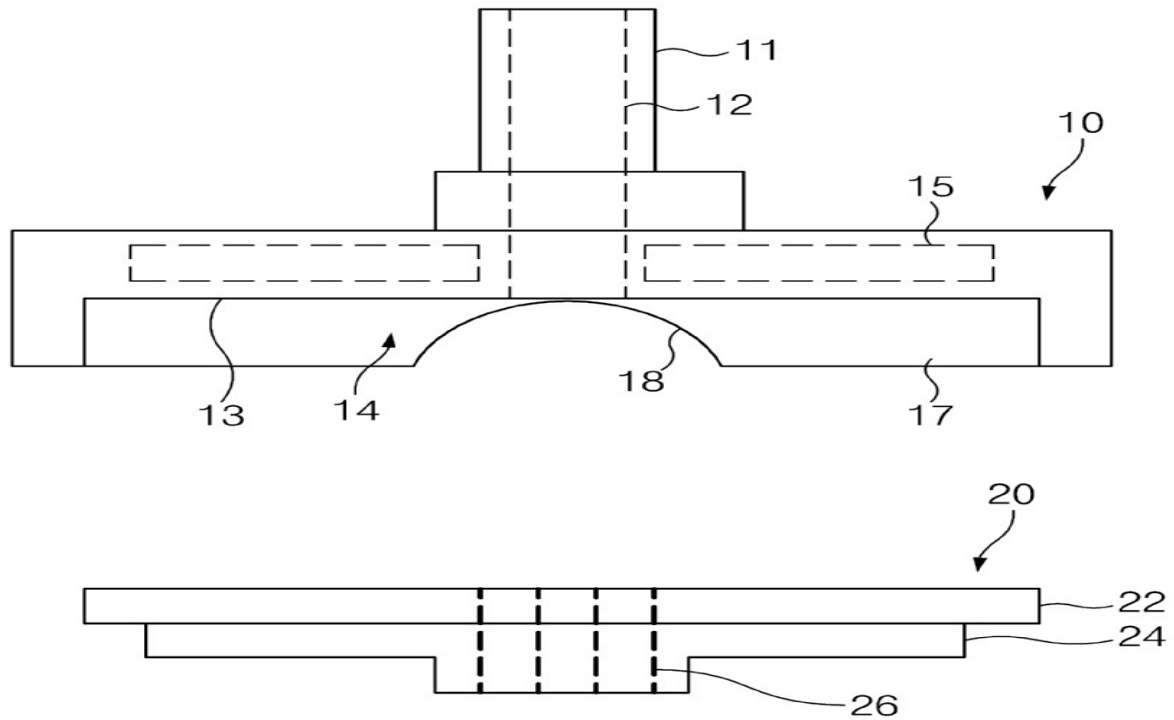
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.38	반도체 다이 이송용 픽업 툴		
현재 권리자	SK하이닉스	발명자	김재목
출원번호 (출원일)	KR10-2015-0178572 (2015-12-14)	등록번호 (등록일)	KR10-1940369 (2019-01-14)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2035-12-14
기술 개요			
<p>본 기술은 반도체 패키지 제조시 웨이퍼에서 쏘잉(Sawing) 공정을 거친 개별 다이(DIE)를 픽업(Pick-up)하여 운반하기 위한 픽업 툴(Pick-up Tool)을 개시한다. 본 기술에 따른 반도체 다이 이송용 픽업 툴은 상부에 상크가 돌출되고 저부에는 콜렛이 끼움 결합되는 결합홈이 형성된 콜렛 홀더를 가지되, 상기 결합홈의 후면과 양측면들은 일정 높이의 벽면들로 둘러싸이는 반면에 전면은 벽면이 형성되지 않고 개방되며, 상기 후면에 형성된 벽면에는 상기 결합홈에 끼움 결합된 콜렛을 상기 결합홈의 외부에서 밀어낼 수 있는 분리홈이 형성될 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 수직 및 수평 방향으로 콜렛을 콜렛 홀더에 탈부착할 수 있는 구조를 갖는 픽업 툴을 제공함에 있음</p>		<p>본 기술은 작업자들이 콜렛을 콜렛 홀더에 용이하게 부착시키고 콜렛 홀더로부터 용이하게 분리시킬 수 있는 픽업 툴을 제공할 수 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[픽업 툴에서 콜렛 홀더와 콜렛이 분리된 모습을 보여주는 분리 정면도]


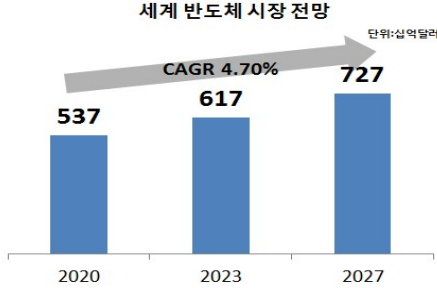
대표 청구항

상부에 상크가 돌출되고 저부에는 콜렛이 끼움 결합되는 결합홈이 형성된 콜렛 홀더를 갖는 반도체 다이 이송용 픽업 툴에 있어서, 상기 결합홈의 후면과 양측면들에는 절곡되지 않고 수직 방향으로만 연장되는 일정 높이의 벽면들이 형성되고, 전면은 벽면이 형성되지 않고 개방되며, 상기 후면에 형성된 벽면에는 상기 결합홈에 끼움 결합된 콜렛을 상기 결합홈의 외부에서 밀어낼 수 있는 분리홈이 형성되고, 상기 결합홈의 바닥면에는 제 1 마그네틱이 내장되며, 상기 후면에서 상기 분리홈의 양측 벽면에는 제 2 마그네틱이 내장되는 것을 특징으로 하는 반도체 다이 이송용 픽업 툴.

특허평가등급

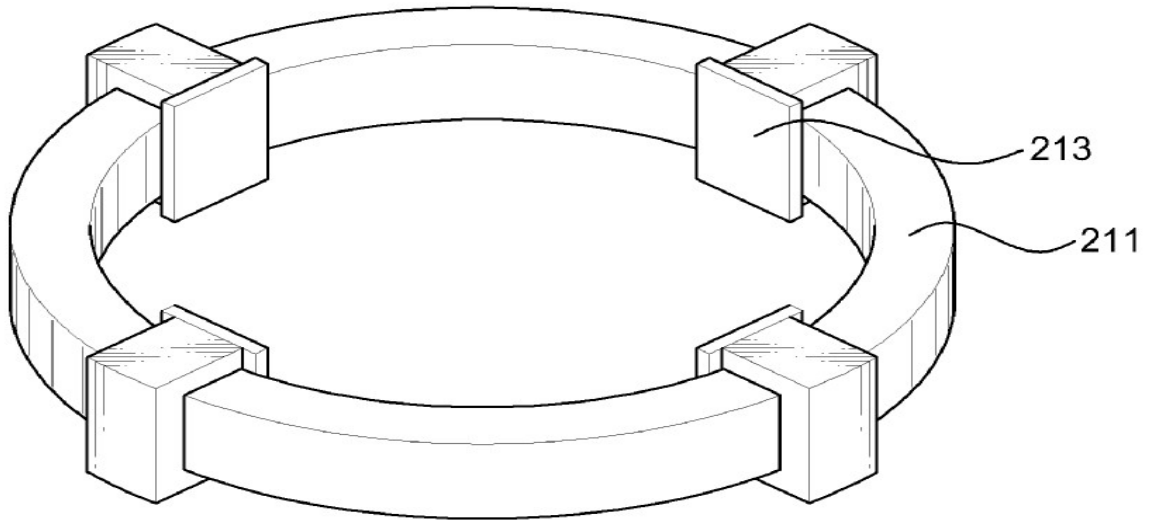
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.39	웨이퍼 처리 장치		
현재 권리자	SK실트론	발명자	최철호
출원번호 (출원일)	KR10-2007-0058586 (2007-06-14)	등록번호 (등록일)	KR10-0873236 (2008-12-03)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2027-06-14
기술 개요			
<p>이송 과정에서 세정된 웨이퍼가 오염되는 것을 방지하는 웨이퍼 처리 장치가 개시된다. 웨이퍼 처리 장치는, 웨이퍼의 일면을 지지하도록 형성되고, 복수의 웨이퍼가 결합되는 블록, 상기 웨이퍼의 세정 공정이 수행되는 세정유닛 및 상기 블록에 대응된 부분이 개방되고 상기 블록 둘레를 따라 결합되는 링 형태를 갖고 상기 블록에 결합되어 상기 웨이퍼를 이송하는 디마운터를 포함하는 이송유닛을 포함할 수 있다. 따라서, 웨이퍼의 연마 또는 세정 공정이 수행된 웨이퍼를 이송하는 과정에서 상기 웨이퍼에 잔류하는 버블 또는 세정액이 상기 디마운터에 묻는 것을 방지할 수 있다. 또한, 상기 디마운터 상에 잔류하는 상기 버블 또는 세정액으로 인해 상기 웨이퍼의 표면이 오염되는 것을 방지한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 연마 및 세정이 완료된 웨이퍼를 오염 없이 이송하기 위한 이송유닛을 구비하는 웨이퍼 처리 장치를 제공함에 있음		본 기술은 디 마운터로부터 세정이 완료된 웨이퍼가 오염되는 것을 방지하여 세정 효율을 향상시키고, 웨이퍼의 오염으로 후속 공정에서 불량 발생을 방지하여 생산효율을 향상시킬 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면

210



[이송유닛에서 디마운터를 설명하기 위한 사시도]


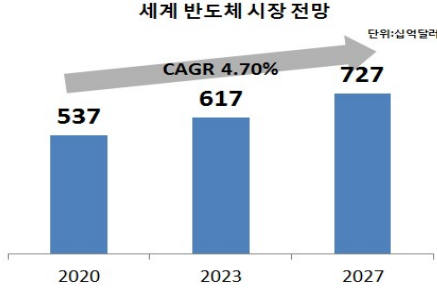
대표 청구항

웨이퍼의 일면을 지지하도록 형성되고, 복수의 웨이퍼가 결합되는 블록; 상기 웨이퍼의 세정 공정이 수행되는 세정유닛; 상기 블록에 대응된 부분이 개방되고 상기 블록 둘레를 따라 결합되는 링 형태를 갖고 상기 블록에 결합되어 상기 웨이퍼를 이송하는 디마운터를 포함하는 이송유닛; 을 포함하는 웨이퍼 처리 장치.

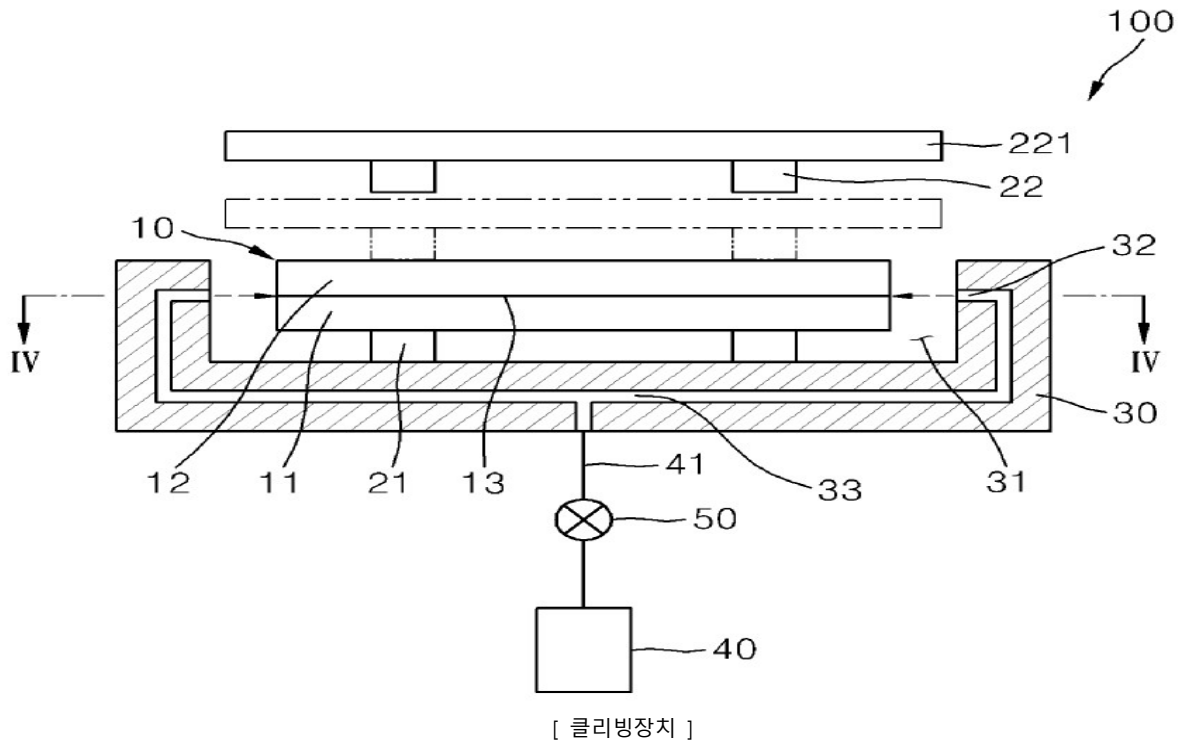
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.40	기판쌍 클리빙장치 및 기판쌍 클리빙방법		
현재 권리자	SK실트론	발명자	이상현
출원번호 (출원일)	KR10-2007-0078483 (2007-08-06)	등록번호 (등록일)	KR10-0879760 (2009-01-14)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2027-08-06
기술 개요			
<p>본 발명은, 클리빙 시작점과 완료점 간의 거리 및 클리빙 시간을 최소화함으로써 클리빙된 기판에 피트, 결정결함, 깨짐, 크랙 등의 결함 발생을 최소화시키며 나아가 클리빙된 기판의 표면 거칠기가 우수하며 클리빙된 기판 두께의 균일성이 확보 가능하도록 하는 기판쌍 클리빙장치 및 기판쌍 클리빙방법에 관한 것이다. 본 발명에 따른 기판쌍 클리빙장치는 제1기판과 제2기판이 상호 접합되어 형성되는 기판쌍이 고정되는 기판고정부; 및 기판쌍을 둘러싸도록 환형으로 형성되며 기판쌍의 가장자리 전체를 향해 유체를 분사하는 노즐부를 가지며, 유체의 분사방향이 제1기판과 제2기판의 접합계면에 포함되어 분사된 유체가 접합계면의 가장자리로부터 접합계면의 중심쪽으로 침투되도록 노즐부가 접합계면에 대하여 정렬되게 배치되는 노즐블록;을 구비한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 클리빙 시작점과 완료점 간의 거리 및 클리빙 시간을 최소화함으로써 클리빙된 기판에 피트, 결정결함, 깨짐, 크랙 등의 결함 발생을 최소화시키며 나아가 클리빙된 기판의 표면 거칠기가 우수하며 클리빙된 기판 두께의 균일성이 확보 가능하도록 하는 기판쌍 클리빙장치 및 기판쌍 클리빙방법을 제공함에 있음		본 기술은 클리빙 시작점과 완료점 간의 거리 및 클리빙 시간을 최소화함으로써 클리빙된 기판에 피트, 결정결함, 깨짐, 크랙 등의 결함 발생을 최소화시키며 나아가 클리빙된 기판의 표면 거칠기가 우수하며 클리빙된 기판 두께의 균일성이 확보 가능하게 하는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




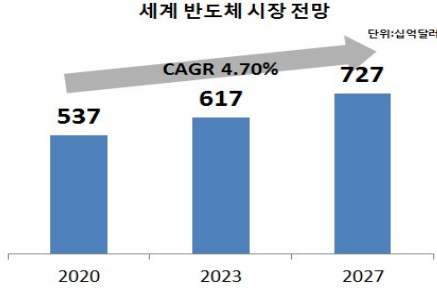
대표 청구항

제1기판과 제2기판이 상호 접합되어 형성되는 기판쌍이 고정되는 기판고정부; 및 상기 기판쌍을 둘러싸도록 환형으로 형성되며 상기 기판쌍의 가장자리 전체를 향해 유체를 분사하는 노즐부를 가지며, 상기 유체의 분사방향이 상기 제1기판과 제2기판의 접합계면에 포함되어 상기 분사된 유체가 상기 접합계면의 가장자리로부터 접합계면의 중심쪽으로 침투되도록 상기 노즐부가 상기 접합계면에 대하여 정렬되게 배치되는 노즐블록;을 구비하는 것을 특징으로 하는 기판쌍 클리빙장치.

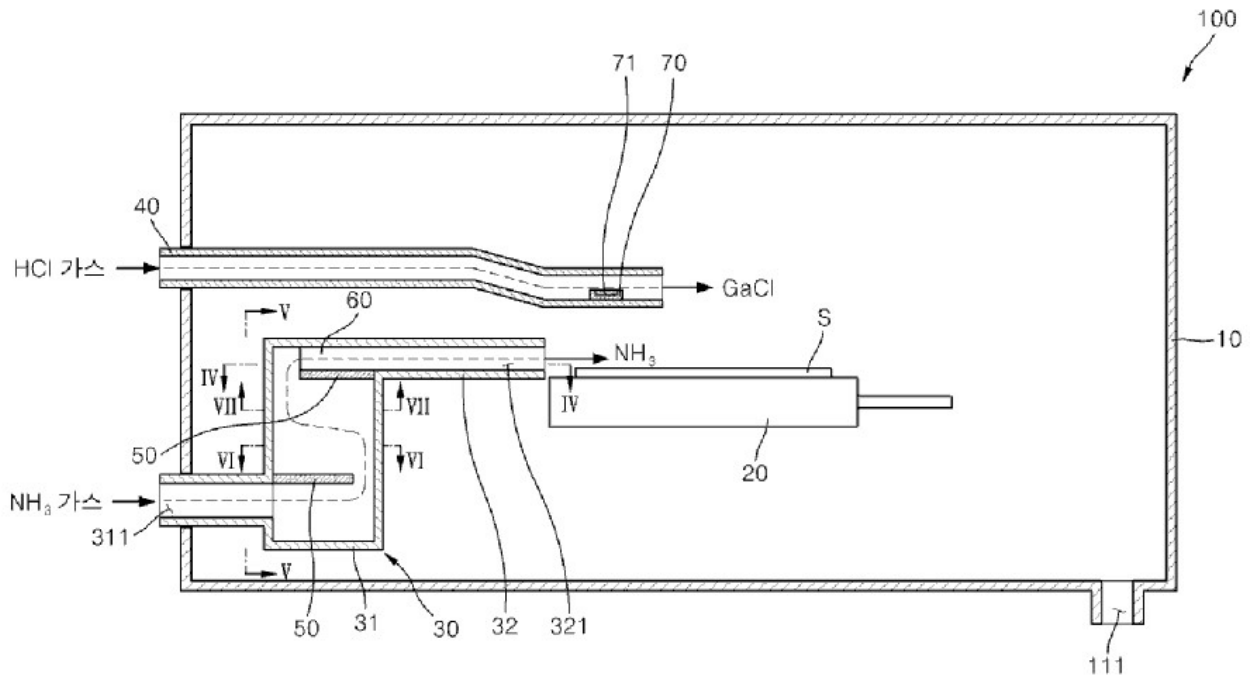
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.41	질화갈륨 기판제조장치		
현재 권리자	SK실트론	발명자	이호준
출원번호 (출원일)	KR10-2007-0133254 (2007-12-18)	등록번호 (등록일)	KR10-0932424 (2009-12-09)
특허기술분류 (IPC)	C30	존속기간 만료예정일	2027-12-18
기술 개요			
<p>본 발명은, NH₃ 가스 및 GaCl 가스 간의 반응효율이 향상되도록 구조가 개선되어 질화갈륨의 성장속도를 증가시키며 나아가 질화갈륨 기판의 품질을 향상시키는 질화갈륨 기판제조장치에 관한 것이다. 본 발명에 따른 질화갈륨 기판제조장치는 챔버; 챔버의 내부에 설치되며, 기판이 지지되는 기판 지지대; 중공형상으로 이루어지며, 챔버의 내부와 연통되어 외부로부터 공급되는 NH₃ 가스가 기판 지지대에 배치되는 기판의 상방으로 배출되도록 챔버에 결합되는 제1가스공급관; 및 제1가스공급관의 상방에 배치되며, 중공형상으로 이루어지며, 내부에 갈륨(Ga)이 배치되며, 외부로부터 공급되는 HCl 가스가 갈륨과 반응하여 GaCl 가스가 생성되며 생성된 GaCl 가스가 기판 지지대에 배치되는 기판의 상방으로 배출되도록 챔버의 내부와 연통되게 결합되는 제2가스공급관;를 구비한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 NH₃ 가스 및 GaCl 가스 간의 반응효율이 향상되도록 구조가 개선되어 질화갈륨의 성장속도를 증가시키며 나아가 질화갈륨 기판의 품질을 향상시키는 질화갈륨 기판제조장치를 제공함에 있음</p>		<p>본 기술은 NH₃ 가스 및 GaCl 가스 간의 반응효율이 향상됨에 따라 질화갈륨의 성장속도를 증가시킬 수 있으며, 나아가 질화갈륨 기판의 품질도 향상시킬 수 있게 되는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[질화갈륨 기판제조장치의]


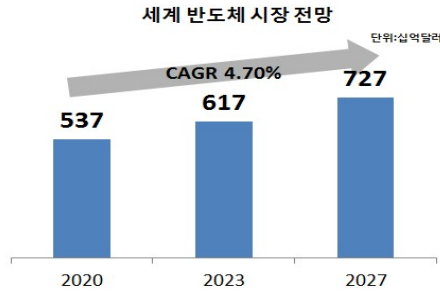
대표 청구항

챔버; 상기 챔버의 내부에 설치되며, 기판이 지지되는 기판 지지대; 중공형상으로 이루어지며 상기 챔버의 내부와 연통되어 외부로부터 공급되는 NH₃ 가스가 상기 기판 지지대에 배치되는 기판의 상방으로 배출되도록 상기 챔버에 결합되며, 상기 기판 지지대와 수평방향으로 일정 거리 이격되게 배치되며 상기 NH₃ 가스가 하부에서 유입되어 내부에서 상부로 유동되도록 하는 본체부를 포함하는 제1가스공급관; 상기 제1가스공급관의 상부에 배치되며, 중공형상으로 이루어지며, 내부에 갈륨(Ga)이 배치되며, 외부로부터 공급되는 HCl 가스가 갈륨과 반응하여 GaCl 가스가 생성되며 생성된 GaCl 가스가 상기 기판 지지대에 배치되는 기판의 상방으로 배출되도록 상기 챔버의 내부와 연통되게 결합되는 제2가스공급관; 및 상기 제1가스공급관의 본체부의 내부에 상하방향으로 이격되게 배치되며, 각각의 일단부는 상기 본체부의 내측벽에 접촉하며, 각각 상기 NH₃ 가스가 유입되는 유입구의 상부에 배치되는 복수의 유동경로형성부재;를 구비하는 것을 특징으로 하는 질화갈륨 기판제조장치.

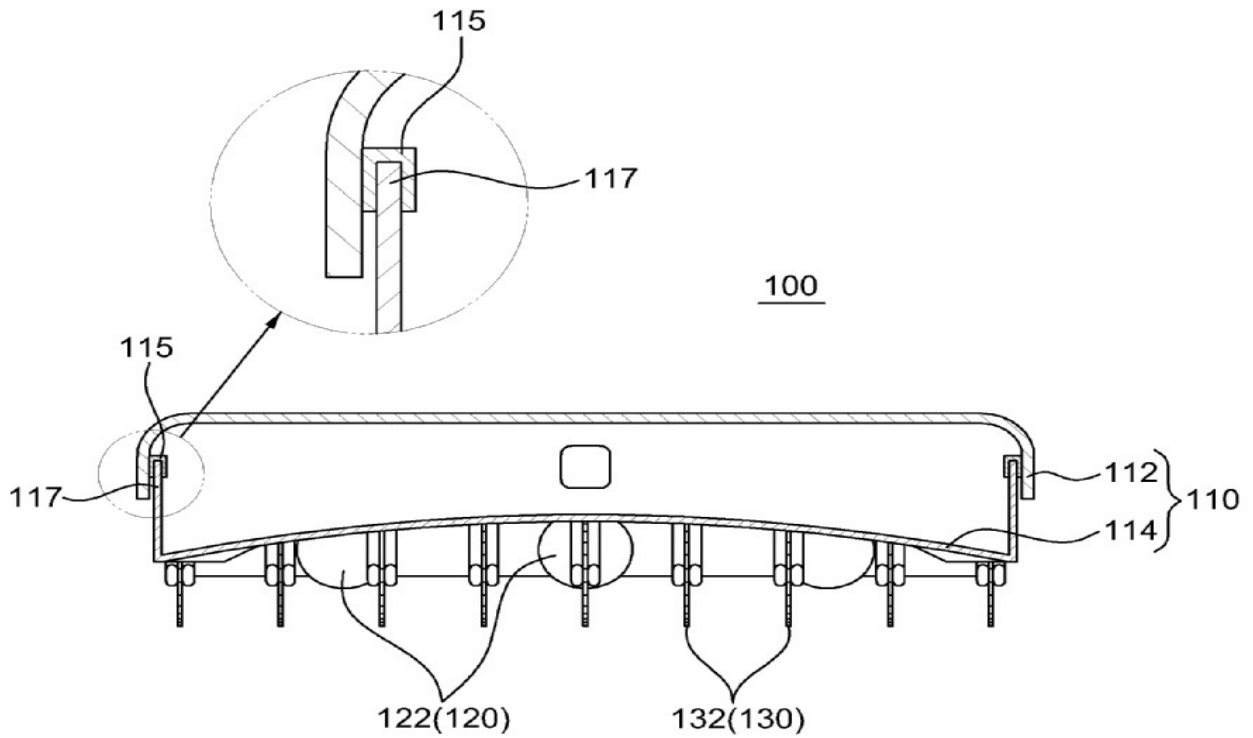
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.42	슬러리 제거장치		
현재 권리자	SK실트론	발명자	정택상
출원번호 (출원일)	KR10-2008-0003083 (2008-01-10)	등록번호 (등록일)	KR10-0919925 (2009-09-24)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2028-01-10
기술 개요			
<p>자동으로 슬러리를 제거하는 슬러리 제거장치가 개시된다. 본 발명의 슬러리 제거장치는 그루브에 삽입되어 슬러리를 제거하는 제거유닛, 제거유닛을 일측에 결합하고 연마패드의 연마면 상에서 이동하는 이동유닛 및 이동유닛이 연마면에서 이탈 여부를 감지하는 위치확인 센서를 구비하며, 이동유닛이 연마면에서 정해진 루트를 따라 이동하도록 제어하는 제어유닛을 포함한다. 따라서, 연마면의 그루브에 쌓인 슬러리를 자동으로 제거하도록 함으로서 그루브에 쌓인 슬러리가 균일하고 정확하게 제거되며, 정해진 경로를 따라 이동하면서 모든 그루브에 쌓인 슬러리를 제거할 수 있어 제거 작업시간을 단축할 수 있으며, 작업 완료시간을 예측할 수 있어 추후 공정을 계획대로 원활히 진행할 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 작업자가 일일이 슬러리 제거 작업을 하지 않아도 자동으로 그루브에 쌓인 슬러리를 제거할 수 있는 슬러리 제거장치를 제공함에 있음</p>		<p>본 기술은 연마면의 그루브에 쌓인 슬러리를 자동으로 제거하도록 함으로서 그루브에 쌓인 슬러리가 균일하고 정확하게 제거되며, 제거 작업시간을 단축할 수 있고 전체적인 작업 공정을 보다 효율적으로 관리할 수 있다는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[슬러리 제거장치]


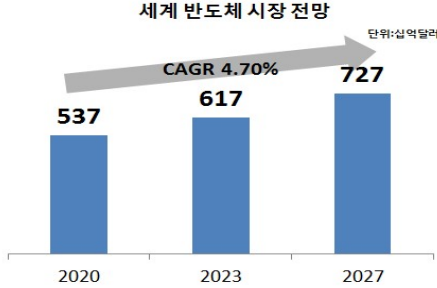
대표 청구항

연마패드의 그루브(groove)에 쌓인 슬러리를 제거하는 슬러리 제거장치에 있어서, 상기 그루브에 삽입되어 상기 슬러리를 제거하는 제거유닛; 상기 제거유닛을 일측에 결합하고, 상기 연마패드의 연마면 상에서 이동하는 이동유닛; 및 상기 이동유닛이 상기 연마면에서 이탈 여부를 감지하는 위치확인 센서를 구비하며, 상기 이동유닛이 상기 연마면에서 정해진 루트를 따라 이동하도록 제어하는 제어유닛; 을 포함하는 슬러리 제거장치.

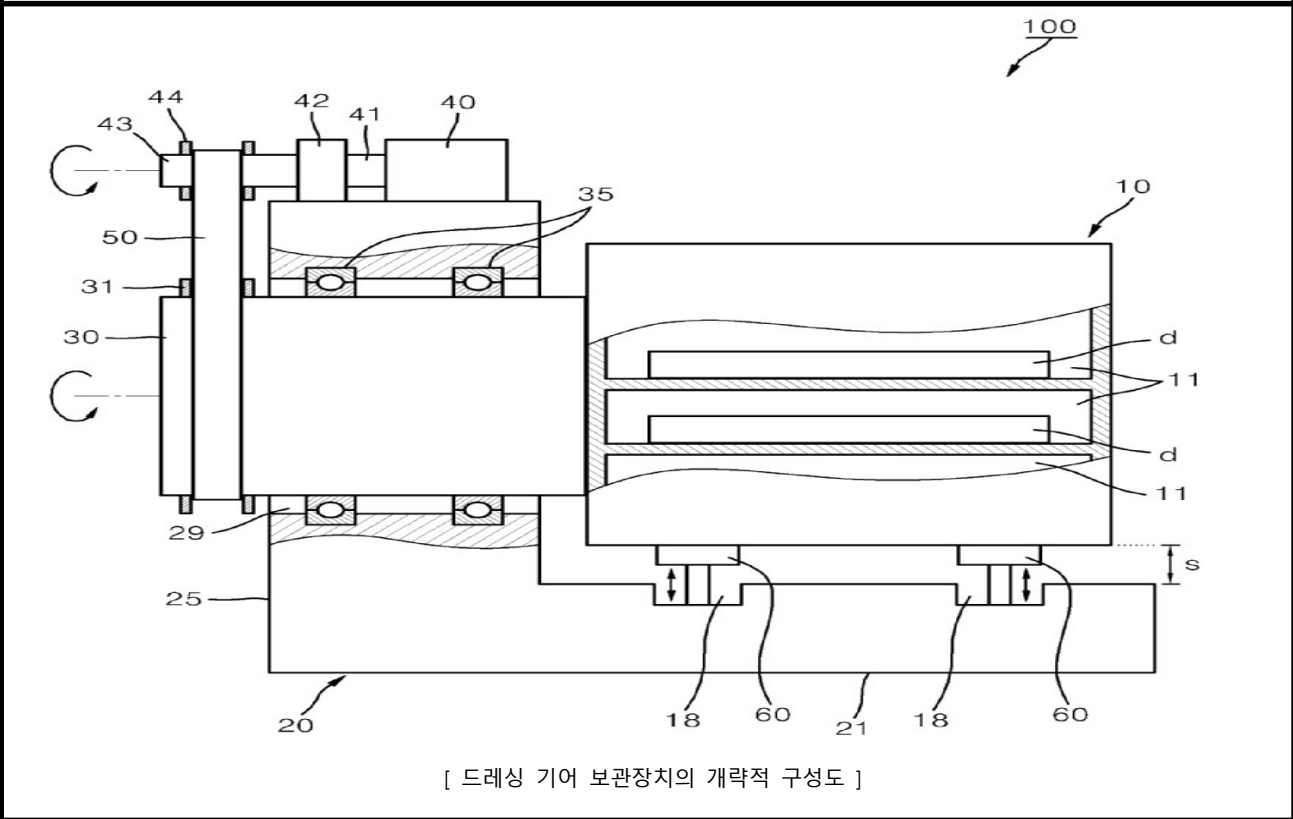
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.43	드레싱 기어 보관장치		
현재 권리자	SK실트론	발명자	권기수
출원번호 (출원일)	KR10-2008-0094727 (2008-09-26)	등록번호 (등록일)	KR10-1046989 (2011-06-30)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2028-09-26
기술 개요			
<p>본 발명은 드레싱 기어의 형상을 장기간 일정하게 유지할 수 있도록 하는 드레싱 기어 보관장치를 제공한다. 본 발명에 따른 드레싱 기어 보관장치는 랩핑장치의 정반을 드레싱하기 위한 드레싱 기어가 수납될 수 있도록 복수의 슬롯 형성되어 있는 보관함과, 보관함을 지지하며 보관함을 회전시켜 드레싱 기어의 전면과 후면이 상호 뒤집히게 하는 회전수단을 구비하는 것에 특징이 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 드레싱 기어의 전면과 후면을 교대로 사용하기 용이하게 보관하여 드레싱 기어의 형태가 장시간 일정하게 유지될 수 있도록 하는 드레싱 기어 보관장치를 제공함에 있음</p>		<p>본 기술은 드레싱 기어의 보관시에 드레싱 기어를 뒤집어 줌으로써 드레싱 기어의 전면과 후면을 교대로 사용할 수 있게 하는바, 드레싱 기어의 형태가 장기간 일정하게 유지될 수 있으며, 이에 따라 랩핑장치 정반의 형태도 일정하게 유지될 수 있어 최종적으로 웨이퍼의 평탄도가 향상된다는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




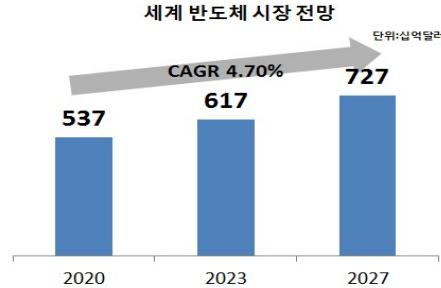
대표 청구항

랩핑장치의 정반을 드레싱하기 위한 드레싱 기어가 수납될 수 있도록 복수의 슬롯이 형성되어 있는 보관함; 및 상기 보관함을 지지하며, 상기 보관함을 회전시켜 상기 드레싱 기어의 전면과 후면이 상호 뒤집히게 하는 회전수단;을 포함하며, 상기 회전수단은 지지대와, 상기 지지대에 회전가능하게 결합하여 상기 보관함을 지지하는 회전지지축과, 상기 회전지지축을 회전시키기 위한 모터 및 상기 모터의 회전을 전달하도록 상기 모터와 회전지지축을 상호 연결하는 동력전달부재를 포함하며, 상기 지지대는 바닥면에 설치되는 베이스부와, 상기 회전지지축이 결합되는 지지부를 구비하며, 상기 보관함의 하방에 배치되며, 상기 베이스부에 대하여 물입된 제1위치와, 상기 보관함을 지지하도록 상기 베이스부에 대하여 돌출되는 제2위치 사이에서 위치이동 가능하게 상기 베이스부에 결합되는 받침대를 더 구비하는 것을 특징으로 하는 드레싱 기어 보관장치.

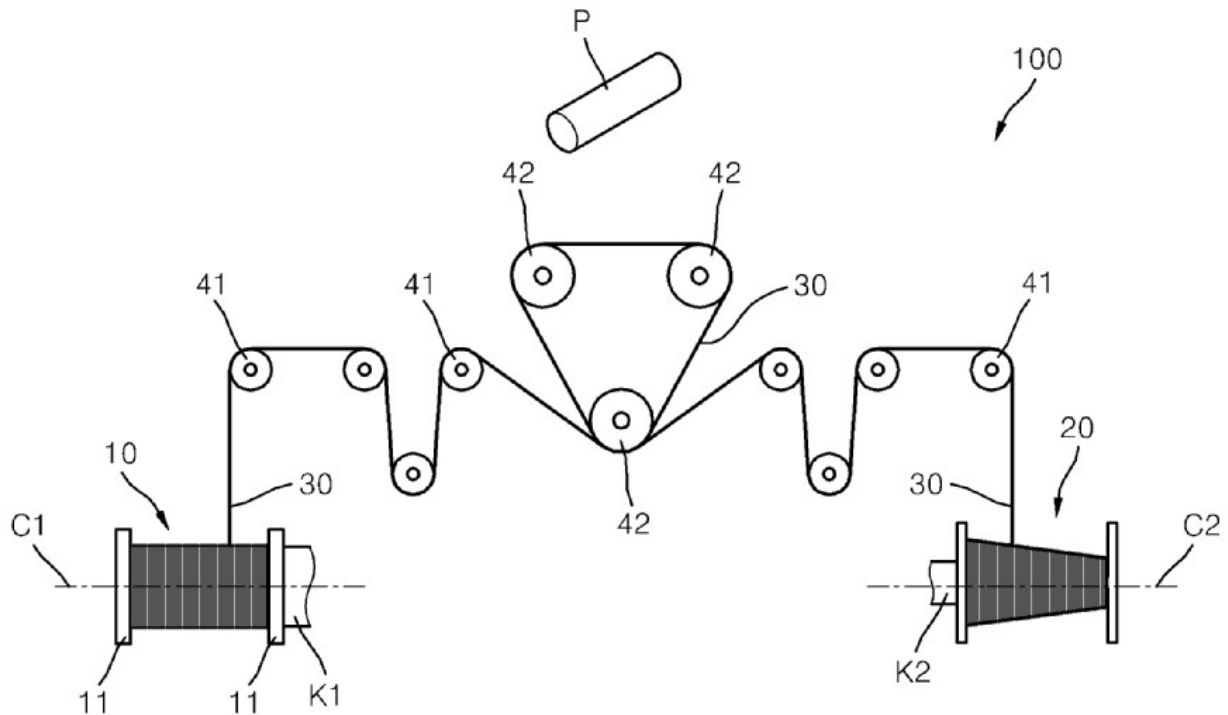
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치								
No.44	와이어 소우 장치										
현재 권리자	SK실트론	발명자	정규진								
출원번호 (출원일)	KR10-2008-0097820 (2008-10-06)	등록번호 (등록일)	KR10-1052792 (2011-07-25)								
특허기술분류 (IPC)	B23	존속기간 만료예정일	2028-10-06								
기술 개요											
<p>본 발명은 와이어 소우 장치의 가동률이 향상되며, 와이어의 교체작업이 용이해지도록 구조가 개선된 와이어 소우 장치에 관한 것이다. 본 발명에 따른 와이어 소우 장치는 회전가능하게 설치되는 공급보빈과, 공급보빈과 이격되어 회전가능하게 설치되는 회수보빈과, 일단부는 공급보빈에 감기고 타단부는 회수보빈에 감기며, 공급보빈 및 회수보빈의 회전에 연동되어 공급보빈으로부터 회수보빈으로 이동되는 와이어를 구비하는 와이어 소우 장치에 있어서, 회수보빈은 와이어가 감겨지는 몸체부재와, 몸체부재에 감겨진 와이어가 몸체부재로부터 이탈되는 것이 방지되도록, 몸체부재의 일단부에 분리 가능하게 결합되며, 몸체부재의 회전중심축과 교차하는 방향으로 형성되어 몸체부재의 일단부에 대하여 외측 방향으로 돌출되는 브라켓을 포함한다.</p>											
기술 목적		기술효과(차별성)									
<p>본 기술의 목적은 와이어 소우 장치의 가동률이 향상되며, 와이어의 교체작업이 용이해지도록 구조가 개선된 와이어 소우 장치를 제공함에 있음</p>		<p>본 기술은 와이어를 용이하고 신속하게 교체할 수 있으므로 와이어 소우 장치의 가동률이 향상되며, 작업자의 번거로움 및 사고가 발생할 우려가 감소되는 효과가 있음</p>									
기술분야		시장전망									
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <table><tr><th>연도</th><th>시장규모 (십억달러)</th></tr><tr><td>2020</td><td>537</td></tr><tr><td>2023</td><td>617</td></tr><tr><td>2027</td><td>727</td></tr></table> <p>* 출처: FortuneBusinessInsights, 2020.10</p>		연도	시장규모 (십억달러)	2020	537	2023	617	2027	727
연도	시장규모 (십억달러)										
2020	537										
2023	617										
2027	727										

대표 도면



[와이어 소우 장치]


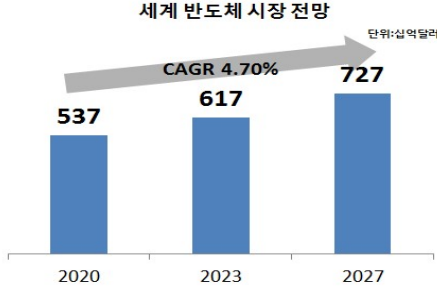
대표 청구항

회전가능하게 설치되는 공급보빈과,상기 공급보빈과 이격되어 회전가능하게 설치되는 회수보빈과,일단부는 상기 공급보빈에 감기고 타단부는 상기 회수보빈에 감기며, 상기 공급보빈 및 상기 회수보빈의 회전에 연동되어 상기 공급보빈으로부터 상기 회수보빈으로 이동되는 와이어를 구비하는 와이어 소우 장치에 있어서,상기 회수보빈은,상기 와이어가 감겨지는 몸체부재와,상기 몸체부재에 감겨진 와이어가 상기 몸체부재로부터 이탈되는 것이 방지되도록, 상기 몸체부재의 일단부에 분리 가능하게 결합되며, 상기 몸체부재의 회전중심축과 교차하는 방향으로 형성되어 상기 몸체부재의 일단부에 대하여 외측 방향으로 돌출되는 브라켓을 포함하며,상기 몸체부재는 일단부에서부터 타단부로 갈수록 직경이 점차적으로 증가하도록 형성되는 것을 특징으로 하는 와이어 소우 장치.

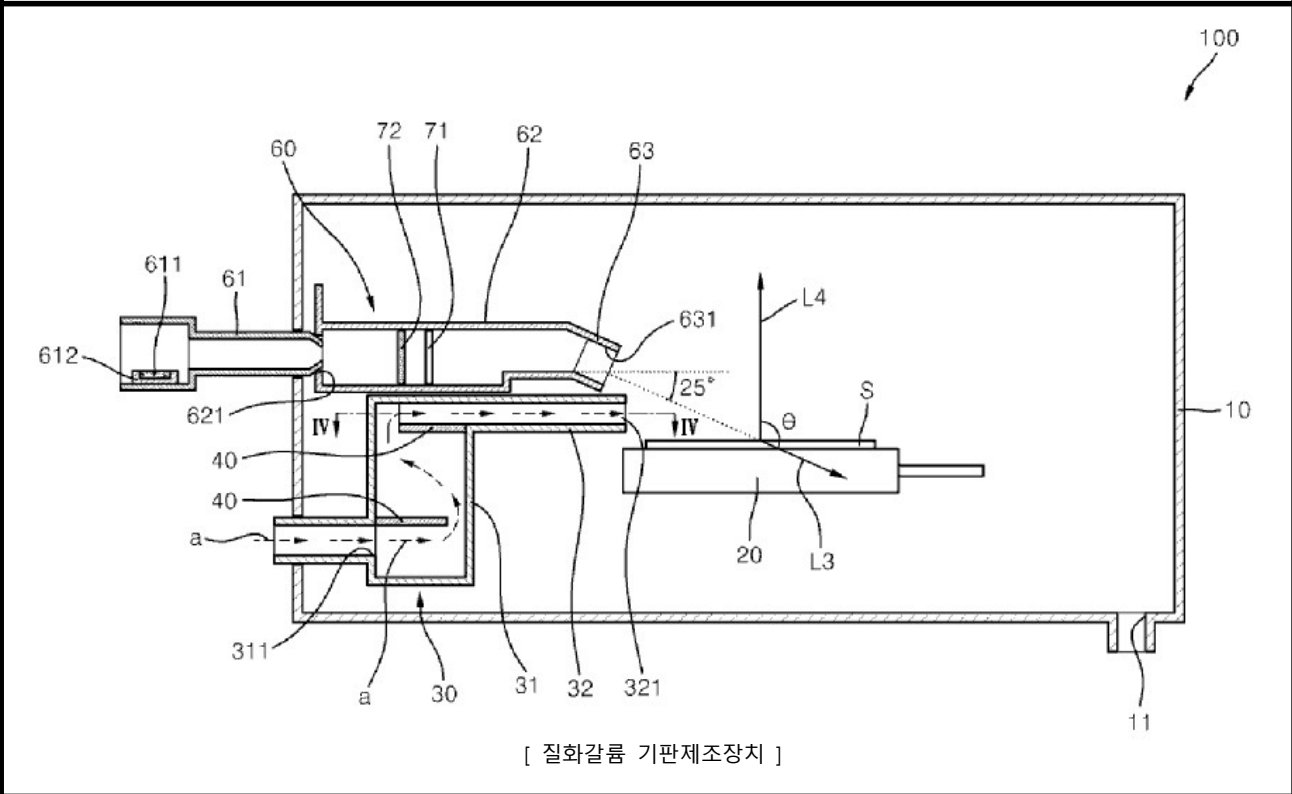
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.45	질화갈륨 기판제조장치		
현재 권리자	SK실트론	발명자	김두수
출원번호 (출원일)	KR10-2008-0107660 (2008-10-31)	등록번호 (등록일)	KR10-0980642 (2010-09-01)
특허기술분류 (IPC)	C30	존속기간 만료예정일	2028-10-31
기술 개요			
<p>본 발명은 질화갈륨의 성장속도를 증가시키며 나아가 질화갈륨 기판의 품질을 향상시키는 질화갈륨 기판제조장치에 관한 것이다. 본 발명에 따른 질화갈륨 기판제조장치는 챔버와, 챔버의 내부에 설치되며, 기판이 안착되는 기판 지지대와, 중공의 형상으로 형성되어 챔버의 내부와 연통되며, 외부로부터 공급되는 NH₃ 가스가 기판 지지대에 안착된 기판의 상방으로 분사되도록 상기 챔버에 결합되는 제1 가스공급관과, 중공의 형상으로 형성되며, 제1가스공급관의 상방에 배치되며, 외부로부터 공급되는 HCl 가스와 내부에 배치된 갈륨(Ga)이 반응하여 생성되는 GaCl 가스가 기판 지지대에 안착된 기판의 상방으로 분사되되 GaCl 가스가 분사되는 방향이 기판 상면의 법선 방향과 90도 보다 큰 각을 형성하도록 상기 챔버에 결합되는 제2가스공급관을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 NH₃ 가스 및 GaCl 가스 간의 반응효율이 향상되도록 구조가 개선되어 질화갈륨의 성장속도를 증가시키며 나아가 질화갈륨 기판의 품질을 향상시키는 질화갈륨 기판제조장치를 제공함에 있음</p>		<p>본 기술은 NH₃ 가스 및 GaCl 가스 간의 반응효율이 향상되어 질화갈륨 층의 성장속도가 빨라짐과 동시에 기판 상에 균일한게 질화갈륨을 증착할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



대표 청구항


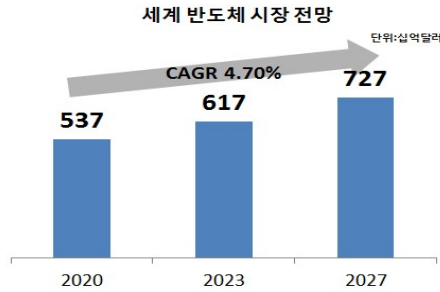
--

챔버; 상기 챔버의 내부에 설치되며, 기판이 안착되는 기판 지지대; 중공의 형상으로 형성되어 상기 챔버의 내부와 연통되며, 외부로부터 공급되는 NH₃ 가스가 상기 기판 지지대에 안착된 기판의 상방으로 분사되도록 상기 챔버에 결합되는 제1가스공급관; 및 중공의 형상으로 형성되며, 상기 제1가스공급관의 상방에 배치되며, 외부로부터 공급되는 HCl 가스와 내부에 배치된 갈륨(Ga)이 반응하여 생성되는 GaCl 가스가 상기 기판 지지대에 안착된 기판의 상방으로 분사되도록 상기 GaCl 가스가 분사되는 방향이 상기 기판 상면의 법선 방향과 90도 보다 큰 각을 형성하도록 상기 챔버에 결합되는 제2가스공급관;을 포함하는 것을 특징으로 하는 질화갈륨 기판제조장치.

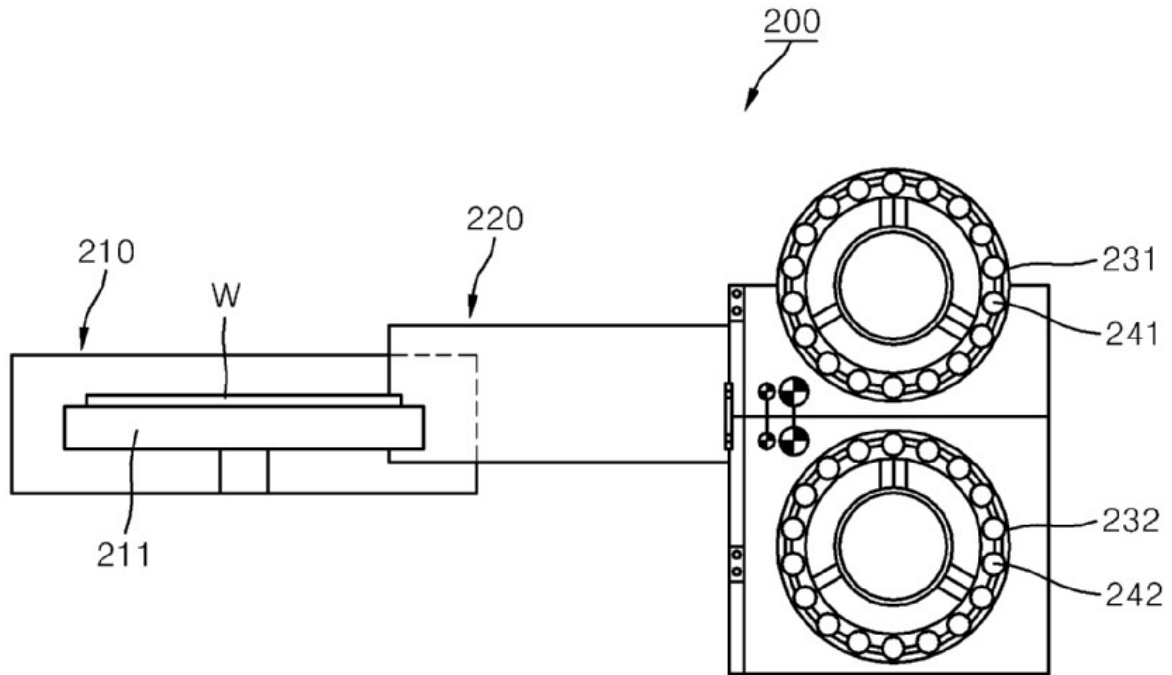
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.46	테이프 연마기		
현재 권리자	SK실트론	발명자	최창석
출원번호 (출원일)	KR10-2008-0119267 (2008-11-28)	등록번호 (등록일)	KR10-1025263 (2011-03-21)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2028-11-28
기술 개요			
<p>테이프 연마기가 개시된다. 와인더는 원판 형상으로 형성되고, 회전 운동 가능하게 설치되며, 외주면에 연마 테이프가 감긴다. 구동 수단은 와인더가 회전 운동하도록 구동력을 제공한다. 그리고 와인더 감지 센서는 와인더의 회전 운동을 감지하며, 구동 수단 감지 센서는 구동 수단의 운동을 감지한다. 본 발명에 따르면, 와인더가 정상 동작하지 않는 경우, 와인더의 동작을 정지시키거나 경고음을 발생시켜 작업자에게 알려 웨이퍼의 불량률 감소시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 와인더의 동작 불량시 웨이퍼의 불량 및 테이프 연마기의 손상을 방지할 수 있는 테이프 연마기를 제공함에 있음</p>		<p>본 기술은 와인더가 정상 동작하지 않는 경우, 와인더의 동작을 정지시키거나 경고음을 발생시켜 작업자에게 알려 웨이퍼의 불량률 감소시킬 수 있으며, 와인더의 작동 불량에 따른 테이프 연마기의 손상을 방지할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[테이프 연마기]


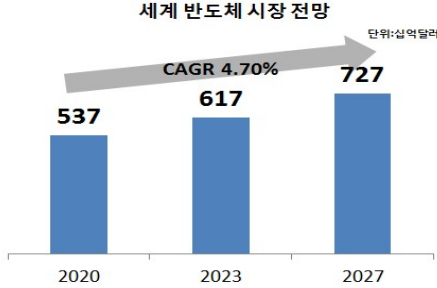
대표 청구항

원판 형상으로 형성되고, 회전 운동 가능하게 설치되며, 외주면에 연마 테이프가 감기는 와인더; 상기 와인더가 회전 운동하도록 구동력을 제공하는 구동 수단;상기 와인더의 회전 운동을 감지하는 와인더 감지 센서; 및상기 구동 수단의 운동을 감지하는 구동 수단 감지 센서;를 포함하고,상기 와인더에는 상기 와인더의 양측을 관통하는 관통공이 형성되고,상기 와인더 감지 센서는 상기 와인더를 사이에 두고 서로 마주보게 배치되는 발광센서와 수광센서를 구비하며,상기 발광센서에서 방출되는 광신호는 상기 관통공을 통해 상기 수광센서로 입사되는 것을 특징으로 하는 테이프 연마기.

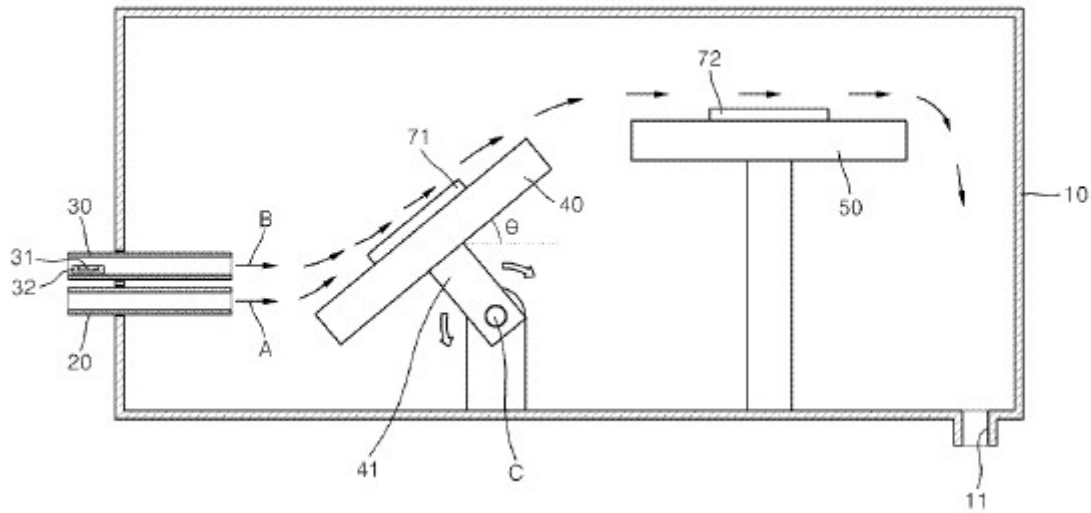
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.47	질화갈륨기판 제조장치		
현재 권리자	SK실트론	발명자	이정훈
출원번호 (출원일)	KR10-2008-0131395 (2008-12-22)	등록번호 (등록일)	KR10-0988213 (2010-10-11)
특허기술분류 (IPC)	C30	존속기간 만료예정일	2028-12-22
기술 개요			
<p>본 발명은 두꺼운 두께를 가지는 질화갈륨 단결정 층 및 얇으면서 우수한 품질을 가지는 에피텍셜 질화갈륨 층을 함께 성장시킬 수 있도록 구조가 개선된 질화갈륨기판 제조장치에 관한 것이다. 본 발명에 따른 질화갈륨기판 제조장치는 챔버와, 중공의 형상으로 형성되며, 외부로부터 공급되는 암모니아(NH₃)가스가 챔버의 내부로 분사되도록 챔버에 결합되는 제1가스공급관과, 중공의 형상으로 형성되며, 외부로부터 공급되는 염화수소(HCl) 가스와 내부에 배치된 갈륨(Ga)이 반응하여 생성되는 염화갈륨(GaCl) 가스가 챔버의 내부로 분사되도록 챔버에 결합되는 제2가스공급관과, 암모니아 가스의 분사방향 및 염화갈륨 가스의 분사방향에 대해 경사지도록 제1기판이 안착되며, 기판의 상측으로 암모니아 가스 및 염화갈륨 가스가 유동되도록 챔버의 내부에 설치되는 제1기판지지대와, 암모니아 가스 및 염화갈륨 가스의 유동경로 상 제1기판지지대의 후방에 배치되도록 챔버의 내부에 설치되며, 제1기판에 대하여 경사지도록 제2기판이 안착되는 제2기판지지대를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 두꺼운 두께를 가지는 질화갈륨 단결정 층 및 얇으면서 우수한 품질을 가지는 에피텍셜 질화갈륨 층을 함께 성장시킬 수 있도록 구조가 개선된 질화갈륨기판 제조장치를 제공함에 있음</p>		<p>본 기술은 하나의 장치 내에서 한번의 공정을 통하여 두꺼운 두께를 가지는 질화갈륨 단결정 층 및 얇으면서 우수한 품질을 가지는 에피텍셜 질화갈륨 층을 기판에 동시에 성장시킬 수 있으며, 장치의 제작비용이 감소되고 장치의 생산성이 향상되는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[질화갈륨기판 제조장치]


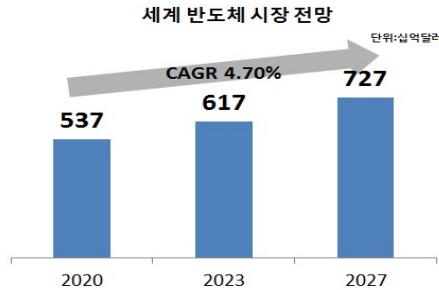
대표 청구항

챔버; 중공의 형상으로 형성되며, 외부로부터 공급되는 암모니아(NH_3)가스가 상기 챔버의 내부로 분사되도록 상기 챔버에 결합되는 제1가스공급관; 중공의 형상으로 형성되며, 외부로부터 공급되는 염화수소(HCl)가스와 내부에 배치된 갈륨(Ga)이 반응하여 생성되는 염화갈륨(GaCl)가스가 상기 챔버의 내부로 분사되도록 상기 챔버에 결합되는 제2가스공급관; 상기 암모니아 가스의 분사방향 및 상기 염화갈륨 가스의 분사방향에 대해 경사지도록 제1기판이 안착되며, 상기 기판의 상측으로 상기 암모니아 가스 및 상기 염화갈륨 가스가 유동되도록 상기 챔버의 내부에 설치되는 제1기판지지대; 및 상기 암모니아 가스 및 상기 염화갈륨 가스의 유동경로 상 상기 제1기판지지대의 후방에 배치되도록 상기 챔버의 내부에 설치되며, 상기 제1기판에 대하여 경사지도록 제2기판이 안착되는 제2기판지지대;를 포함하는 것을 특징으로 하는 질화갈륨기판 제조장치.

특허평가등급

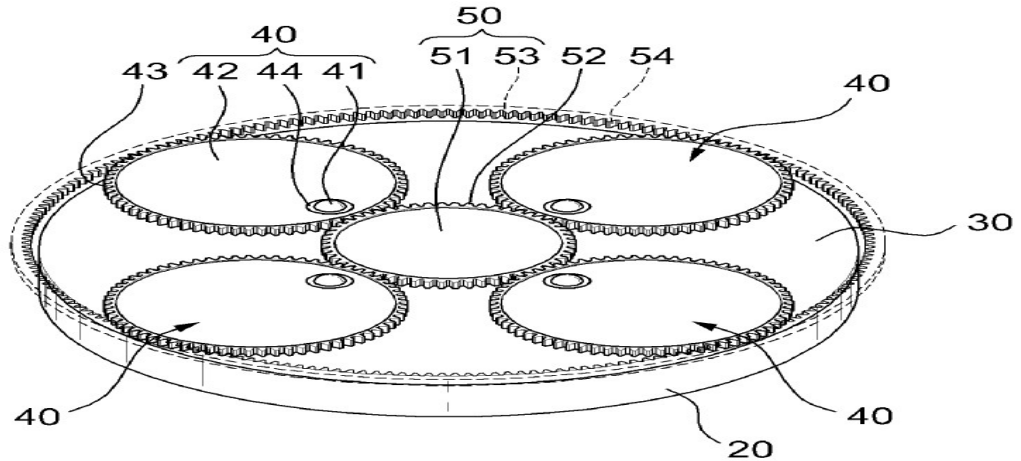
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치								
No.48	연마패드 압착장치										
현재 권리자	SK실트론	발명자	이형락								
출원번호 (출원일)	KR10-2009-0022130 (2009-03-16)	등록번호 (등록일)	KR10-1040856 (2011-06-03)								
특허기술분류 (IPC)	B24	존속기간 만료예정일	2029-03-16								
기술 개요											
<p>연마판에 부착된 연마패드의 압착효율을 향상시킬 수 있는 연마패드 압착장치가 개시된다. 개시된 본 발명에 의한 연마패드 압착장치는, 연마패드의 표면에 압착된 상태로 이동 가능한 복수의 압착부 및, 복수의 압착부를 동시에 회전시키는 회전부를 포함한다. 이러한 구성에 의하면, 연마패드가 부착된 연마판을 복수의 압착부가 동시에 압착시킬 수 있어, 연마판의 기울어짐을 방지할 수 있다. 또한, 연마패드의 압착편차 저하가 야기되지 않아 압착효율을 향상시킬 수 있다.</p>											
기술 목적		기술효과(차별성)									
<p>본 기술의 목적은 압착의 편차 발생을 저감시켜 압착효율을 향상시킬 수 있고 연마판의 기울어짐 없이 상부 및 하부 연마패드를 상부 및 하부 연마판에 동시에 압착시킬 수 있는 연마패드 압착장치를 제공함에 있음</p>		<p>본 기술은 복수의 압착부가 연마패드를 동시에 압착시킴으로써 연마패드의 전면을 균일하게 압착시킬 수 있어 압착작업성 및 연마패드의 압착효율을 향상시킬 수 있으며, 압착불인 압착체가 기어 연결된 가동부의 가동력에 의해 연마판의 중심에서 외주측으로 이동될 수 있어 압착체 이동을 위한 큰 부피의 구동수단이 불필요하여 사용에 용이한 연마패드 압착장치를 제공할 수 있음</p>									
기술분야		시장전망									
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <table><tr><th>연도</th><th>시장규모 (단위:십억달러)</th></tr><tr><td>2020</td><td>537</td></tr><tr><td>2023</td><td>617</td></tr><tr><td>2027</td><td>727</td></tr></table> <p>* 출처: FortuneBusinessInsights, 2020.10</p>		연도	시장규모 (단위:십억달러)	2020	537	2023	617	2027	727
연도	시장규모 (단위:십억달러)										
2020	537										
2023	617										
2027	727										

대표 도면

10



[연마패드 압착장치]


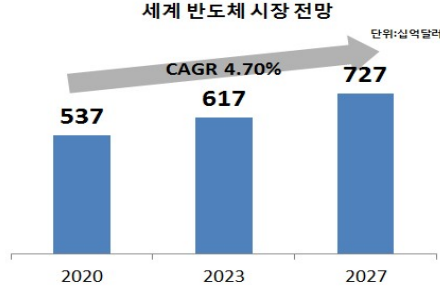
대표 청구항

연마판에 연마패드를 압착시키는 연마패드 압착장치에 있어서, 상기 연마패드 압착장치는, 상기 연마패드의 표면에 압착된 상태로 이동 가능한 복수의 압착부; 및상기 복수의 압착부를 동시에 회전시키는 회전부;를 포함하며, 상기 압착부는, 상기 연마패드의 표면을 가압하면서 이동 가능한 압착체; 상기 압착체를 지지한 상태로 상기 연마패드에 대해 회전 가능한 회전 플레이트; 및상기 압착체 및 회전 플레이트 사이에 개재되어, 상기 회전 플레이트에 대해 상기 압착체를 지지하는 지지체; 를 포함하는 연마패드 압착장치.

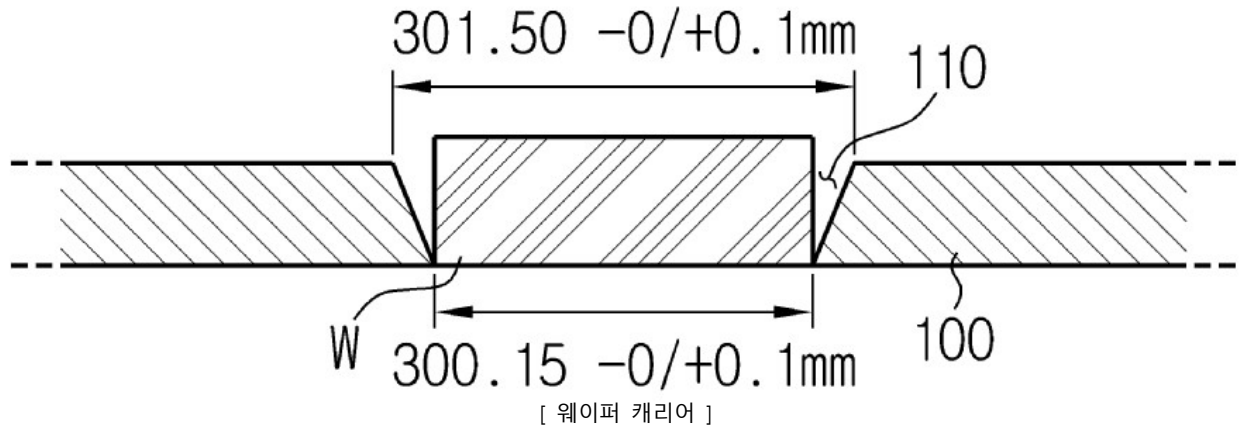
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.49	웨이퍼 캐리어 및 이를 채용한 웨이퍼 양면 연마장치		
현재 권리자	SK실트론	발명자	구성민
출원번호 (출원일)	KR10-2009-0115789 (2009-11-27)	등록번호 (등록일)	KR10-1150849 (2012-05-22)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2029-11-27
기술 개요			
<p>본 발명은 웨이퍼 캐리어 및 이를 채용한 웨이퍼 양면 연마장치에 관한 것으로서, 더욱 상세하게는 웨이퍼의 양면 연마시 웨이퍼가 자전하도록 하여 평탄도를 향상시킬 수 있도록 하는 웨이퍼 캐리어 및 이를 채용한 웨이퍼 양면 연마장치에 관한 것이다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼의 양면 연마시 웨이퍼가 자전하도록 웨이퍼 장착홀의 구조를 개선한 웨이퍼 캐리어 및 이를 채용한 웨이퍼 양면 연마장치를 제공하고 어설레이션 타입의 양면 연마장치를 사용하여 대구경의 웨이퍼를 평탄하게 연마시킬 수 있는 웨이퍼 캐리어 및 이를 채용한 웨이퍼 양면 연마장치를 제공함에 있음</p>		<p>본 기술은 웨이퍼가 장착되는 캐리어의 장착홀의 구조를 변경함으로써 웨이퍼가 자전하도록 이루어져 평탄도를 향상시킬 수 있으며, 어설레이션 타입의 양면 연마장치에 장착홀의 구조가 개선된 캐리어를 사용함으로써 직경이 300mm인 대구경 웨이퍼를 평탄하게 연마할 수 있어 어설레이션 타입의 양면 연마장치의 구조를 4웨이 타입의 양면 연마장치의 구조로 개선시키는 비용을 감소시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




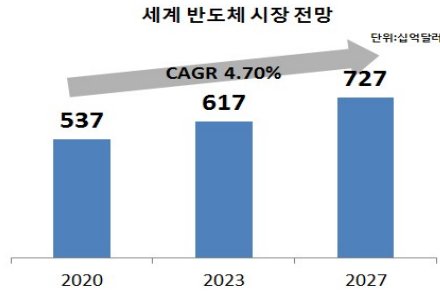
대표 청구항

웨이퍼를 양면 연마하기 위해 웨이퍼를 장착하는 장착홀이 관통되어 형성된 웨이퍼 캐리어에 있어서, 상기 장착홀의 단면은 상단으로부터 하단으로 갈수록 장착홀의 직경이 점차적으로 줄어들도록 형성되고, 상기 장착홀의 하단의 직경은 상기 웨이퍼의 직경보다 크며, 상기 장착홀의 상단의 직경은 상기 웨이퍼의 직경보다 1.5mm이상 1.6mm이하만큼 크고, 상기 장착홀의 하단의 직경은 상기 웨이퍼의 직경보다 0.15mm이상 0.25mm이하만큼 큰 것을 특징으로 하는 웨이퍼 캐리어.

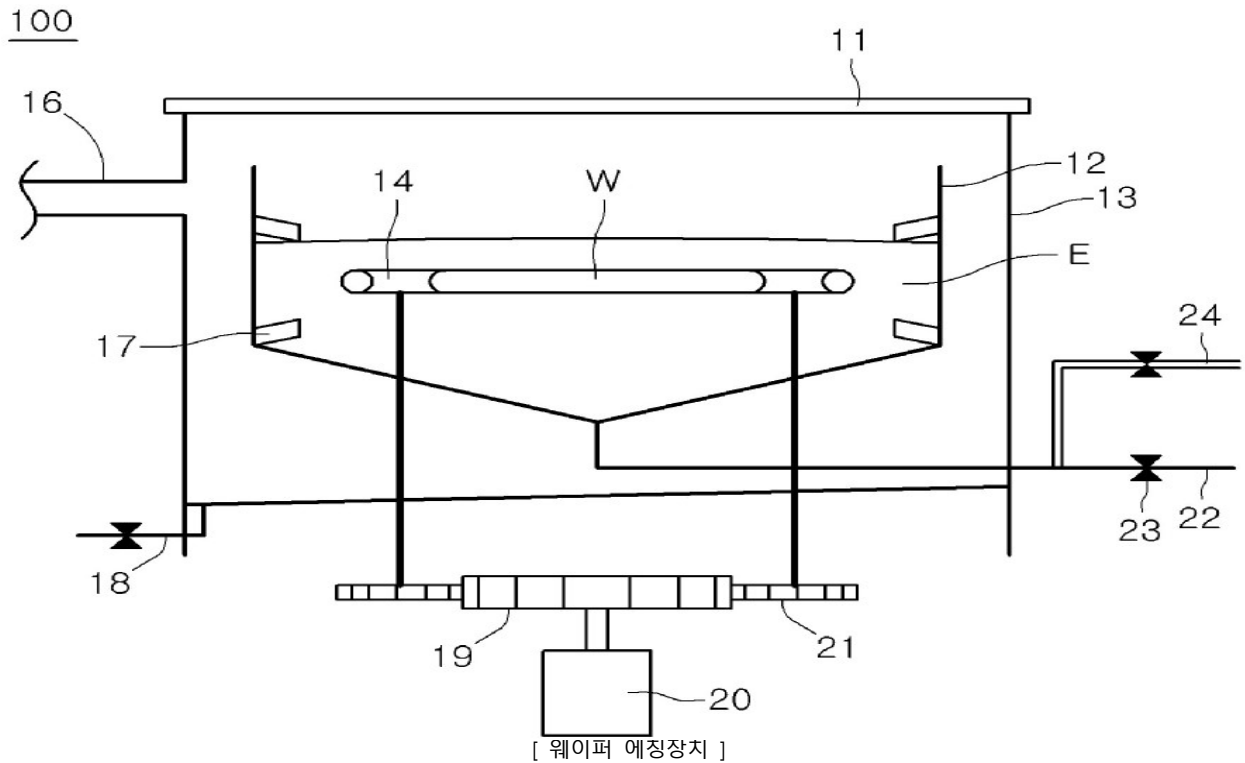
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.50	웨이퍼 에칭장치 및 웨이퍼 에칭방법		
현재 권리자	SK실트론	발명자	최은석
출원번호 (출원일)	KR10-2010-0020286 (2010-03-08)	등록번호 (등록일)	KR10-1093950 (2011-12-07)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2030-03-08
기술 개요			
<p>실시예는 웨이퍼 에칭장치 및 웨이퍼 에칭방법에 관한 것이다. 실시예에 따른 웨이퍼 에칭장치는 웨이퍼 전면 및 배면을 동시에 에칭하기 위한 내부 에칭조; 상기 웨이퍼를 회전시킬 수 있는 웨이퍼 구동부; 및 에칭 후 상기 웨이퍼 표면의 잔존하는 에칭액을 제거하기 위한 린스부;를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼 제조과정에서 기계적 가공에 따른 데미지를 주지않으면서 웨이퍼의 전면과 배면을 동시에 에칭함과 동시에 웨이퍼 평탄도는 높은 수준을 유지할 수 있는 매엽식 에칭장치 및 에칭방법을 제공하고, 에칭량이 높은 에칭액의 사용에도 웨이퍼 표면에 버닝 현상 발생 없이 균일한 에칭을 구현할 수 있는 웨이퍼 에칭장치 및 웨이퍼 에칭방법을 제공함에 있음</p>		<p>본 기술은 웨이퍼의 전면과 배면을 동시에 균일하게 에칭함으로써 높은 평탄도를 확보할 수 있고, 웨이퍼의 전면과 배면을 동시에 균일하게 에칭함으로써 높은 평탄도를 확보할 수 있으며, 450mm 이상의 대구경 웨이퍼에 적용할 경우에도 높은 생산성을 유지하면서 에칭 효과를 확보하여 고도의 평탄도를 확보하는 것이 가능한 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




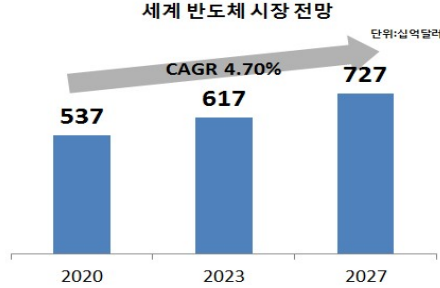
대표 청구항

웨이퍼 전면(全面) 및 배면(背面)을 동시에 에칭하기 위한 내부 에칭조;상기 웨이퍼를 회전시킬 수 있는 웨이퍼 구동부; 및에칭 후 상기 웨이퍼 표면의 잔존하는 에칭액을 제거하기 위한 린스부를 포함하며, 상기 웨이퍼 구동부의 구동축은 상기 구동부의 중심에서 벗어난 편심에 위치하는 웨이퍼 에칭장치.

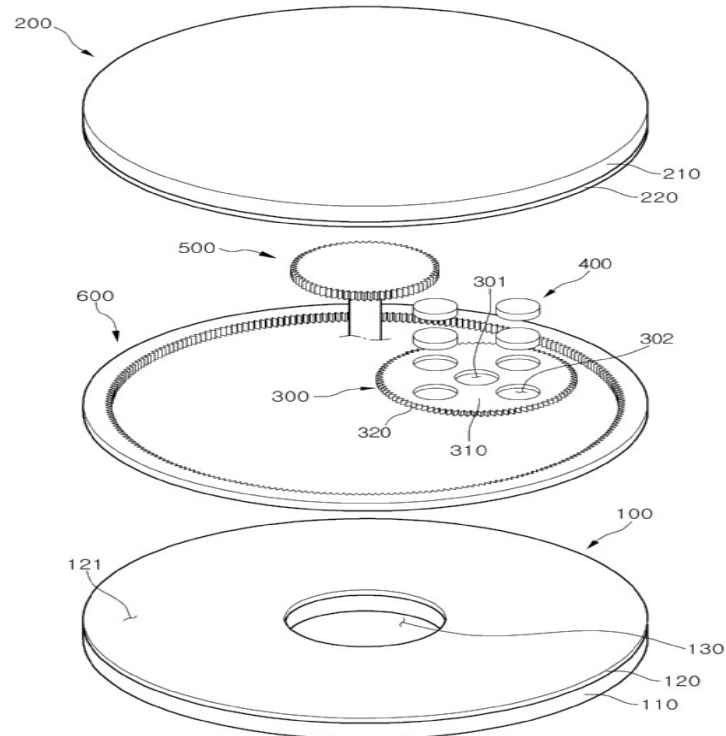
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.51	패드 보정장치, 이를 포함하는 웨이퍼 연마장치 및 웨이퍼를 연마하는 방법		
현재 권리자	SK실트론	발명자	최철호
출원번호 (출원일)	KR10-2010-0029552 (2010-03-31)	등록번호 (등록일)	KR10-1104489 (2012-01-03)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2030-03-31
기술 개요			
<p>패드 보정장치 및 웨이퍼 연마장치가 개시된다. 패드 보정장치는 플레이트 형상을 가지고, 외측에 형성되는 기어를 포함하고, 수용홈이 형성되는 홀더; 및 상기 수용홈 내측에 배치되고, 플레이트 형상을 가지는 시즈닝 플레이트를 포함한다. 웨이퍼 연마장치의 패드는 패드 보정장치에 의해서 보정되고, 이에 따라서, 웨이퍼 연마장치는 향상된 편평도를 가지는 웨이퍼를 제조할 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 패드를 효율적으로 보정하고, 웨이퍼의 평탄도를 향상시키는 패드 보정장치 및 이를 포함하는 웨이퍼 연마장치를 제공함에 있음</p>		<p>본 기술은 시즈닝 플레이트를 포함하는 패드 보정장치에 의해서 패드의 표면이 콘디셔닝될 수 있고, 콘디셔닝된 패드에 의해서 웨이퍼가 평탄하게 연마될 수 있으며, 시즈닝 플레이트가 세라믹을 포함하는 경우 시즈닝 플레이트는 슬러리 등의 약품에 내구성을 가지고 효율적으로 패드의 표면 상태를 향상시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[웨이퍼 양면 연마장치를 도시한 분해사시도]


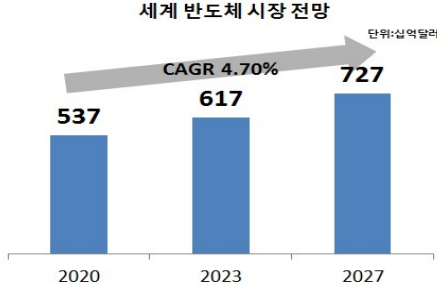
대표 청구항

플레이트 형상을 가지고, 외측에 형성되는 기어를 포함하고, 수용홈이 형성되는 홀더; 및 상기 수용홈 내측에 배치되고, 플레이트 형상을 가지는 시즈닝 플레이트를 포함하고, 상기 시즈닝 플레이트는 서로 마주보는 상면 및 바닥면; 및 상기 상면 및 상기 바닥면과 만나는 외주면을 포함하고, 상기 상면 및 상기 외주면이 만나는 부분 및 상기 바닥면 및 상기 외주면이 만나는 부분은 라운드 형상을 가지는 패드 보정장치.

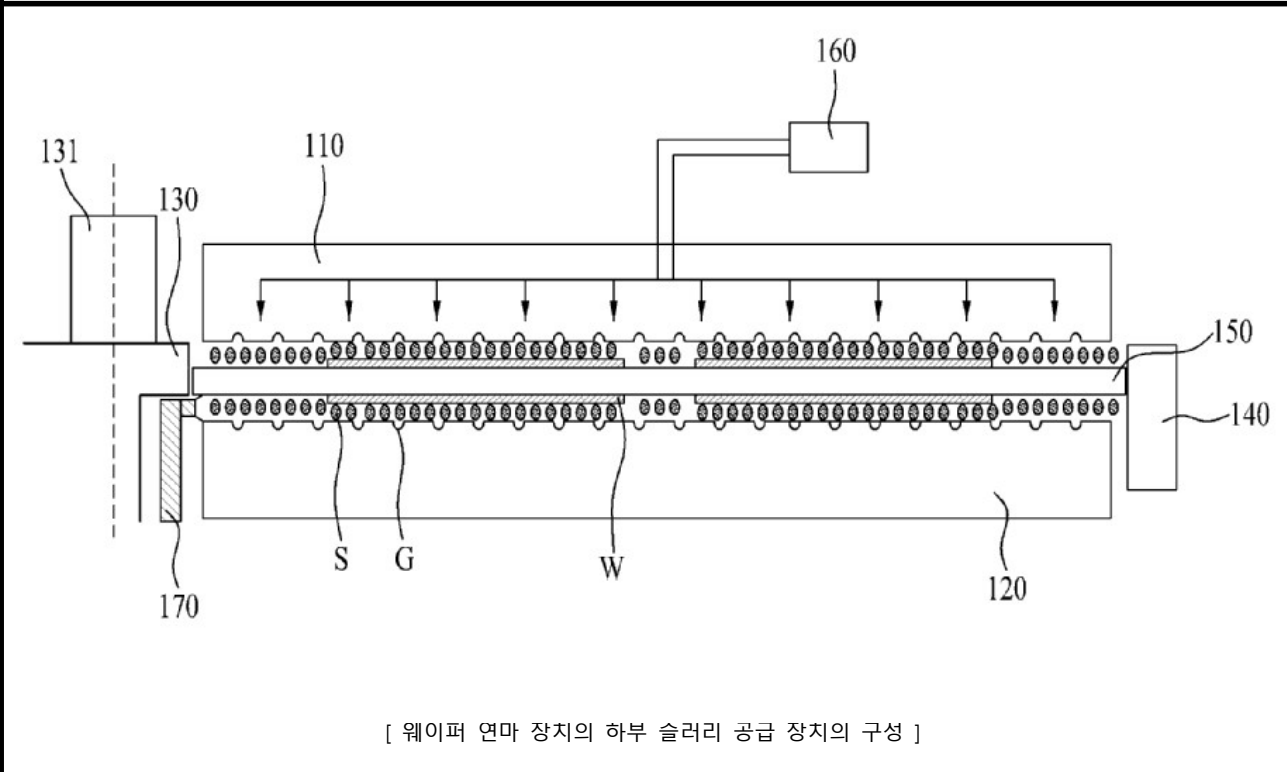
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.52	웨이퍼 연마 장치		
현재 권리자	SK실트론	발명자	정병주
출원번호 (출원일)	KR10-2010-0057006 (2010-06-16)	등록번호 (등록일)	KR10-1125740 (2012-03-05)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2030-06-16
기술 개요			
<p>본 발명은 웨이퍼의 평탄도를 향상시키기 위하여 웨이퍼의 양면을 함께 연마하는 웨이퍼 연마 장치에 관한 것이다. 상기 웨이퍼 연마 장치는, 웨이퍼를 지지하기 위한 상정반 및 하정반; 상기 상정반과 상기 하정반의 사이에 위치되어, 그 위에 웨이퍼를 장착하기 위한 웨이퍼 캐리어; 상기 웨이퍼 캐리어에 장착된 웨이퍼의 상면과 상기 상정반의 하면 사이의 공간으로 슬러리를 공급하기 위한 상부 슬러리 공급 장치; 상기 웨이퍼 캐리어에 장착된 웨이퍼의 하면과 상기 하정반의 상면 사이의 공간으로 슬러리를 공급하기 위한 하부 슬러리 공급 장치; 를 포함하는 것을 특징으로 한다. 이러한 구성에 따르면, 하부 슬러리 공급 장치에 의해 웨이퍼 캐리어에 장착된 웨이퍼의 하면과 하정반의 상면 사이의 공간으로 충분한 양으로 균일하게 슬러리를 공급될 수 있어, 웨이퍼의 연마 품질을 향상시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼 연마 장치의 상정반 및 하정반과 웨이퍼 표면 사이에 균일하게 슬러리가 유입되도록 함으로써 웨이퍼의 연마 품질을 향상시킬 수 있는 웨이퍼 연마 장치를 제공함에 있음</p>		<p>본 기술은 웨이퍼의 상면과 상정반의 하면 사이의 공간으로 슬러리를 공급하기 위한 상부 슬러리 공급 장치와 하면과 하정반의 상면 사이의 공간으로 슬러리를 공급하기 위한 하부 슬러리 공급 장치로 균일하게 슬러리를 공급하며 웨이퍼의 연마 품질을 향상시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




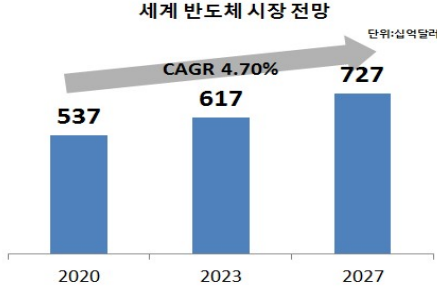
대표 청구항

웨이퍼를 지지하기 위한 상정반 및 하정반;상기 상정반과 하정반 사이에 위치되어, 그 위에 웨이퍼를 장착하기 위한 웨이퍼 캐리어;상기 웨이퍼 캐리어에 장착된 웨이퍼의 상면과 상기 상정반의 하면 사이의 공간으로 슬러리를 공급하기 위한 상부 슬러리 공급 장치; 및상기 웨이퍼 캐리어에 장착된 웨이퍼의 하면과 상기 하정반의 상면 사이의 공간으로 슬러리를 공급하기 위한 하부 슬러리 공급 장치를 포함하여 이루어지고,상기 하부 슬러리 공급 장치는 상기 하정반의 상면과 평행한 방향으로 상기 하정반의 내측에서 외측으로 슬러리를 분사하도록 구성된 것을 특징으로 하는 웨이퍼 연마 장치.

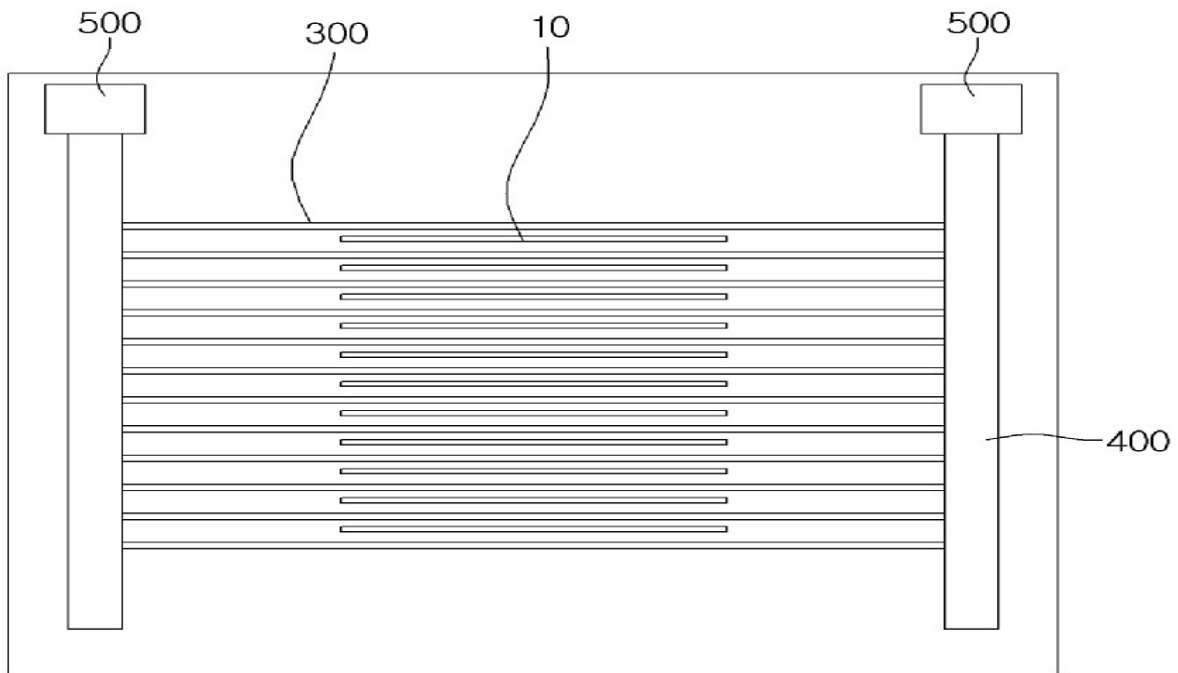
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.53	웨이퍼 건조 장치		
현재 권리자	SK실트론	발명자	강필구
출원번호 (출원일)	KR10-2010-0101612 (2010-10-19)	등록번호 (등록일)	KR10-1169166 (2012-07-20)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2030-10-19
기술 개요			
<p>웨이퍼 건조 장치가 개시된다. 웨이퍼 건조 장치는 배스; 상기 배스 내측에 배치되고 다수 개의 웨이퍼들을 지지하는 웨이퍼 가이드; 및 상기 웨이퍼들 사이에 각각 배치되는 다수 개의 발열부들을 포함한다. 웨이퍼 건조 장치는 웨이퍼들 사이에 발열부들을 배치시키기 때문에, 웨이퍼들을 균일하게 건조시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼들을 효율적으로 건조시키기 위한 웨이퍼 건조 장치를 제공함에 있음</p>		<p>본 기술은 웨이퍼들 사이에 배치되는 발열부들을 사용하여 웨이퍼들을 건조하여 웨이퍼들의 상면 및 하면에 직접 열을 가할 수 있어 웨이퍼의 양면을 효율적으로 건조시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[웨이퍼 건조장치]


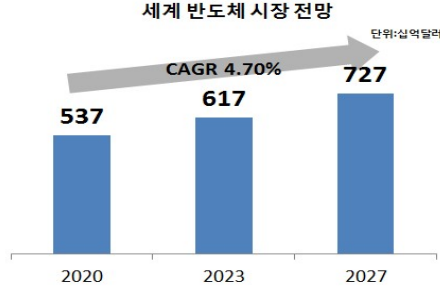
대표 청구항

배스;상기 배스 내측에 배치되고 다수 개의 웨이퍼들을 지지하는 웨이퍼 가이드; 및상기 웨이퍼들 사이에 각각 배치되는 다수 개의 발열부들을 포함하고,상기 발열부들은 상기 웨이퍼들의 직경 방향으로 연장되는 형상을 가지는 웨이퍼 건조장치.


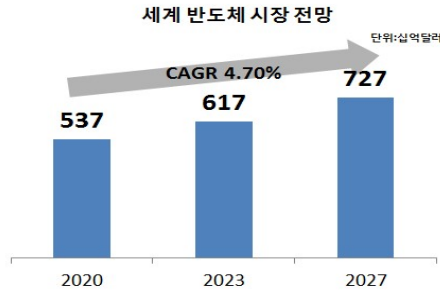
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

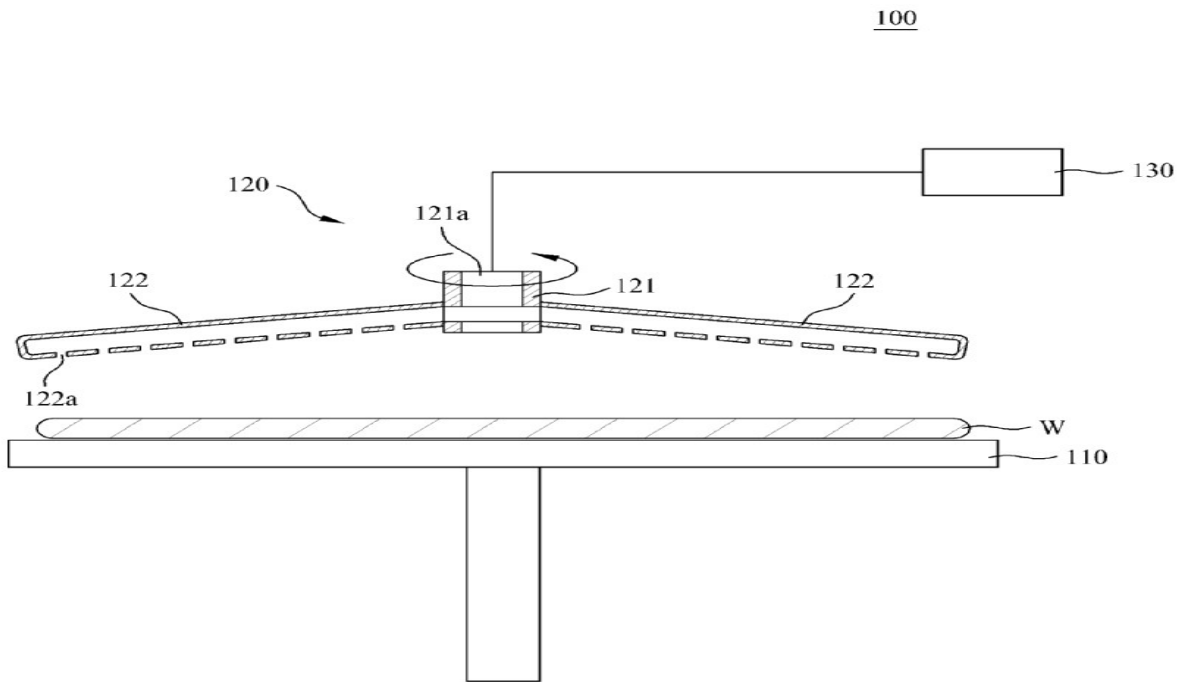
기술소개

기술분야	전기전자	반도체	제조장치
No.54	웨이퍼 연마 장치		
현재 권리자	SK실트론	발명자	최동기
출원번호 (출원일)	KR10-2010-0120543 (2010-11-30)	등록번호 (등록일)	KR10-1141075 (2012-04-23)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2030-11-30
기술 개요			
<p>웨이퍼 연마 장치는 웨이퍼의 표면을 측정하고, 측정된 결과에 따른 상기 웨이퍼 표면의 두께 프로파일 및 편평도 사이트 맵을 획득하고, 획득된 두께 프로파일과 편평도 사이트 맵을 사용하여 국부적 연마 좌표를 설정하는 웨이퍼 표면 측정부, 및 상기 국부적 연마 좌표에 기초하여 상기 웨이퍼 표면을 국부적으로 연마하는 국부 연마부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼의 편평도를 향상시킬 수 있는 웨이퍼 연마 장치를 제공함에 있음</p>		<p>본 기술은 웨이퍼의 중앙 영역과 웨이퍼의 에지 영역 사이의 두께 편차를 감소시켜 웨이퍼의 편평도를 향상시킬 수 있으며, 웨이퍼 표면의 결함 부분만을 연마하여 제거할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

기술소개

기술분야	전기전자	반도체	제조장치
No.55	웨이퍼 상에 산화막을 형성하기 위한 장치 및 방법		
현재 권리자	SK실트론	발명자	정원욱
출원번호 (출원일)	KR10-2011-0024768 (2011-03-21)	등록번호 (등록일)	KR10-1302586 (2013-08-27)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-03-21
기술 개요			
<p>본 발명은 웨이퍼 상에 산화막을 형성하기 위한 장치 및 방법에 관한 것이다. 상기 웨이퍼 상에 산화막을 형성하기 위한 장치는, 웨이퍼를 지지하는 지지대; 상기 웨이퍼 상에 산화제를 분사할 수 있도록 다수의 분사구가 이격되어 형성된 분사 장치; 를 포함하고, 상기 분사구는 웨이퍼의 표면에 수직인 직선에 대해 경사지게 방사상으로 형성되어, 상기 분사 장치는 상기 산화제가 분사될 때의 유체 압력에 의해 중심축을 중심으로 무동력 회전이 가능한 것을 특징으로 한다. 이러한 구성에 따르면, 간단한 구조와 저렴한 비용으로 웨이퍼 상에 양호한 품질의 산화막을 형성할 수 있는 웨이퍼 상에 산화막을 형성하기 위한 장치 및 방법을 제공할 수 있다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 웨이퍼 상에 산화막을 형성하기 위한 장치 및 방법을 제공함에 있음		본 기술은 간단한 구조와 저렴한 비용으로 웨이퍼 상에 양호한 품질의 산화막을 형성할 수 있는 장치 및 방법을 제공할 수 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[산화막 형성 장치의 분사 장치]


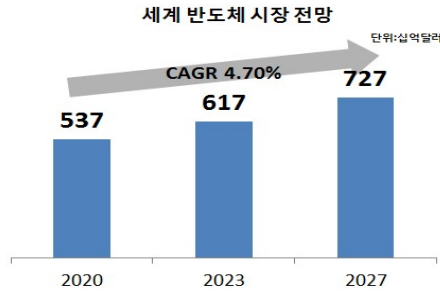
대표 청구항

웨이퍼를 지지하는 지지대;상기 웨이퍼 상에 오존수를 분사할 수 있도록 다수의 분사구가 이격되어 형성된 분사 장치;를 포함하고, 상기 분사구는 웨이퍼의 표면에 수직인 직선에 대해 경사지게 방사상으로 형성되고 상기 웨이퍼의 표면에 수직인 직선에 대하여 경사지게 형성되어, 상기 분사 장치는 상기 오존수가 분사될 때의 유체 압력에 의해 중심축을 중심으로 무동력 회전이 가능한 웨이퍼 상에 산화막을 형성하기 위한 장치.

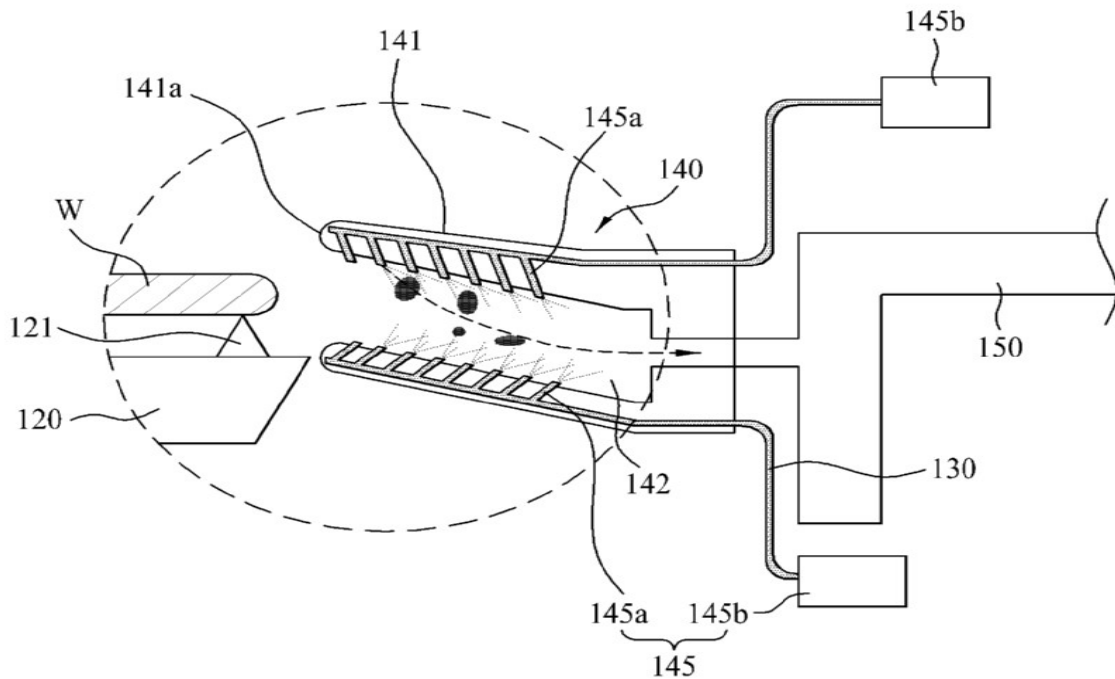
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	AA
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.56	매엽식 웨이퍼 세정 장치		
현재 권리자	SK실트론	발명자	이재환
출원번호 (출원일)	KR10-2011-0028024 (2011-03-29)	등록번호 (등록일)	KR10-1206923 (2012-11-26)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-03-29
기술 개요			
<p>본 발명은 웨이퍼에 부착된 이물질을 날장의 웨이퍼 단위로 세정할 수 있도록 구성된 매엽식 웨이퍼 세정장치에 관한 것이다. 상기 매엽식 웨이퍼 세정장치는 챔버; 상기 챔버 내에 구비되고 웨이퍼가 안착되는 지지대; 상기 웨이퍼 위로 세정액을 분사하는 세정액 공급부; 상기 챔버 내에 구비되고 세정공정 동안 비산되는 세정액 및 세정공정 동안 발생하는 흠(fume)을 포함하는 배기가스를 포집하는 회수부; 상기 회수부와 연결되어 상기 챔버 내부의 비산된 세정액 및 배기가스를 외부로 배출시키는 배기부; 를 포함하고, 상기 회수부는, 상기 비산된 세정액 및 배기가스가 배출되는 배출 유로를 형성하는 벽부; 상기 벽부에 의해 형성되는 공간으로 불활성가스를 분사하는 가스공급부; 를 구비하는 것을 특징으로 한다. 이러한 구성에 따르면, 웨이퍼 세정 동안에 발생하는 세정액 미스트에 의해 웨이퍼의 재오염을 방지할 수 있는 매엽식 웨이퍼 세정 장치를 제공할 수 있다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 웨이퍼에 부착된 이물질을 날장의 웨이퍼 단위로 세정할 수 있도록 구성된 매엽식 웨이퍼 세정 장치를 제공함에 있음		본 기술은 웨이퍼 세정 동안에 발생하는 세정액 미스트에 의해 웨이퍼의 재오염을 방지할 수 있는 매엽식 웨이퍼 세정 장치를 제공할 수 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[웨이퍼 세정 장치 확대 사진]


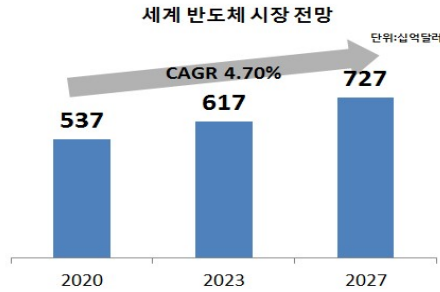
대표 청구항

매엽식 웨이퍼 세정 장치에 있어서, 챔버;상기 챔버 내에 구비되고 웨이퍼가 안착되는 지지대;상기 웨이퍼 위로 세정액을 분사하는 세정액 공급부;상기 챔버 내에 구비되고 세정공정 동안 비산되는 세정액 및 세정공정 동안 발생하는 흠(fume)을 포함하는 배기가스를 포집하는 회수부;상기 회수부와 연결되어 상기 챔버 내부의 비산된 세정액 및 배기가스를 외부로 배출시키는 배기부;를 포함하고, 상기 회수부는,상기 챔버의 중심으로부터 하방 외측으로 경사지게 형성되고, 상기 비산된 세정액 및 배기가스가 배출되는 배출 유로를 형성하는 벽부;상기 벽부에 의해 형성되는 공간으로 불활성가스를 분사하는 가스 공급부;를 구비하고,상기 가스공급부는, 상기 벽부를 따라 이격되어 불활성가스를 분사하는 복수의 가스공급관과, 상기 가스공급관으로 불활성가스를 공급하는 가스공급장치를 포함하고,상기 가스공급관은 상기 웨이퍼 표면에 수직인 직선에 대해 0°초과 90°미만 사이에서 상기 비산된 세정액 및 배출가스가 배출되는 방향으로 경사지게 형성되는 것을 특징으로 하는 매엽식 웨이퍼 세정장치.

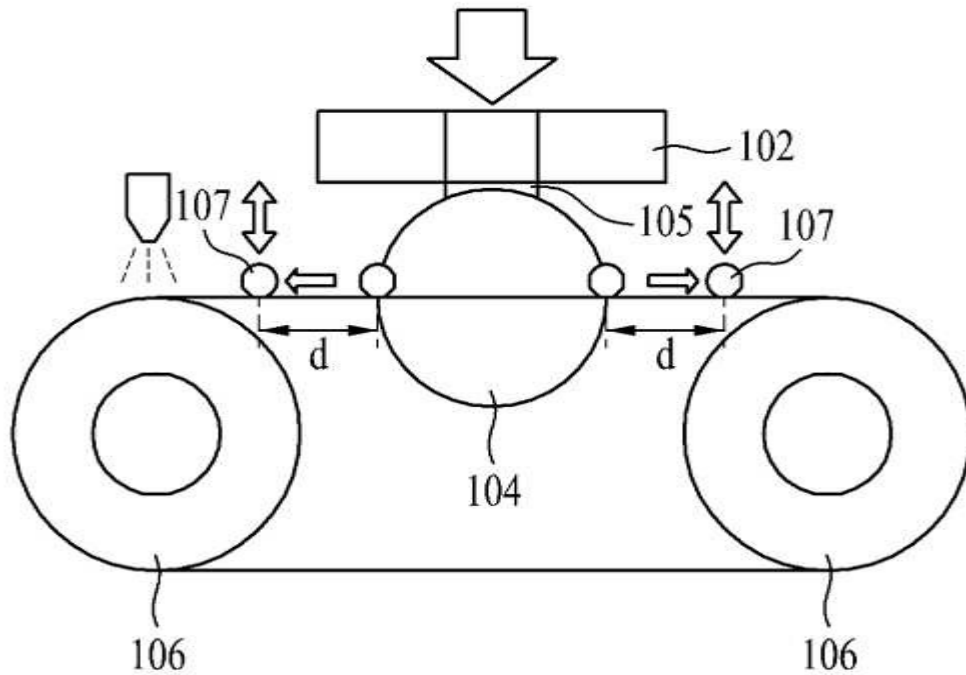
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.57	잉곳 절단 장치		
현재 권리자	SK실트론	발명자	이형락
출원번호 (출원일)	KR10-2011-0088782 (2011-09-02)	등록번호 (등록일)	KR10-1249859 (2013-03-27)
특허기술분류 (IPC)	B28	존속기간 만료예정일	2031-09-02
기술 개요			
<p>실시에에 따른 잉곳 절단 장치는 잉곳이 거치되는 거치대; 상기 잉곳을 와이어로 이동시키는 이송부; 상기 이송부에 의해 이동되는 잉곳을 절단하는 와이어; 상기 와이어를 이동시키는 와이어 가이드; 및 상기 잉곳 이동 시, 롤러부를 상기 와이어 가이드 방향으로 이동시켜 상기 잉곳의 상기 와이어 접촉면과 상기 롤러부의 거리를 소정 거리로 유지하는 텐션 가이드를 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 절단된 실리콘 웨이퍼의 변형을 최소화하는 잉곳 절단 장치를 제공함에 있음		본 기술은 잉곳의 와이어 절단시 와이어의 텐션을 일정하게 유지하여 절단된 실리콘 웨이퍼의 변형을 최소화할 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[텐션 가이드의 구성]


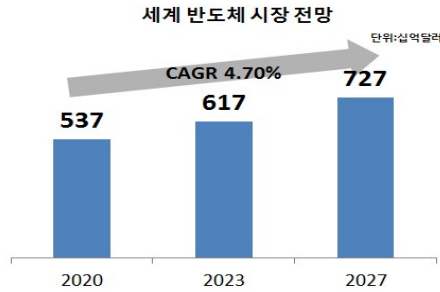
대표 청구항

잉곳이 거치되는 거치대; 상기 잉곳을 와이어에 방향으로 이동시키는 이송부;상기 이송부에 의해 이동되는 잉곳을 절단하는 와이어;상기 와이어를 이동시키는 와이어 가이드; 및상기 잉곳 이동 시, 롤러부를 상기 와이어 가이드 방향으로 이동시켜 상기 잉곳의 상기 와이어 접촉면과 상기 롤러부의 거리를 소정 거리로 유지하는 텐션 가이드를 포함하고,상기 텐션 가이드는 상기 와이어에 가해지는 압력을 센싱하는 센서부; 및상기 센서부의 센싱 결과에 따라, 상기 롤러부를 이동시켜 상기 와이어에 가해지는 압력을 조정하는 압력 조정부를 포함하며,상기 센서부는 압력이 가해지면 변형되는 탄성체와, 상기 탄성체의 변형을 디지털 신호로 변환하여 상기 압력 조정부로 전달하는 신호 변환부를 포함하는 잉곳 절단 장치.

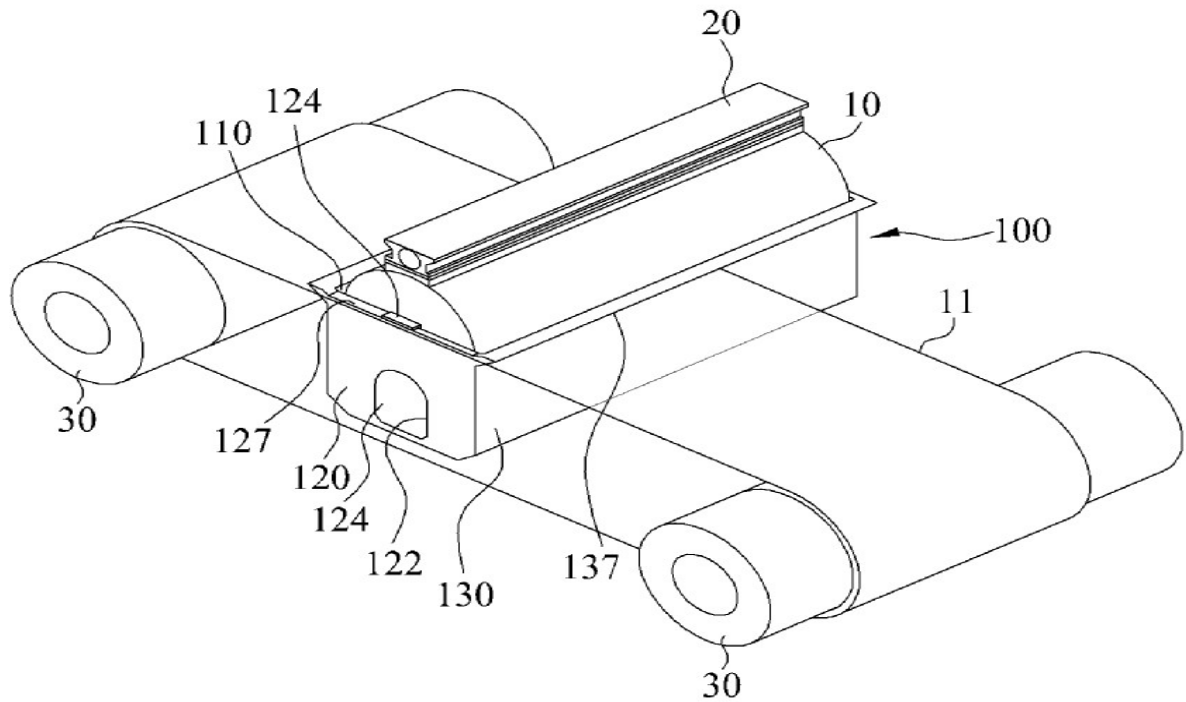
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.58	와이어 쏘잉 장치용 슬러리 베스 및 이를 포함한 와이어 쏘잉 장치		
현재 권리자	SK실트론	발명자	전대현
출원번호 (출원일)	KR10-2011-0090288 (2011-09-06)	등록번호 (등록일)	KR10-1249860 (2013-03-27)
특허기술분류 (IPC)	B28	존속기간 만료예정일	2031-09-06
기술 개요			
<p>본 발명에 따른 와이어 쏘잉 장치용 슬러리 베스는, 상부가 개방된 중공부를 구비하고, 전면(front side)의 상부 단의 높이가 양 측벽의 상부 단의 높이보다 낮다. 본 발명에 따른 와이어 쏘잉 장치는 빔을 이용해 잉곳을 부착하여 지지하는 마운팅 블록; 상기 잉곳의 양 측방에 위치하는 메인 롤러; 상기 메인 롤러에 일정 간격으로 권취된 와이어; 상기 와이어 상으로 슬러리를 공급하는 노즐; 및 상기 잉곳의 하방에 그리고 상기 메인 롤러 사이에 위치하는 슬러리 베스를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 단결정 잉곳이 슬러리가 가득 담긴 슬러리 베스에 담겨진 상태로 절단되도록 하여 절단면이 균일한 웨이퍼를 제조하기 위한 와이어 쏘잉 장치용 슬러리 베스 및 이를 포함한 와이어 쏘잉 장치를 제공함에 있음</p>		<p>본 기술은 단결정 잉곳의 슬라이싱 공정에서 슬러리가 가득 담긴 슬러리 베스에 잉곳이 담겨진 상태로 절단됨으로써 슬러리에 의해 잉곳의 외형이 냉각되므로, 급격한 온도 상승으로 잉곳이 팽창함에 따른 절단면의 휨 현상을 최소화하여 절단면이 균일한 웨이퍼를 얻는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[와이어 쏘임 장치용 슬러리 베스]


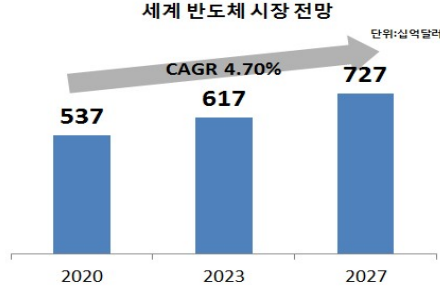
대표 청구항

상부가 개방된 중공부를 구비하고, 전면(front side)의 상부 단의 높이가 양 측벽의 상부 단의 높이보다 낮으며, 상기 양 측벽의 상부 단 바깥쪽에 한 쌍의 슬러리 침투방지 가이드를 포함하는 와이어 쏘임 장치용 슬러리 베스.

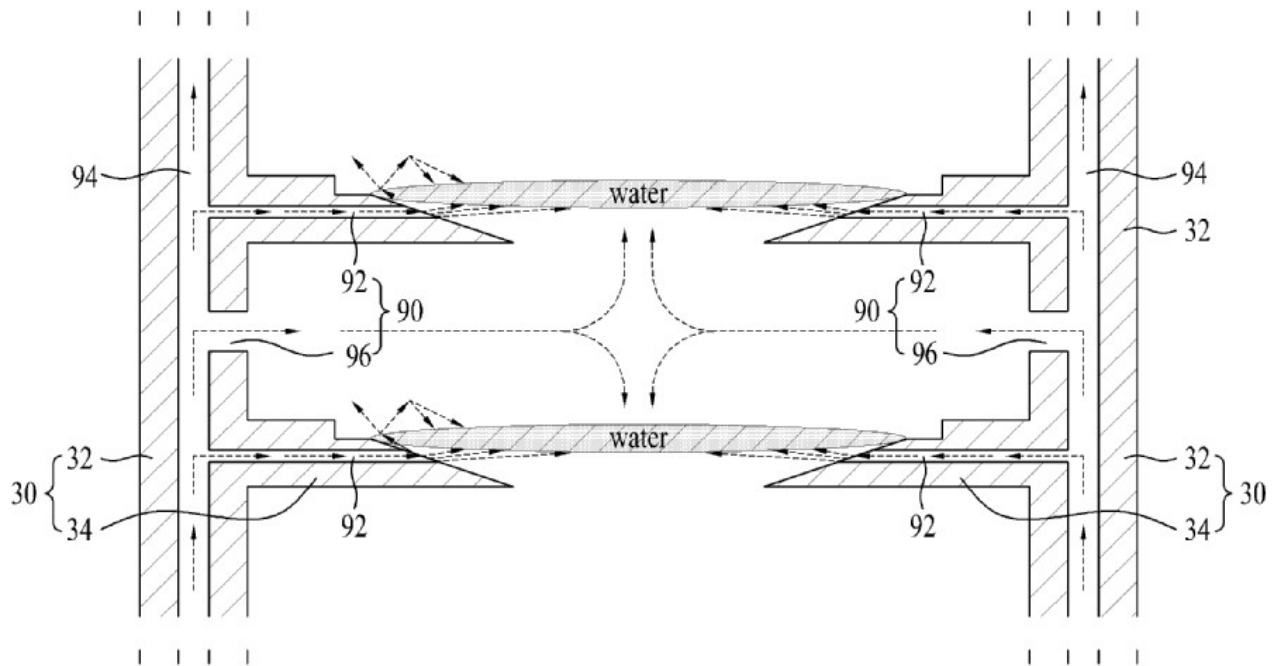
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.59	웨이퍼 처리장치		
현재 권리자	SK실트론	발명자	박용훈
출원번호 (출원일)	KR10-2011-0101666 (2011-10-06)	등록번호 (등록일)	KR10-1331557 (2013-11-14)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-10-06
기술 개요			
<p>실시 예의 웨이퍼 처리장치는 상부부터 하부까지 복수의 구간들로 구분되는 확산로와, 상기 복수의 구간들 각각에 이격하여 배치되는 복수의 슬롯(slot)들을 포함하는 보트(boat) 및 상기 복수의 구간들 중 적어도 하나의 구간에 배치되는 슬롯들 중 적어도 하나에 마련되고, 상기 적어도 하나의 구간에 소스 가스를 공급하는 서브 가스 공급부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 확산로 내부의 가스 확산량을 제어하여 온도 분포 균일도를 높인 웨이퍼 처리 장치를 제공함에 있음</p>		<p>본 기술은 온도 분포 균일도를 높임으로써 웨이퍼 처리작업의 효율성 증대와 아울러 생산성 향상을 도모하고, 확산로 내의 웨이퍼 전면으로 열 전달을 증대시켜 웨이퍼 공정의 효율을 높이며 MCLT 신뢰성을 확보하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[처리장치의 일부 측단면도]


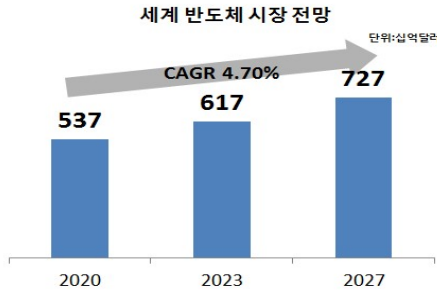
대표 청구항

상부부터 하부까지 복수의 구간들로 구분되는 확산로;상기 복수의 구간들 각각에 이격하여 배치되는 복수의 슬롯(slot)들, 및 상기 복수의 슬롯들과 연결되고 상기 복수의 슬롯들을 지지하는 지지대를 포함하는 보트(boat); 및상기 복수의 구간들 중 적어도 하나의 구간에 배치되는 슬롯들 중 적어도 하나를 관통하는 제1홀, 상기 지지대를 관통하고 상기 제1홀과 연결되는 제2홀, 및 상기 제1홀과 연결되고 상기 확산로 내부로 개구되는 제3홀을 포함하고, 상기 제1홀 내지 제3홀들을 통하여 상기 적어도 하나의 구간에 소스 가스를 공급하는 서브 가스 공급부를 포함하며,상기 복수의 구간들 중 어느 하나의 구간에 마련되는 제1홀 및 제3홀의 개수는 상기 복수의 구간들 중 다른 어느 하나의 구간에 마련되는 제1홀 및 제3홀의 개수와 다른 웨이퍼 처리장치.

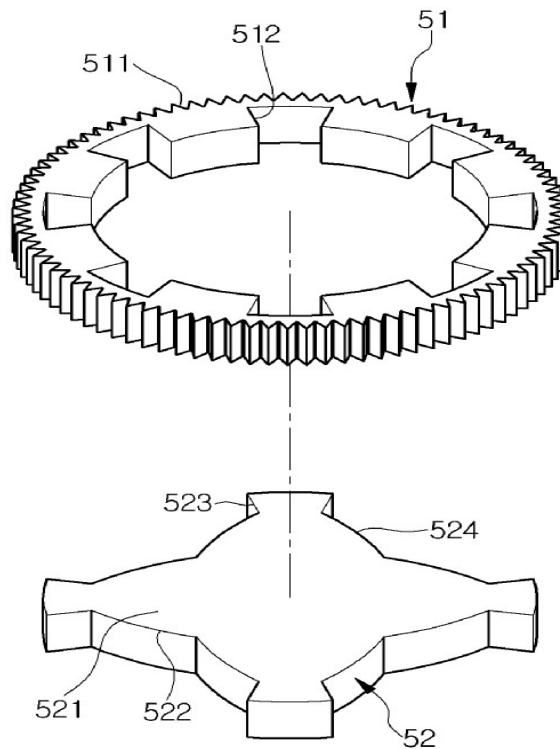
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치								
No.60	연마장치 및 연마장치의 드레싱기어										
현재 권리자	SK실트론	발명자	장유신								
출원번호 (출원일)	KR10-2011-0143291 (2011-12-27)	등록번호 (등록일)	KR10-1285923 (2013-07-08)								
특허기술분류 (IPC)	B24	존속기간 만료예정일	2031-12-27								
기술 개요											
<p>본 발명에 따른 드레싱 기어에는, 상기 연마장치의 기어에 치합되는 치차가 적어도 마련되는 지지체; 및 상기 지지체에 교체가능하게 결합되는 교체가능부재가 포함된다. 본 발명에 따르면 볼록하게 마모되는 연마장치의 상정반 및 하정반을 오목하게 가공할 수 있는 효과가 있다. 본 발명에 따르면 상정반 및 하정반의 변형에 대응하여 드레싱 기어 전체를 변경할 필요가 없이 교체가능부재만을 바꾸어 끼면 되는 효과가 있다.</p>											
기술 목적		기술효과(차별성)									
<p>본 기술의 목적은 상정반 및 하정반의 마모 및 변형이 있을 때 이를 적합하게 드레싱 가공할 수 있는 드레싱 기어 및 그러한 드레싱 기어가 적용되는 연마장치를 제공함에 있음</p>		<p>본 기술은 상정반 및 하정반의 변형에 최적인 드레싱 기어를 간단히 선택하여 작업할 수 있으므로 상정반 및 하정반의 변형을 손쉽게 개선할 수 있고 연마장치의 사용연한을 늘릴 수 있는 효과가 있음</p>									
기술분야		시장전망									
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <table><tr><th>연도</th><th>시장 규모 (십억달러)</th></tr><tr><td>2020</td><td>537</td></tr><tr><td>2023</td><td>617</td></tr><tr><td>2027</td><td>727</td></tr></table> <p>* 출처: FortuneBusinessInsights, 2020.10</p>		연도	시장 규모 (십억달러)	2020	537	2023	617	2027	727
연도	시장 규모 (십억달러)										
2020	537										
2023	617										
2027	727										

대표 도면



[드레싱 기어의 분해 사시도]


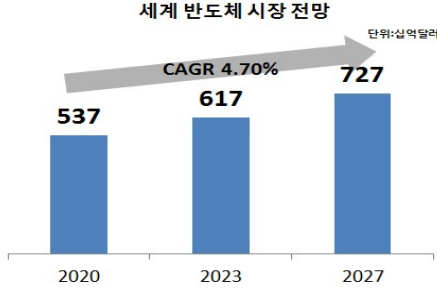
대표 청구항

상정반 및 하정반;상기 하정반에 제공되는 내주기어 및 외주기어; 및상기 내주기어 및 외주기어에 원형의 프레임이 치합되어 회전되고,상기 상정반 및 상기 하정반의 마모 상태에 따라서 적어도 어느 일 부분이 교체되어 상기 상정반 및 하정반의 편평도를 향상시키는 드레싱 기어로서, 연마장치의 기어에 치합되는 치차가 적어도 마련되는 지지체; 및상기 지지체에 교체가능하게 결합되는 교체가능부재;를 포함하고,상기 지지체는,내측에 마련되는 걸림부 및상기 걸림부에 걸려서 지지될 수 있도록 상기 교체가능부재의 외측에 마련되는 또 다른 걸림부를 포함하고, 상기 또 다른 걸림부간의 사이에는 오목부가 마련되고, 상기 오목부 양측으로 볼록부가 마련되는 드레싱 기어.

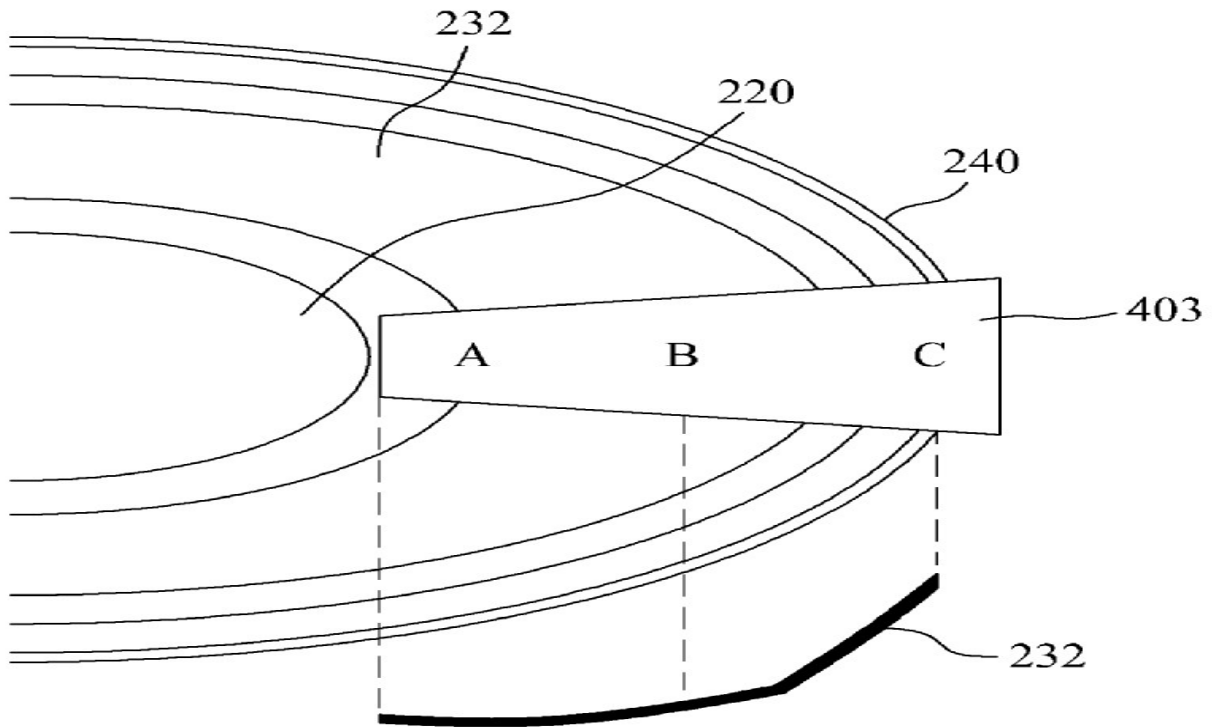
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.61	웨이퍼 연마 패드 절삭 장치 및 방법		
현재 권리자	SK실트론	발명자	박성우
출원번호 (출원일)	KR10-2012-0000100 (2012-01-02)	등록번호 (등록일)	KR10-1292224 (2013-07-26)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2032-01-02
기술 개요			
<p>실시예에 의하면, 사이에 개재된 웨이퍼를 연마하는 상부 연마 패드 및 하부 연마 패드를 절삭하는 웨이퍼 연마 패드 절삭 장치는, 서로 마주하는 상부 연마 패드와 하부 연마 패드의 중앙부보다 가장자리를 더 많이 절삭하여, 절삭된 상부 연마 패드와 하부 연마 패드의 가장 자리가 중앙부보다 더 큰 갭을 갖도록 하는 적어도 하나의 절삭 부재를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 정반 갭이 일정한 수준을 갖도록 패드의 프로파일을 최소한의 비용으로 변경시킴으로써 웨이퍼 엣지의 품질과 평탄도를 개선하고 제어할 수 있도록 하는 웨이퍼 연마 패드 절삭 장치 및 방법을 제공함에 있음</p>		<p>본 기술은 정반 형상이 아닌 패드 프로파일의 제어를 통해 상부 연마 패드와 하부 연마 패드 간의 갭이 특정한 범위 내에서 넓게 확보되도록 하기 때문에 정반을 교체하거나 재가공할 필요없이 최소한의 비용으로 변경코자 하는 정반 갭 수준을 확보하여 웨이퍼의 품질을 개선하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[절삭 부재의 평면도]


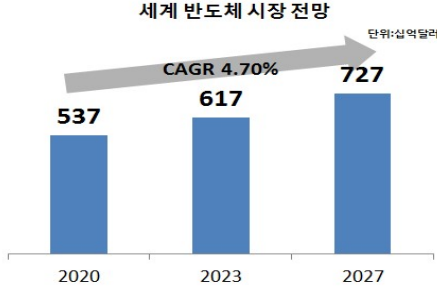
대표 청구항

사이에 개재된 웨이퍼를 연마하는 상부 연마 패드 및 하부 연마 패드를 절삭하는 웨이퍼 연마 패드 절삭 장치에 있어서, 서로 마주하는 상기 상부 연마 패드와 상기 하부 연마 패드의 중앙부보다 가장자리를 더 많이 절삭하여, 상기 절삭된 상부 연마 패드와 상기 하부 연마 패드의 가장자리가 상기 중앙부보다 더 큰 갭을 갖도록 하는 적어도 하나의 절삭 부재를 포함하는 웨이퍼 연마 패드 절삭 장치.

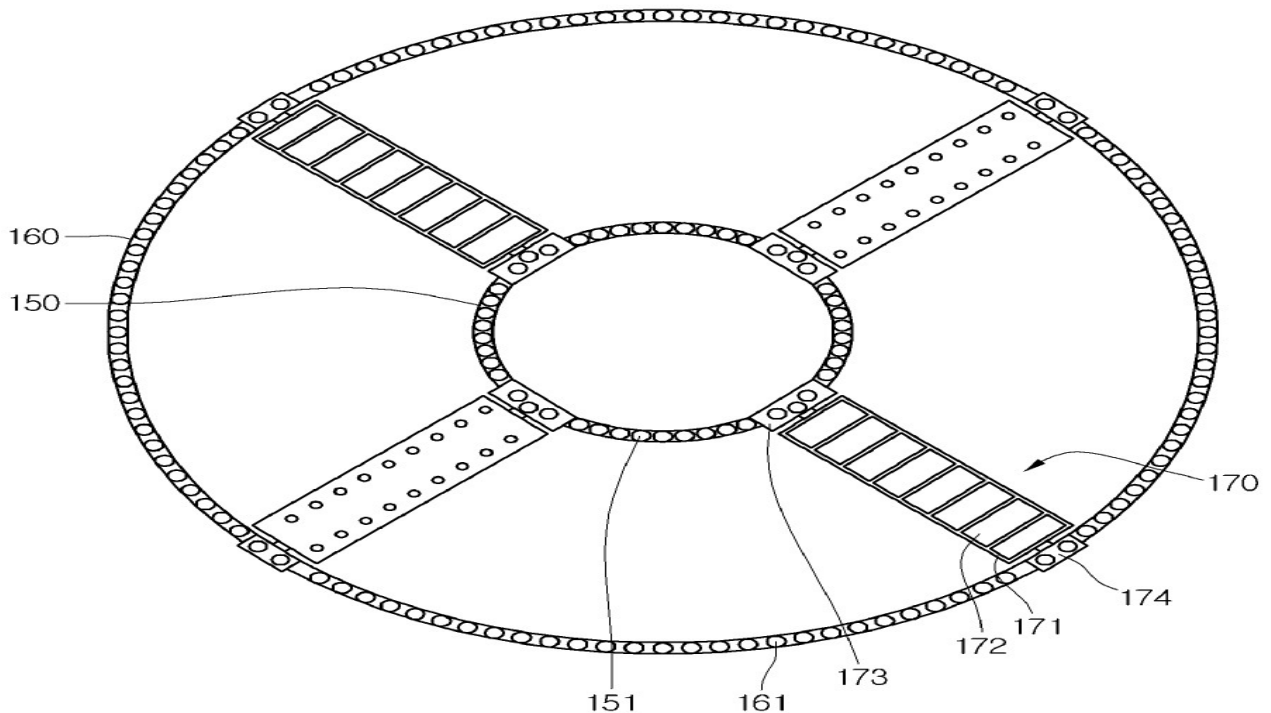
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.62	양면 연마장비 및 이에 적용된 연마 패드용 드레서		
현재 권리자	SK실트론	발명자	안미가
출원번호 (출원일)	KR10-2012-0000332 (2012-01-03)	등록번호 (등록일)	KR10-1285986 (2013-07-08)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2032-01-03
기술 개요			
<p>본 발명은 양면 연마 패드를 효과적으로 연마시킬 수 있는 양면 연마장비 및 이에 적용된 연마 패드용 드레서에 관한 것이다. 본 발명에 따른 양면 연마장비 및 이에 적용된 연마 패드용 드레서는 연마 패드의 중심부와 원주부를 가로지르도록 세그먼트를 일렬로 배열하여 드레서를 구성하기 때문에 세그먼트의 갯수를 줄임으로 경량화함으로써, 탈착 시에 작업 부하를 줄여 작업 효율을 높이고, 생산 비용을 절감시킬 수 있다. 또한, 다양한 형태와 크기의 세그먼트를 사용할 수 있도록 세그먼트를 교체하기 용이할 뿐 아니라 세그먼트가 장착된 몸체 역시 교체하기 용이하게 구성함으로써, 연마 패드의 종류 및 상태에 적합한 연마 성능을 제공할 수 있으며, 세그먼트의 마모 및 탈착에 따른 불량률 방지하여 연마 성능을 높일 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 세그먼트의 갯수를 줄이더라도 연마 성능을 유지시킬 수 있는 양면 연마장비와 연마 패드의 종류 및 상태에 따라 유연한 연마 성능을 제공할 수 있는 연마 패드용 드레서를 제공함에 있음</p>		<p>본 기술은 세그먼트가 일렬로 배열된 직선 타입의 드레서가 사용되며 드레서가 연마 패드의 중심부부터 원주부까지 가로지르도록 원주 방향으로 일정 간격을 두고 설치되기 때문에 세그먼트가 원주 방향으로 배열된 링 타입의 드레서에 비해 세그먼트의 갯수를 줄임으로 경량화할 수 있으며 이로 인하여 연마 패드 위에 탈착 시에 작업 부하를 줄여 작업 효율을 높이며 제작 비용을 저감시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[양면 연마장비에 적용된 드레서의 장착 상태]


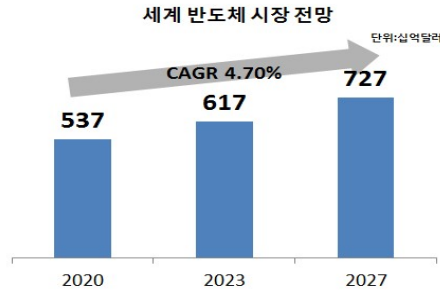
대표 청구항

서로 마주보며 회전 가능하게 설치된 한 쌍의 정반;상기 정반들 중 하나의 중심부에 회전 가능하게 구비된 내주 기어;상기 정반들 중 하나의 외주부에 회전 가능하게 구비된 외주 기어;상기 정반들에 마주 보도록 부착되며, 웨이퍼를 연마하는 한 쌍의 연마 패드; 및상기 내/외주 기어에 고정되도록 상기 연마 패드들의 직경 방향으로 길게 설치되고, 상기 정반들이 회전됨에 따라 상기 연마 패드들의 표면에 부착된 이물질 제거하는 복수개의 드레서;를 포함하고,상기 드레서는,길이 방향으로 긴 평판 형상의 몸체와,상기 몸체에 부착되고, 다이아몬드 드레싱층이 구비된 적어도 하나 이상의 세그먼트를 포함하며, 상기 몸체는 상기 세그먼트가 안착되는 적어도 하나 이상의 홈이 구비되고,상기 세그먼트는 상기 몸체의 홈에 교체 가능하게 설치된 양면 연마장비.

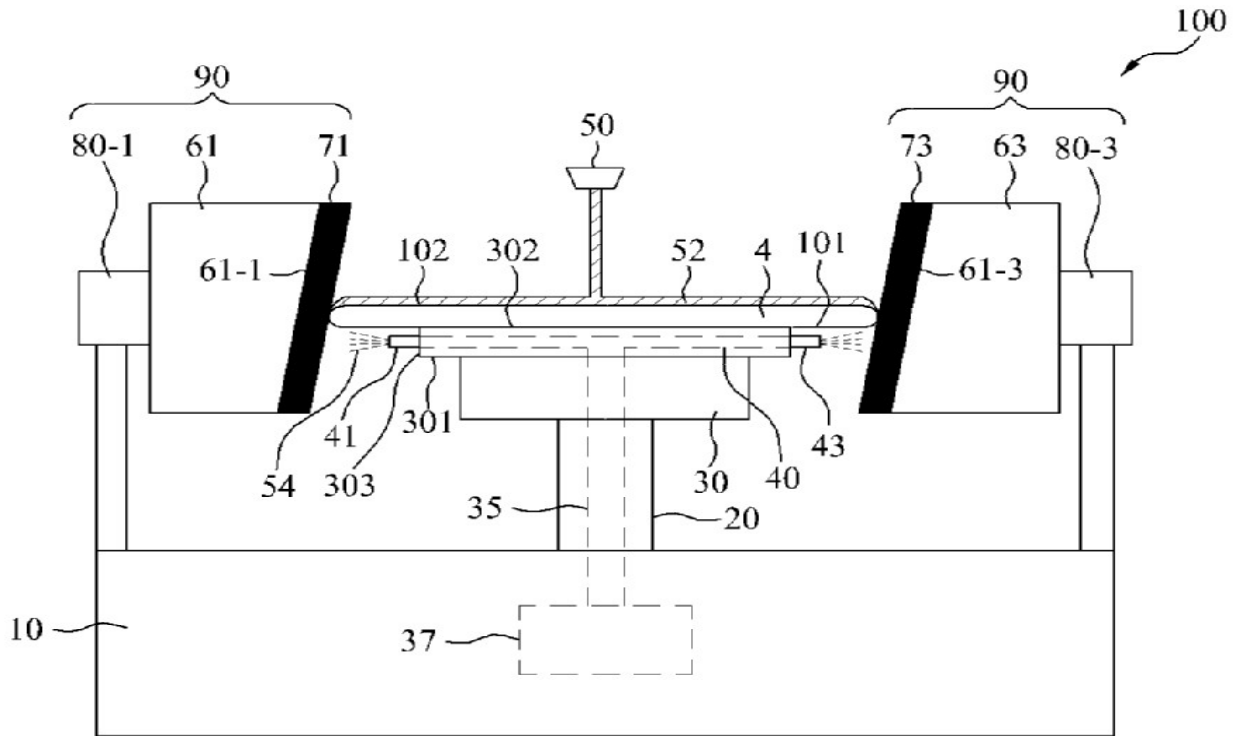
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.63	웨이퍼 에지 연마 장치		
현재 권리자	SK실트론	발명자	김동훈
출원번호 (출원일)	KR10-2012-0000417 (2012-01-03)	등록번호 (등록일)	KR10-1292225 (2013-07-26)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2032-01-03
기술 개요			
<p>실시 예는 웨이퍼가 장착되는 진공 플레이트, 상기 진공 플레이트를 지지하고, 상기 진공 플레이트를 회전시키는 척 샤프트, 상기 진공 플레이트 외주면 주위에 배치되고, 상기 웨이퍼의 에지를 연마하는 패드부, 및 상기 진공 플레이트 상부에 이격하여 배치되고, 상기 웨이퍼의 일면에 슬러리를 공급하는 제1 노즐을 포함하며, 상기 진공 플레이트는 상기 웨이퍼의 다른 일면에 인접하는 에지 부분에 슬러리를 분사한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 웨이퍼 품질을 향상시킬 수 있는 웨이퍼 에지 연마 장치를 제공함에 있음		본 기술은 웨이퍼 에지의 제1 베벨 및 제2 베벨에 대한 연마 가공력의 차이를 줄여 웨이퍼의 품질을 향상시킬 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[웨이퍼 에지 연마 장치 AB방향의 단면도]


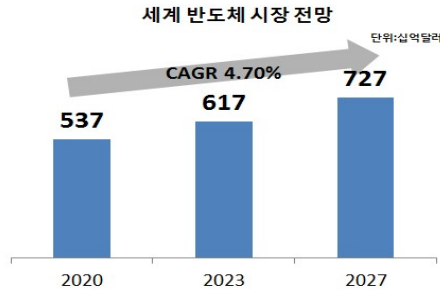
대표 청구항

웨이퍼가 장착되는 진공 플레이트;상기 진공 플레이트를 지지하고, 상기 진공 플레이트를 회전시키는 척 샤프트(chuck shaft);상기 진공 플레이트 외주면 주위에 배치되고, 상기 웨이퍼의 에지(edge)를 연마하는 패드부; 및상기 진공 플레이트 상부에 이격하여 배치되고, 상기 웨이퍼의 일면에 슬러리를 공급하는 제1 노즐을 포함하며,상기 진공 플레이트는 상기 웨이퍼의 다른 일면에 인접하는 에지 부분에 슬러리를 분사하는 웨이퍼 에지 연마 장치.

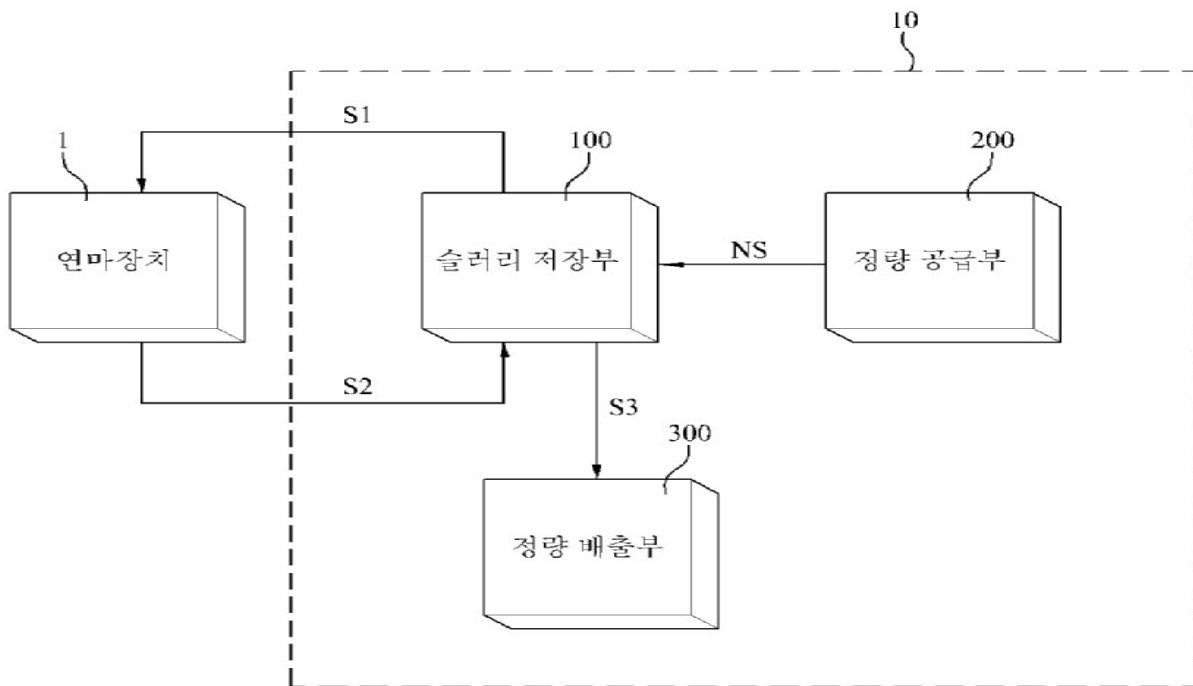
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.64	슬러리 공급 장치		
현재 권리자	SK실트론	발명자	홍성철
출원번호 (출원일)	KR10-2012-0001519 (2012-01-05)	등록번호 (등록일)	KR10-1390796 (2014-04-24)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2032-01-05
기술 개요			
<p>실시 예에 따른 슬러리 공급 장치는 상기 연마 장치에 슬러리를 공급하고, 상기 연마 장치에 의해 사용된 슬러리를 회수하는 슬러리 저장부, 상기 슬러리 저장부에 제1 정량의 슬러리를 공급하는 정량 공급부, 및 상기 슬러리 저장부로부터 제2 정량의 슬러리를 공급받아 배출하는 정량 배출부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼 양면 연삭 공정 시 사용되는 슬러리 공급 장치를 제공함에 있음</p>		<p>본 기술은 슬러리 공급량 및 배출량에 대한 오류를 줄일 수 있고 일정한 연마비를 유지할 수 있어 연마에 관한 신뢰성 향상 및 슬러리 재생 횟수를 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[슬러리 공급 장치의 개략도]


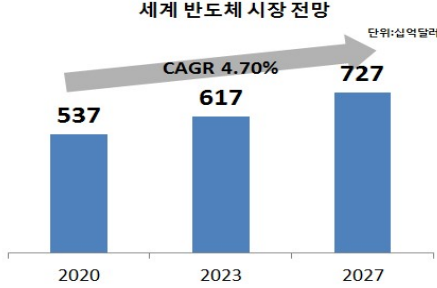
대표 청구항

연마 장치에 슬러리(slurry)를 공급하는 슬러리 공급 장치에 있어서,상기 연마 장치에 슬러리를 공급하고, 상기 연마 장치에 의해 사용된 슬러리를 회수하는 슬러리 저장부;상기 슬러리 저장부에 제1 정량의 슬러리를 공급하는 정량 공급부; 및상기 슬러리 저장부로부터 제2 정량의 슬러리를 공급받아 배출하는 정량 배출부를 포함하며,상기 정량 배출부는,상기 슬러리 저장부로부터 공급되는 슬러리의 양을 측정하고, 측정된 결과에 따라 상기 제2 정량의 슬러리를 공급받는 슬러리 배출 탱크를 포함하는 슬러리 공급 장치.

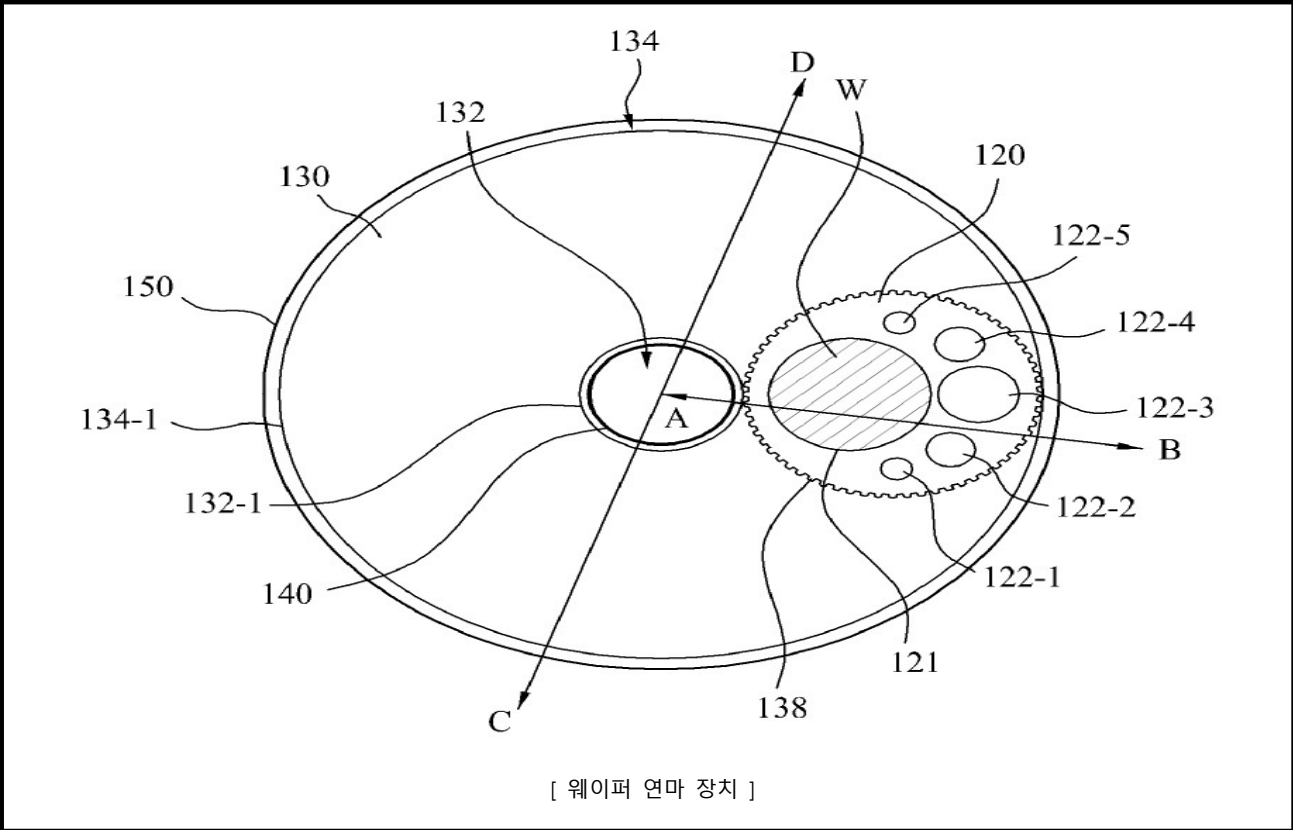
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.65	웨이퍼 연마 장치		
현재 권리자	SK실트론	발명자	배재현
출원번호 (출원일)	KR10-2012-0135805 (2012-11-28)	등록번호 (등록일)	KR10-1402841 (2014-05-27)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2032-11-28
기술 개요			
<p>실시 예는 상정반, 상기 상정반 아래에 위치하고, 홈부 및 지지부를 갖는 하정반, 및 상기 상정반과 상기 하정반 사이에 위치하고 상단부와 하단부를 포함하며 상기 홈부에 상기 하단부가 삽입되고 상기 지지부에 의하여 상기 상단부가 지지되는 캐리어를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼의 상하부에 공급되는 슬러리의 차이 및 연마 속도 차이를 줄이는 웨이퍼 연마 장치를 제공함에 있음</p>		<p>본 기술은 웨이퍼의 상하부에 공급되는 슬러리의 차이 및 연마 속도 차이를 줄이고 웨이퍼의 상부면 및 하부면을 모두 균일하게 연마할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




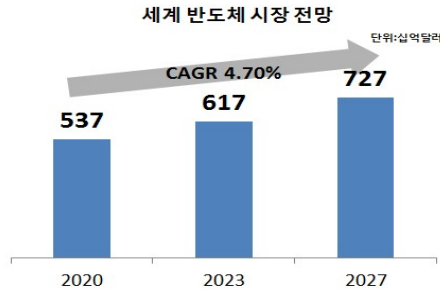
대표 청구항

상정반;상기 상정반 아래에 위치하고, 홈부 및 지지부를 갖는 하정반; 및상기 상정반과 상기 하정반 사이에 위치하고, 상단부와 하단부를 포함하며, 상기 홈부에 상기 하단부가 삽입되고, 상기 지지부에 의하여 상기 상단부가 지지되는 캐리어를 포함하는 웨이퍼 연마 장치.

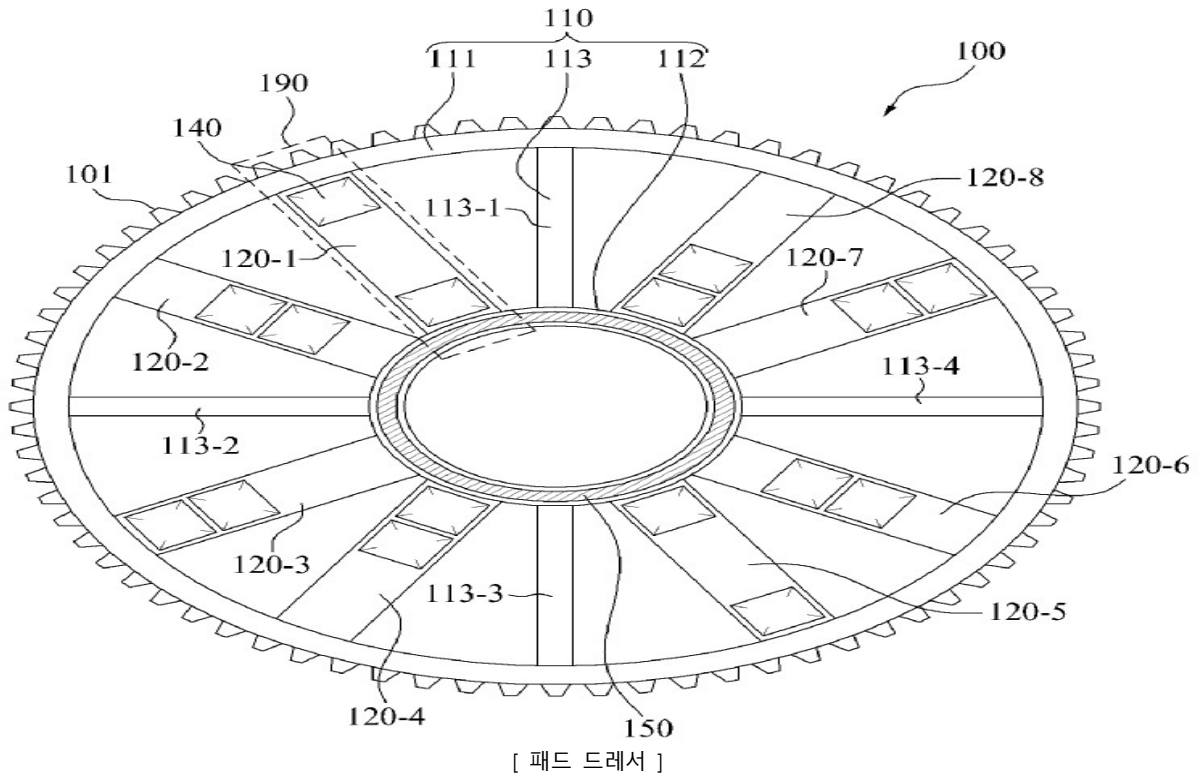
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.66	패드 드레서		
현재 권리자	SK실트론	발명자	안미가
출원번호 (출원일)	KR10-2012-0154950 (2012-12-27)	등록번호 (등록일)	KR10-1390803 (2014-04-24)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2032-12-27
기술 개요			
<p>실시 예는 외부 링, 상기 외부 링 내에 위치하는 내부 링, 상기 외부 링과 상기 내부 링 사이에 위치하는 적어도 하나의 플레이트, 및 상기 플레이트의 상부면 상에 위치하는 적어도 하나의 제1 드레싱 세그먼트를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 패드 부위에 따라 드레싱 강도를 조절할 수 있는 패드 드레서를 제공함에 있음</p>		<p>본 기술은 패드 부위에 따라 드레싱 강도를 조절하여 연마 품질을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




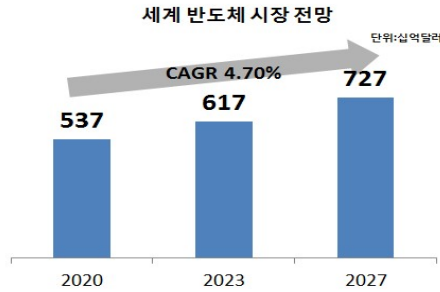
대표 청구항

외부 링(ring);상기 외부 링 내에 위치하는 내부 링;상기 외부 링과 상기 내부 링 사이에 위치하는 적어도 하나의 플레이트(plate); 및상기 플레이트의 상부면 상에 위치하는 적어도 하나의 제1 드레싱 세그먼트(dressing segment)를 포함하며,상기 적어도 하나의 플레이트의 일단은 상기 외부 링과 결합하고, 나머지 다른 일단은 상기 내부 링과 결합하고, 상기 적어도 하나의 플레이트는 상기 외부 링과 결합하는 부분과 상기 내부 링과 결합하는 부분을 축으로 회전하는 패드 드레서.

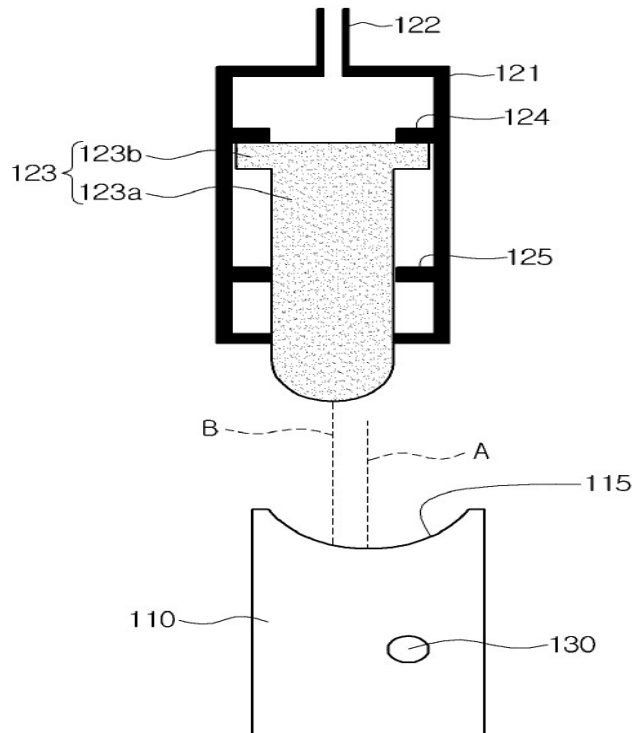
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.67	웨이퍼 세정을 위한 트랜스퍼 장치		
현재 권리자	SK실트론	발명자	정은도
출원번호 (출원일)	KR10-2013-0001123 (2013-01-04)	등록번호 (등록일)	KR10-1412287 (2014-06-19)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2033-01-04
기술 개요			
<p>실시예의 트랜스퍼 장치는, 웨이퍼의 측면을 그립할 수 있는 복수의 그립부; 상기 그립부의 상측에 마련되어, 상기 그립부 측으로 가압력을 제공할 수 있는 그립 회전부; 및 상기 그립부들을 관통하는 회전축;을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 세정의 대상이 되는 웨이퍼를 수용하고 있는 카세트로부터 선택적으로 웨이퍼를 로딩하여 배치내로 투입하는 것이 가능한 트랜스퍼 장치를 제공함에 있음</p>		<p>본 기술은 캐리어 또는 카세트에 수용되어 있는 웨이퍼들에 대해서 선택적으로 배치에 투입할 수 있어 사용자가 자유롭게 웨이퍼들 사이의 피치를 조절하여 웨이퍼 세정 효율을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[트랜스퍼 장치의 그립 회전부의 동작 과정]


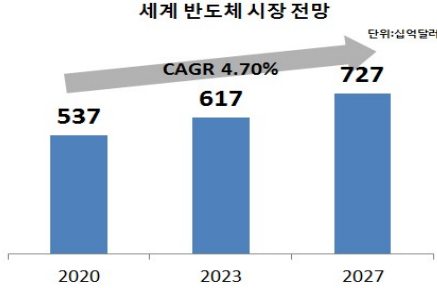
대표 청구항

카세트에 일정간격을 두고 수용된 복수의 웨이퍼 각각에 대응되도록 구성되어, 상기 대응되는 웨이퍼의 측면을 그립할 수 있는 복수의 그립부; 상기 그립부의 상측에 마련되어, 상기 그립부 측으로 가압력을 제공할 수 있는 그립 회전부; 및 상기 그립부들을 관통하는 회전축;을 포함하는 웨이퍼 세정을 위한 트랜스퍼 장치.

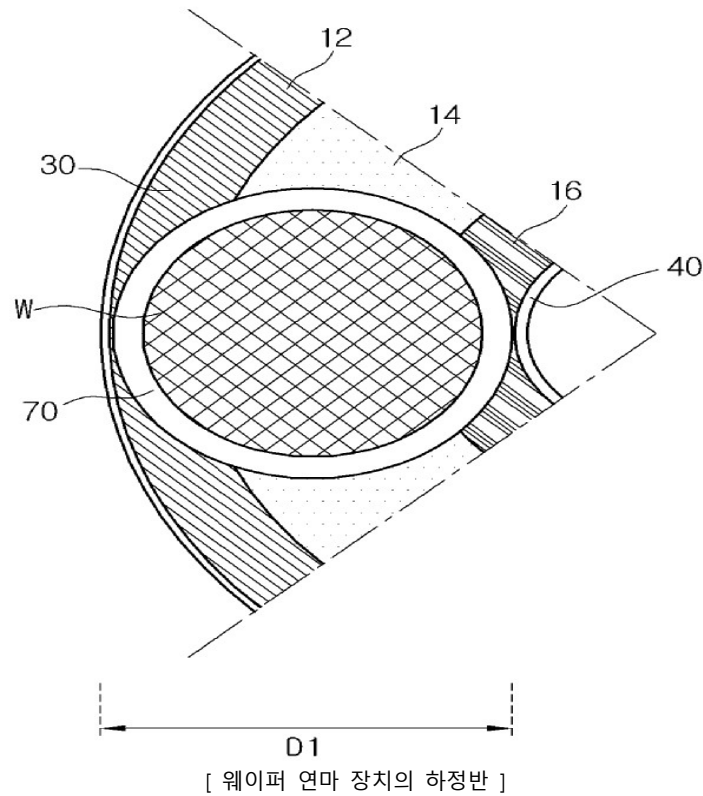
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.68	웨이퍼 양면 연마 장치		
현재 권리자	SK실트론	발명자	조영민
출원번호 (출원일)	KR10-2013-0002636 (2013-01-09)	등록번호 (등록일)	KR10-1389188 (2014-04-18)
특허기술분류 (IPC)	B24	존속기간 만료예정일	2033-01-09
기술 개요			
<p>본발명의 실시예는 웨이퍼를 연마하는 양면 연마 장치로서, 상기 웨이퍼의 상면을 연마하는 상정반; 상기 웨이퍼의 하면을 연마하는 하정반; 및 상기 하정반 상부에 구비되고, 상기 웨이퍼가 장착되는 복수개의 캐리어;를 포함하고, 상기 하정반은 적어도 2개 이상의 서브 정반들로 이루어지고, 상기 서브 정반들은 서로 상이한 직경을 갖는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 웨이퍼 연마 장치의 하정반을 다중 구조로 형성함으로써 웨이퍼의 자전을 용이하게 제어할 수 있어 웨이퍼의 가공 불균일을 개선할 수 있는 웨이퍼 연마 장치를 제공함에 있음</p>		<p>본 기술은 캐리어를 지지하는 하정반을 서로 다른 직경을 갖는 적어도 2개 이상의 다중구조로 형성함으로써 웨이퍼 연마 공정시 웨이퍼의 자전 속도를 제어할 수 있어 웨이퍼의 연마 평탄도를 개선할 수 있고, 상하정반의 자중에 따른 웨이퍼의 변형을 최소화할 수 있으며, 기존보다 작은 정반 크기를 활용해 압력구배 및 온도구배를 제어해 웨이퍼 수율을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




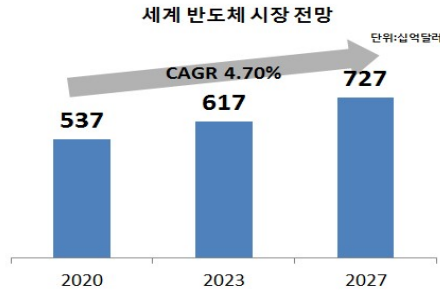
대표 청구항

웨이퍼를 연마하는 양면 연마 장치로서,상기 웨이퍼의 상면을 연마하는 상정반;상기 웨이퍼의 하면을 연마하는 하정반; 및상기 하정반 상부에 구비되고, 상기 웨이퍼가 장착되는 복수개의 캐리어;를 포함하고,상기 하정반은 회전중심이 동일한 링 형상의 서브 정반이 복수개로 이루어지며,상기 서브 정반들은 외경과 내경의 차이가 서로 상이하도록 형성되고, 상기 서브 정반들의 회전 방향은 상이하게 설정될 수 있으며, 상기 서브 정반간의 회전 속도 비율을 조절하여 상기 웨이퍼의 자전 속도를 제어하는 웨이퍼 연마 장치.

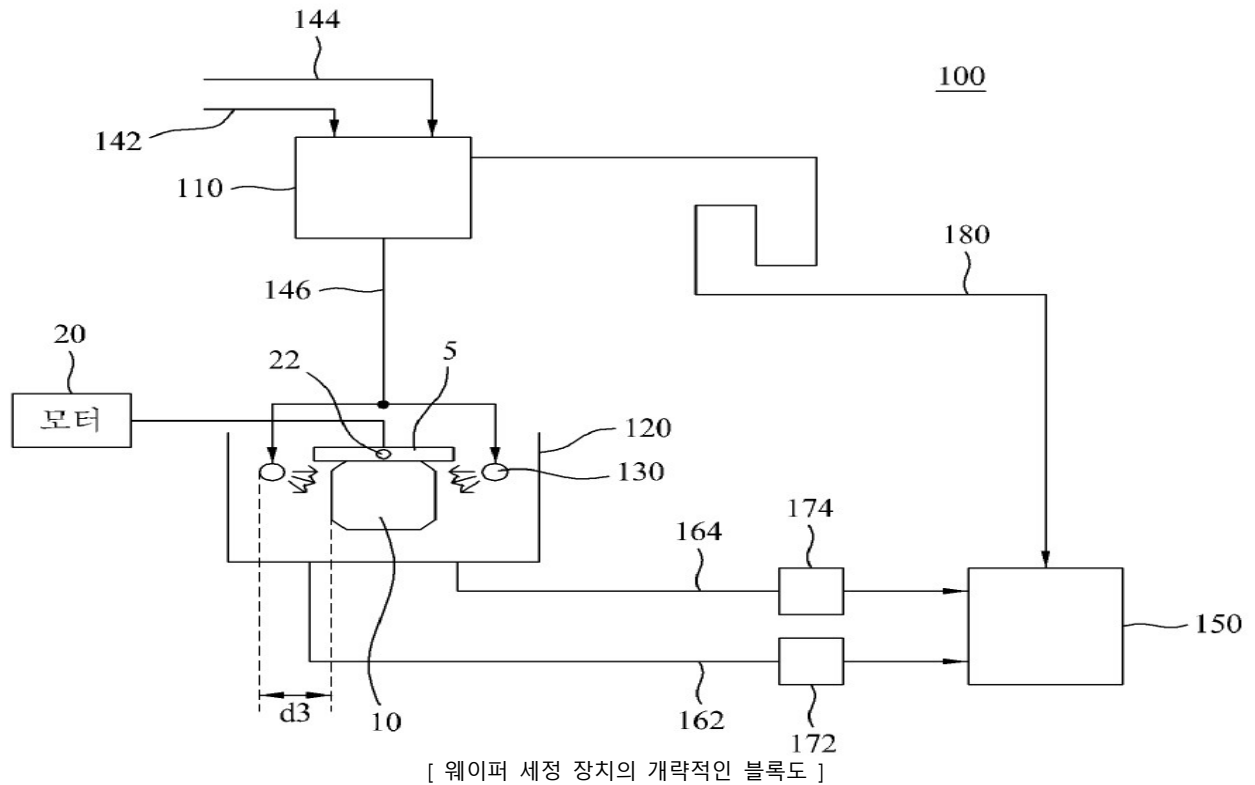
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.69	웨이퍼 세정 장치		
현재 권리자	SK실트론	발명자	오소연
출원번호 (출원일)	KR10-2013-0013576 (2013-02-06)	등록번호 (등록일)	KR10-1402846 (2014-05-27)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2033-02-06
기술 개요			
<p>절삭된 웨이퍼를 세정하는 실시예의 웨이퍼 세정 장치는, 글리콜 에테르 화합물, 알코올 화합물 및 계면활성제로 이루어진 군에서 선택된 어느 하나 또는 이들의 2종 이상의 혼합물과 초순수를 믹싱한 세정제를 수용하는 버퍼 탱크와, 절삭된 웨이퍼를 담는 수조 및 버퍼 탱크로부터 공급되는 세정제를 절삭된 웨이퍼에 분사하여 절삭된 웨이퍼를 세정하는 분사 노즐을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 세정제의 침투를 극대화하여 웨이퍼의 세정력을 향상시킬 수 있는 웨이퍼 세정 장치를 제공함에 있음</p>		<p>본 기술은 혼합물과 초순수를 별개로 분사하지 않고 이들을 믹싱하여 분사하며 분사 노즐에서 세정제의 분사 각도, 수압, 시간과 노즐의 틸팅 속도와 수조의 크기를 적정화하기 때문에 웨이퍼 사이로 세정제의 침투를 극대화시켜 세정력을 개선시키고 웨이퍼의 표면 품질을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




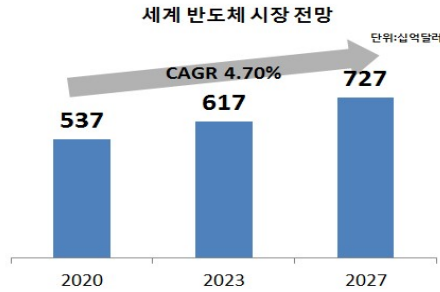
대표 청구항

절삭된 웨이퍼를 세정하는 웨이퍼 세정 장치에 있어서, 글리콜 에테르 화합물, 알코올 화합물 및 계면활성제로 이루어진 균에서 선택된 어느 하나 또는 이들의 2종 이상의 혼합물과 초순수를 믹싱한 세정제를 수용하는 버퍼 탱크; 상기 절삭된 웨이퍼를 담는 수조; 상기 버퍼 탱크로부터 공급되는 상기 세정제를 상기 절삭된 웨이퍼에 분사하여, 상기 절삭된 웨이퍼를 세정하는 분사 노즐; 상기 절삭된 웨이퍼를 세정한 결과물인 세정제 찌꺼기를 수용하는 드레인 탱크; 및 상기 버퍼 탱크에 수용된 상기 세정제의 넘치는 거품을 상기 드레인 탱크로 유출시키는 거품 유출 배관을 포함하는 웨이퍼 세정 장치.

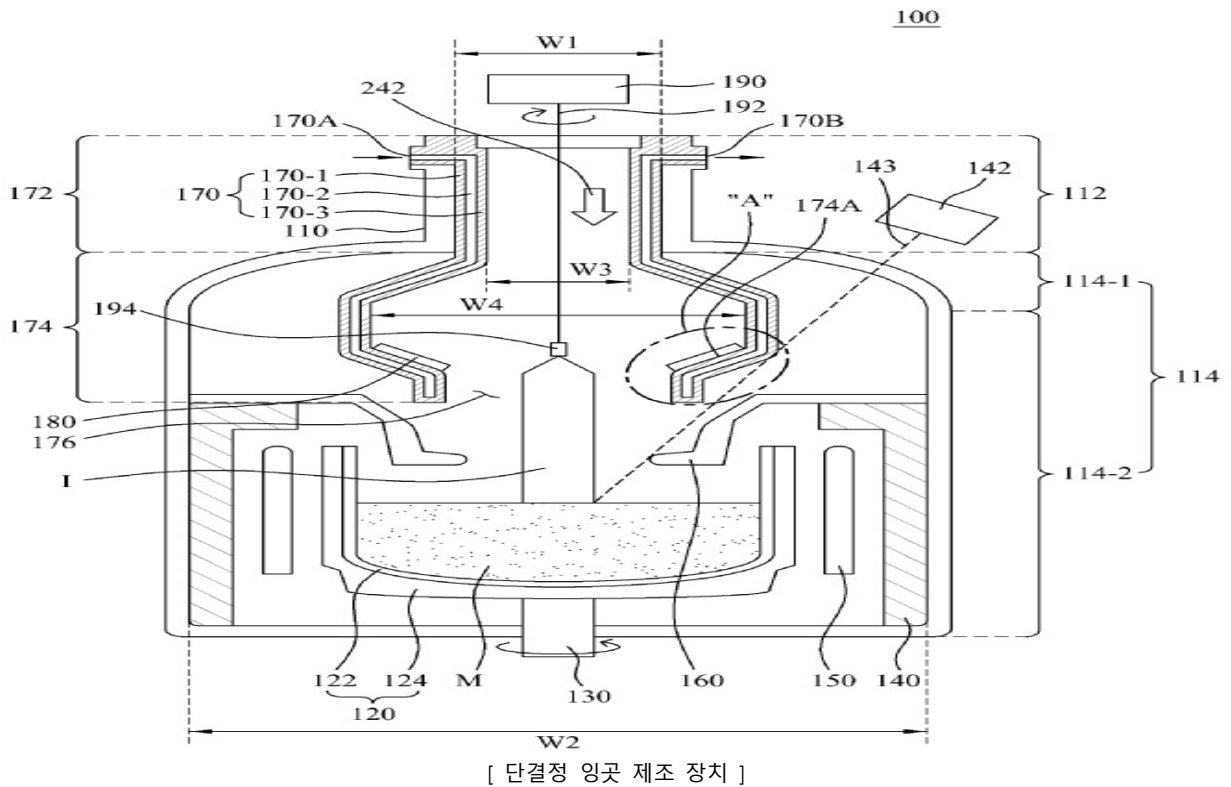
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치
No.70	단결정 잉곳 제조 장치		
현재 권리자	SK실트론	발명자	손민수
출원번호 (출원일)	KR10-2013-0015663 (2013-02-14)	등록번호 (등록일)	KR10-1446720 (2014-09-25)
특허기술분류 (IPC)	C30	존속기간 만료예정일	2033-02-14
기술 개요			
<p>실시예의 단결정 잉곳 제조 장치는, 용융액을 수용 가능한 도가니와, 도가니를 가열하는 히터와, 히터와 용융액으로부터의 복사열을 차단하는 열 차폐 부재와, 서로 연통하는 제1 및 제2 챔버부를 갖는 챔버 및 냉각수의 유동 공간을 갖는 수냉관을 포함하고, 제2 챔버부는 제1 챔버부보다 넓은 폭을 가지며, 수냉관은 제1 챔버부의 내부에 배치된 제1 세그먼트 및 제1 세그먼트로부터 연장되어 제2 챔버부의 내부에 배치되며 제1 세그먼트보다 넓은 폭을 갖는 제2 세그먼트를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 단결정 잉곳의 쿨링을 가속화시킬 수 있고 용융액의 생성 시간을 단축시킬 수도 있는 단결정 잉곳 제조 장치를 제공함에 있음</p>		<p>본 기술은 단결정 잉곳을 기존보다 빨리 쿨링시킬 수 있어 단결정 잉곳의 인상 속도를 빠르게 하고 단결정 잉곳의 제조 시간을 단축시키고 제조 비용을 절감시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




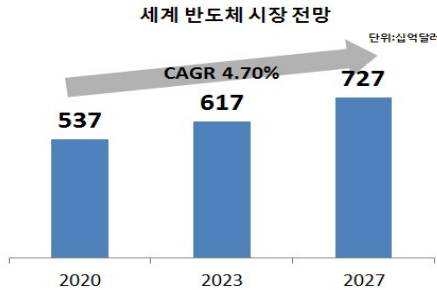
대표 청구항

용융액을 수용 가능한 도가니;상기 도가니를 가열하는 히터;상기 히터와 상기 용융액으로부터의 복사열을 차단하는 열 차폐 부재;서로 연통하는 제1 및 제2 챔버부를 갖는 챔버; 및냉각수의 유동 공간을 갖는 수냉관을 포함하고,상기 제2 챔버부는 상기 제1 챔버부보다 넓은 폭을 가지며, 상기 도가니와 상기 히터와 상기 열 차폐 부재를 수용하고,상기 수냉관은상기 제1 챔버부의 내부에 배치된 제1 세그먼트; 및상기 제1 세그먼트로부터 연장되어 상기 제2 챔버부의 내부에 배치되며, 상기 제1 세그먼트보다 넓은 폭을 갖는 제2 세그먼트를 포함하고,상기 제2 챔버부는상기 제1 챔버부와 연통하는 돔 챔버부; 및상기 돔 챔버부와 연통하는 메인 챔버부를 포함하는 단결정 잉곳 제조 장치.

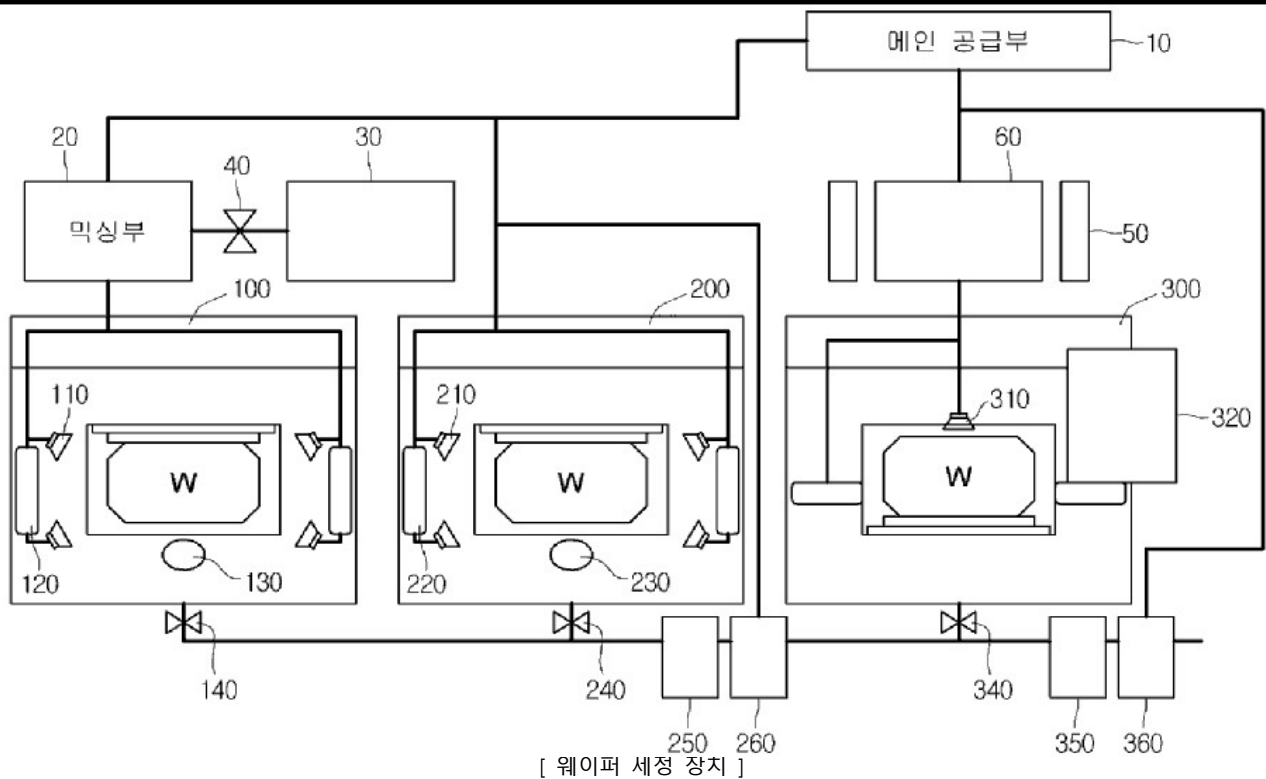
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	제조장치								
No.71	웨이퍼 세정 장치 및 세정 방법										
현재 권리자	SK실트론	발명자	이승재								
출원번호 (출원일)	KR10-2013-0017948 (2013-02-20)	등록번호 (등록일)	KR10-1395453 (2014-05-08)								
특허기술분류 (IPC)	H01	존속기간 만료예정일	2033-02-20								
기술 개요											
<p>본발명에 따른 웨이퍼 세정장치는, 각각의 처리조로 분사 용액을 공급하는 메인 공급부, 계면활성제의 양을 측정 및 저장하는 계면활성제 저장탱크, 상기 메인 공급부로부터 제공되는 분사 용액에 상기 계면활성제 탱크에서 제공되는 계면활성제를 선택적으로 혼합하는 믹싱부, 상기 메인 공급부로부터 제공되는 분사 용액을 웨이퍼 측으로 분사하는 분사노즐을 구비하고, 웨이퍼에 대한 제1 세정공정을 수행하는 제1 처리조, 상기 메인공급부로부터 초순수를 공급받아, 웨이퍼에 대한 제2 세정공정을 수행하는 제2 처리조 및 상기 메인공급부로부터 초순수를 공급받아, 웨이퍼의 본딩면을 제거하기 위한 제3 세정공정을 수행하는 제 3처리조를 포함한다.</p>											
기술 목적		기술효과(차별성)									
<p>본 기술의 목적은 슬라이싱된 잉곳을 세정할 때 웨이퍼 전면에 대한 세정력을 향상시킨 웨이퍼 세정 장치 및 세정방법을 제공함에 있음</p>		<p>본 기술은 각 세정조에 구비된 분사 노즐로 웨이퍼의 전면에 세정액을 침투시켜 웨이퍼의 세정 효율을 극대화할 수 있고, 각 세정조에 구비된 버퍼 탱크로 세정용액을 재활용하여 초음파 세정공정을 실시함으로써 웨이퍼 세정장치에 구비되는 원부자재를 절감할 수 있는 효과가 있음</p>									
기술분야		시장전망									
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <table><tr><th>연도</th><th>시장규모 (십억달러)</th></tr><tr><td>2020</td><td>537</td></tr><tr><td>2023</td><td>617</td></tr><tr><td>2027</td><td>727</td></tr></table> <p>* 출처: FortuneBusinessInsights, 2020.10</p>		연도	시장규모 (십억달러)	2020	537	2023	617	2027	727
연도	시장규모 (십억달러)										
2020	537										
2023	617										
2027	727										

대표 도면




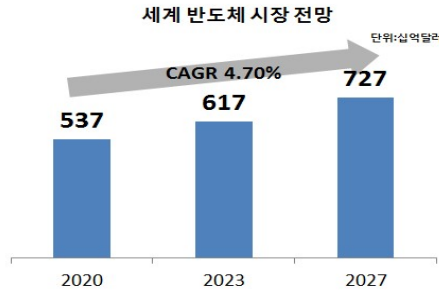
대표 청구항

웨이퍼에 대한 세정을 실시하는 웨이퍼 세정 방법으로서, 제1 처리조에 계면활성제가 혼합된 세정액을 공급하여 상기 웨이퍼를 향하는 분사노즐을 통해 제1 세정공정을 실시하는 단계; 제2 처리조에 초순수를 공급하여 상기 웨이퍼를 향하는 분사노즐을 통해 제2 세정공정을 실시하는 단계; 및 제3 처리조에 가열된 초순수를 공급하여, 웨이퍼의 본딩면을 제거하기 위한 제3 세정공정을 실시하는 단계;를 포함하고, 상기 제1 세정공정을 실시하는 단계는, 상기 제1 처리조 하부에 구비된 드레인 밸브를 개방하여 웨이퍼에 대한 1차 세정을 실시하는 단계, 상기 드레인 밸브를 폐쇄하여 2차 세정을 실시하는 단계, 상기 2차 세정에 사용된 세정액으로 초음파 세정을 실시하는 단계 및 상기 드레인 밸브를 개방하여, 세정액을 배출시키면서 3차 세정을 실시하는 단계를 포함하는 웨이퍼 세정 방법.

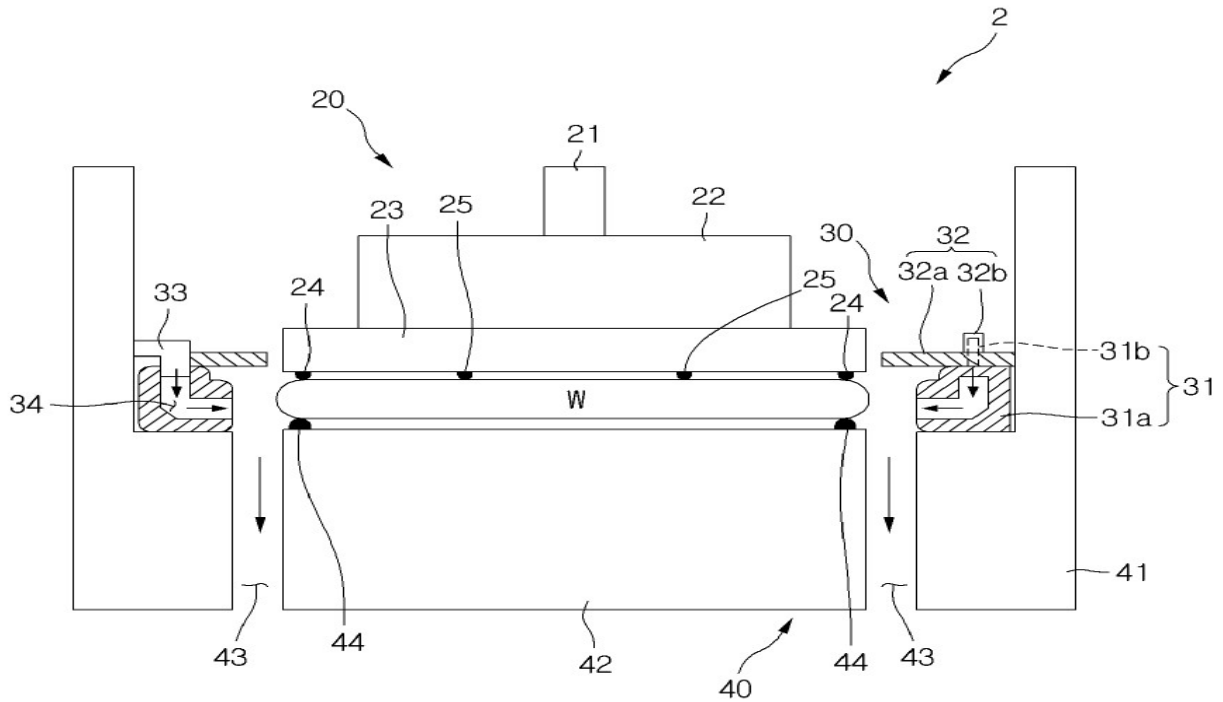
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	제조장치								
No.72	웨이퍼 에칭 장치 및 웨이퍼 에칭 방법										
현재 권리자	SK실트론	발명자	강우량								
출원번호 (출원일)	KR10-2013-0085620 (2013-07-19)	등록번호 (등록일)	KR10-1487095 (2015-01-21)								
특허기술분류 (IPC)	H01	존속기간 만료예정일	2033-07-19								
기술 개요											
<p>본 발명의 웨이퍼 에칭 장치는, 웨이퍼의 에지부에 대한 에칭 공정을 실시하기 위한 배쓰부, 상기 배쓰부 내부의 웨이퍼 안착부로 상기 웨이퍼를 이동시키는 웨이퍼 척킹부, 상기 배쓰부 내부의 외주면을 둘러싸도록 형성되며, 상기 웨이퍼 에지부에 에칭액을 분사하는 에칭액 공급부 및 상기 웨이퍼와 상기 웨이퍼 안착부 사이에 배치되는 링 형상의 접촉부를 포함하고, 상기 에칭액 공급부는 웨이퍼에 에칭액을 분사하는 노즐부와, 상기 노즐부로부터 분사된 에칭액이 상기 웨이퍼의 에지측을 향하도록 가이드하기 위한 가이드부로 이루어진 것을 특징으로 한다.</p>											
기술 목적		기술효과(차별성)									
<p>본 기술의 목적은 타겟으로 하는 웨이퍼 영역에만 에칭 가스를 분사함으로써 공정 시간을 단축하고 오염물질의 생성을 최소화 할 수 있는 웨이퍼 에칭 장치 및 방법을 제공함에 있음</p>		<p>본 기술은 웨이퍼 척에 에칭 가스가 분사되는 것을 방지할 수 있어 후속 공정에서 웨이퍼 척의 세정 시간을 단축하여 웨이퍼 생산 수율을 향상시킬 수 있고, 웨이퍼 척의 부식을 방지하여 에칭 장치 부속 교체 주기를 증가시킬 수 있으며 오염입자 유발을 차단하여 생산 원가를 절감하는 효과가 있음</p>									
기술분야		시장전망									
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <table><tr><th>연도</th><th>시장 규모 (십억달러)</th></tr><tr><td>2020</td><td>537</td></tr><tr><td>2023</td><td>617</td></tr><tr><td>2027</td><td>727</td></tr></table> <p>* 출처: FortuneBusinessInsights, 2020.10</p>		연도	시장 규모 (십억달러)	2020	537	2023	617	2027	727
연도	시장 규모 (십억달러)										
2020	537										
2023	617										
2027	727										

대표 도면



[웨이퍼 에칭 장치]


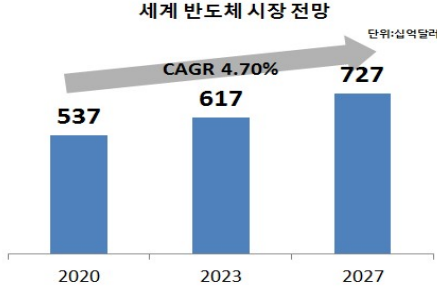
대표 청구항

웨이퍼의 에지부에 대한 에칭 공정을 실시하기 위한 배쓰부; 상기 배쓰부 내부의 웨이퍼 안착부로 상기 웨이퍼를 이동시키는 웨이퍼 척킹부; 상기 배쓰부 내부의 외주면을 둘러싸도록 형성되며, 상기 웨이퍼 에지부에 에칭액을 분사하는 에칭액 공급부; 및 상기 웨이퍼와 상기 웨이퍼 안착부 사이에 배치되는 링형상의 접촉부;를 포함하고, 상기 에칭액 공급부는 웨이퍼에 에칭액을 분사하는 노즐부와, 상기 노즐부로부터 분사된 에칭액이 상기 웨이퍼의 에지측을 향하도록 가이드하기 위한 가이드부로 이루어지고, 상기 가이드부는 상기 노즐부 상측에 배치되며, 상기 가이드부의 폭은 상기 노즐부의 폭보다 더 크도록 형성되는 웨이퍼 에칭 장치.

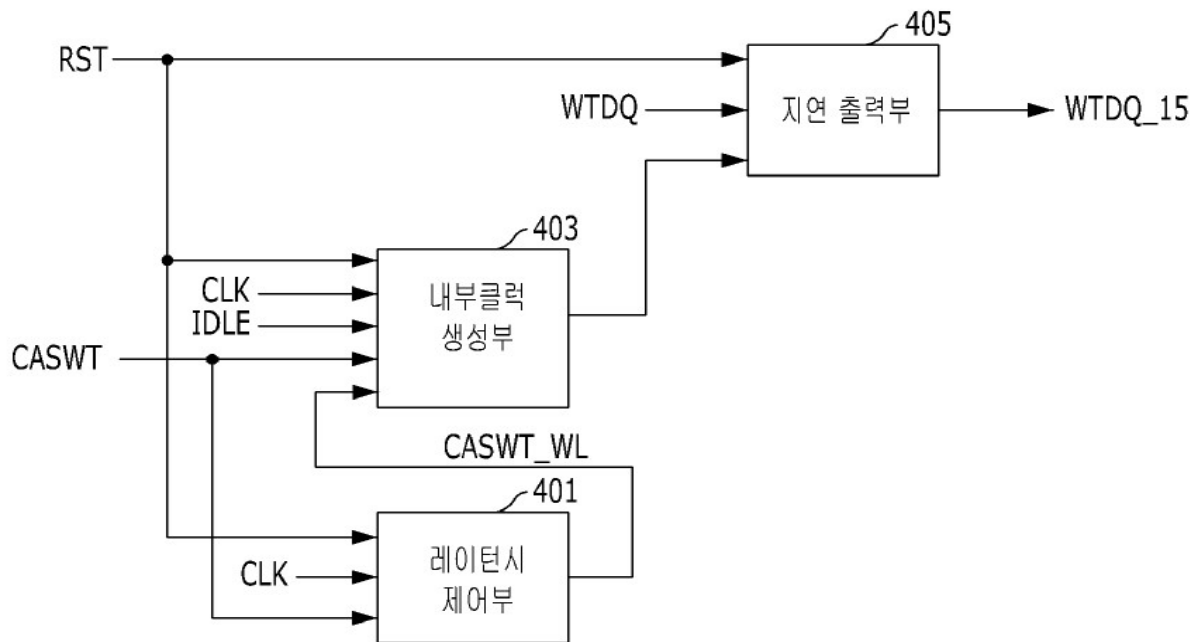
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.73	메모리 장치의 내부 라이트 신호 지연회로 및 지연 방법		
현재 권리자	SK하이닉스	발명자	황정태
출원번호 (출원일)	KR10-2010-0083857 (2010-08-30)	등록번호 (등록일)	KR10-1735082 (2017-05-04)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-08-30
기술 개요			
<p>내부 라이트 신호 지연회로가 개시된다. 내부 라이트 신호 지연회로는, 컬럼 어드레스 스트로브 신호에 의해 활성화되는 라이트 신호를 라이트 레이턴시만큼 지연시켜 레이턴시 신호를 생성하는 레이턴시 제어부, 상기 라이트 신호의 활성화 시점부터 상기 레이턴시 신호의 활성화 시점까지 내부클럭을 활성화하는 내부클럭 생성부 및 상기 내부클럭에 동기하여, 상기 라이트 신호에 의해 활성화되는 내부 라이트 신호를 지연시켜 출력하는 지연 출력부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 반도체 메모리 장치의 불필요한 전력 소모를 줄이기 위한 내부 라이트 신호 지연회로 및 지연 방법을 제공함에 있음</p>		<p>본 기술은 컬럼 어드레스 스트로브 신호에 의해 라이트 신호가 활성화되는 시점부터 라이트 레이턴시만큼의 시간 동안에만 내부클럭을 활성화함으로써 내부클럭의 불필요한 토글링을 방지하고 메모리 장치의 불필요한 전력 소모를 줄일 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[내부 라이트 신호 지연회로]


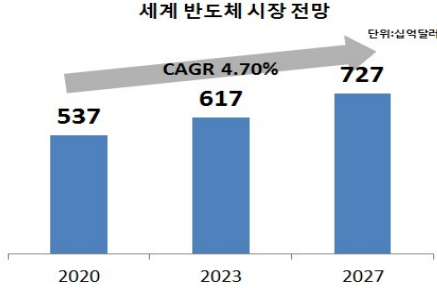
대표 청구항

컬럼 어드레스 스트로브 신호에 의해 활성화되는 라이트 신호를 라이트 레이턴시만큼 지연시켜 레이턴시 신호를 생성하는 레이턴시 제어부; 상기 라이트 신호의 활성화 시점부터 상기 레이턴시 신호의 활성화 시점까지 내부클럭을 활성화하는 내부클럭 생성부; 및 상기 내부클럭에 동기하여, 상기 라이트 신호에 의해 활성화되는 내부 라이트 신호를 지연시켜 출력하는 지연 출력부를 포함하는 내부 라이트 신호 지연회로.

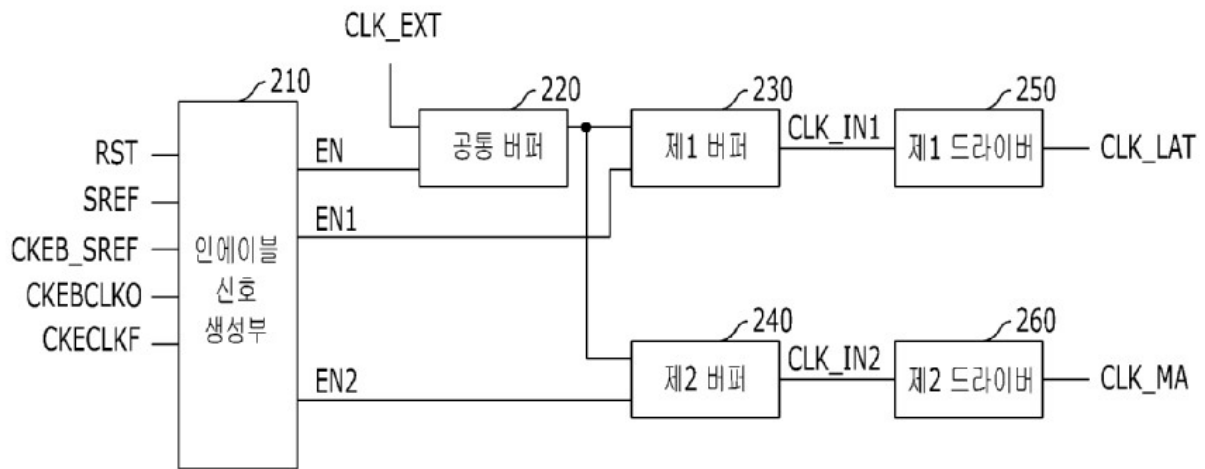
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.74	내부클럭 생성회로		
현재 권리자	SK하이닉스	발명자	황정태
출원번호 (출원일)	KR10-2010-0083867 (2010-08-30)	등록번호 (등록일)	KR10-1796602 (2017-11-01)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-08-30
기술 개요			
<p>본 발명에 따른 내부클럭 생성회로는, 공통 인에이블 신호가 활성화되면 외부클럭을 버퍼링하여 출력하는 공통버퍼; 제1버퍼 인에이블 신호가 활성화되면 상기 공통버퍼의 출력을 버퍼링하여 제1내부클럭을 활성화하는 제1버퍼; 및 제2버퍼 인에이블 신호가 활성화되면 상기 공통버퍼의 출력을 버퍼링하여 제2내부클럭을 활성화하는 제2버퍼를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 외부클럭을 입력받아 각각의 경로를 거쳐 래치클럭과 메인클럭이 활성화되므로 4개의 버퍼를 구동하여 회로 내부 많은 전류가 흐르고 이로 인해 소모전력이 크다는 문제를 해결함에 있음</p>		<p>본 기술은 2단 버퍼 중 첫번째 단계의 버퍼를 공유하여 내부에 흐르는 전류를 줄인 내부클럭 생성회로를 제공할 수 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[내부클럭 생성회로]


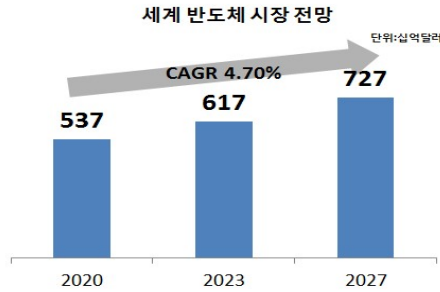
대표 청구항

공통 인에이블 신호가 활성화되면 외부클럭을 버퍼링하여 출력하는 공통버퍼;제1버퍼 인에이블 신호가 활성화되면 상기 공통버퍼의 출력을 버퍼링하여 제1내부클럭을 활성화하는 제1버퍼; 및제2버퍼 인에이블 신호가 활성화되면 상기 공통버퍼의 출력을 버퍼링하여 제2내부클럭을 활성화하는 제2버퍼;를 포함하고,상기 공통 인에이블 신호는 상기 제1버퍼 인에이블 신호가 활성화되는 구간 또는 상기 제2버퍼 인에이블 신호가 활성화되는 구간에서 활성화되는 내부클럭 생성회로.

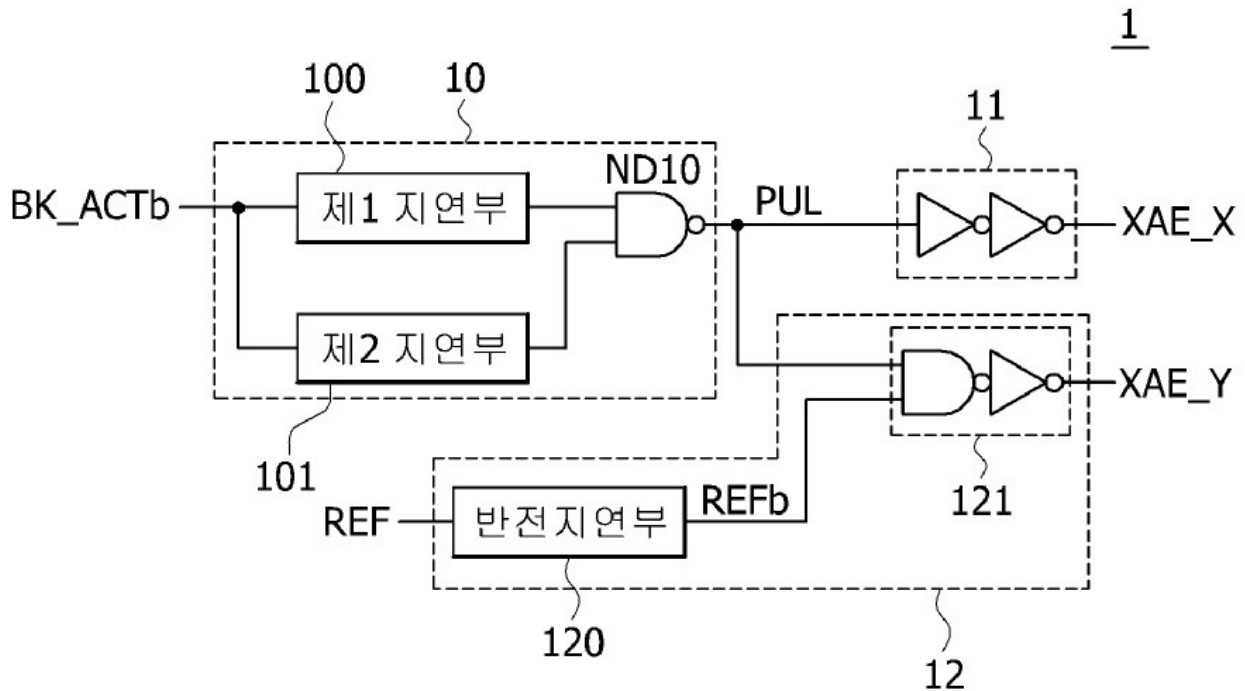
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.75	경로제어회로		
현재 권리자	SK하이닉스	발명자	박상일
출원번호 (출원일)	KR10-2010-0105465 (2010-10-27)	등록번호 (등록일)	KR10-1809742 (2017-12-11)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-10-27
기술 개요			
<p>경로제어회로는 리프레쉬동작 시 디스에이블되는 컬럼인에이블신호를 생성하는 경로활성화신호 생성부; 및 상기 컬럼인에이블신호에 응답하여 외부어드레스를 버퍼링하여 컬럼어드레스를 생성하는 내부어드레스생성부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 전류소모를 방지할 수 있도록 하는 경로제어회로를 제공함에 있음		본 기술은 리프레쉬 수행 시 컬럼 경로의 동작을 차단하여 전류소모를 방지할 수 있도록 하는 경로제어회로를 제공할 수 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[경로제어회로에 포함된 경로활성화신호 생성부]


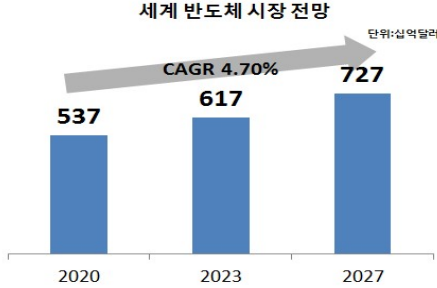
대표 청구항

리프레쉬동작 시 디스에이블되는 컬럼인에이블신호를 생성하는 경로활성화신호 생성부; 및상기 컬럼인 에이블신호에 응답하여 외부어드레스를 버퍼링하여 컬럼어드레스를 생성하는 내부어드레스생성부를 포함하되, 상기 경로활성화신호 생성부는 뱅크액티브신호가 인에이블된 후 소정 구간이 경과된 후 펄스신호를 발생시키는 펄스발생부 및 반전리프레쉬신호에 응답하여 펄스발생부의 출력신호를 버퍼링하여 상기 컬럼인에이블신호를 생성하는 제1 버퍼부를 포함하는 경로제어회로.

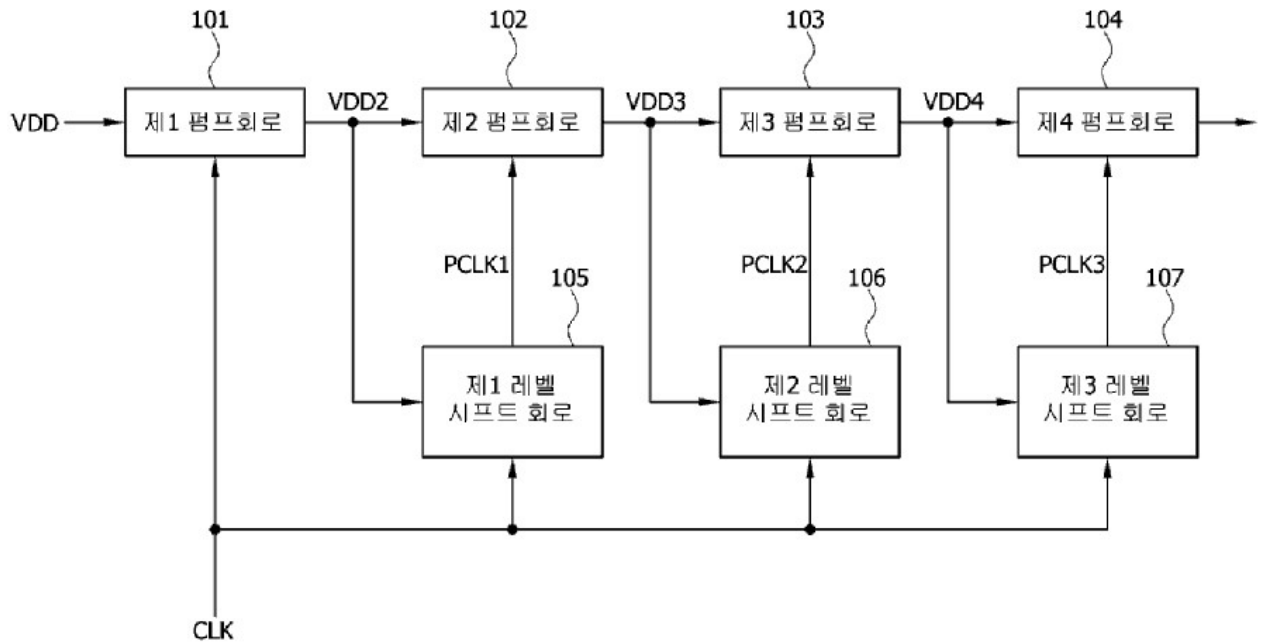
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.76	고전압 발생장치		
현재 권리자	SK하이닉스	발명자	최성욱
출원번호 (출원일)	KR10-2010-0115588 (2010-11-19)	등록번호 (등록일)	KR10-1713036 (2017-02-28)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-11-19
기술 개요			
<p>본 발명은 입력전압에 제1 제어신호의 전압레벨을 더하여 제1 승압전압으로 출력하는 제1 펌프회로, 상기 제1 제어신호의 전압레벨을 상기 제1 승압전압의 레벨만큼 승압하여 제2 제어신호로 출력하는 제1 레벨시프트회로 및 상기 제1 승압전압에 상기 제2 제어신호의 전압레벨을 더하여 제2 승압전압으로 출력하는 제2 펌프회로를 포함하는 고전압 발생장치를 제공한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 집적도가 우수한 고전압 발생장치를 제안함에 있음</p>		<p>본 기술은 펌프회로로 입력되는 제어신호의 전압레벨을 하나의 레벨로 고정시키지 않고 상승시킴으로써 고전압을 발생하기 위한 단계를 감소시키며, 펌프회로의 개수를 감소시킬 수 있어 고전압 발생장치의 면적 나아가 반도체 장치의 집적도를 향상시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[고전압 발생장치]


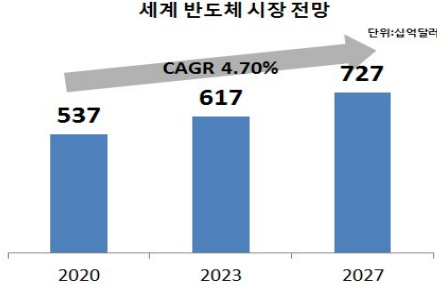
대표 청구항

입력전압에 제1 제어신호의 전압레벨을 더하여 제1 승압전압으로 출력하는 제1 펌프회로;상기 제1 제어신호의 전압레벨을 상기 제1 승압전압의 레벨과 동일해지도록 승압하여 제2 제어신호로 출력하는 제1 레벨시프트회로; 및상기 제1 승압전압에 상기 제2 제어신호의 전압레벨을 더하여 제2 승압전압으로 출력하는 제2 펌프회로를 포함하는 고전압 발생장치.

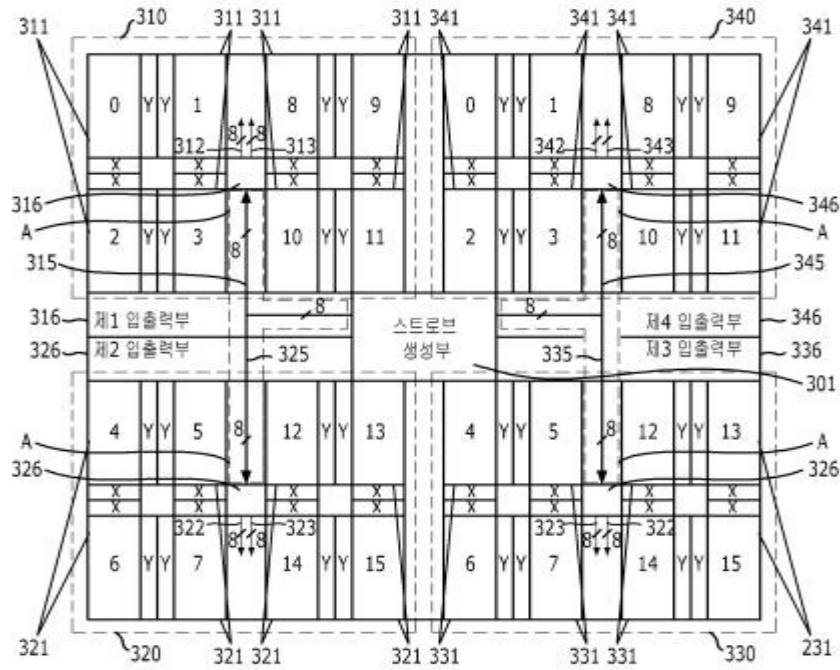
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.77	메모리 장치		
현재 권리자	SK하이닉스	발명자	박기천
출원번호 (출원일)	KR10-2010-0129274 (2010-12-16)	등록번호 (등록일)	KR10-1798986 (2017-11-13)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-12-16
기술 개요			
<p>본 발명에 따른 메모리 장치는, 다수의 뱅크를 포함하는 뱅크영역; 상기 다수의 뱅크에 각각 하나씩 대응되는 다수의 제1로컬라인; 상기 다수의 뱅크에 각각 하나씩 대응되는 다수의 제2로컬라인; 상기 다수의 뱅크의 컬럼 동작을 위한 다수의 컬럼 스트로브를 생성하는 스트로브 생성부; 제1모드에서는 상기 다수의 컬럼 스트로브를 상기 다수의 제1로컬라인 및 상기 제2로컬라인으로 전달하고, 제2모드에서는 선택 어드레스에 응답하여 상기 다수의 컬럼 스트로브를 상기 다수의 제1로컬라인 또는 상기 다수의 제2로컬라인으로 전달하며, 상기 뱅크 영역의 중심부에 배치되는 신호 전달부; 및 상기 다수의 컬럼 스트로브를 상기 스트로브 생성부로부터 상기 신호 전달부로 전송하기 위한 다수의 전달라인을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 신호 전달부의 위치를 옮겨 컬럼 스트로브를 전달하는 라인의 수를 줄여 면적을 줄인 메모리 장치를 제공함에 있음</p>		<p>본 기술은 신호 전달부의 위치를 다수의 뱅크가 포함된 뱅크영역의 중심으로 옮겨 스트로브 생성부부터 뱅크까지의 구간 중 일부 구간에서 스트로브를 전달하기 위한 라인의 개수를 감소시켜 메모리 장치의 면적을 줄이는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[본 발명의 메모리 장치]


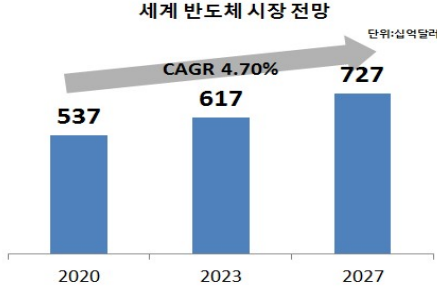
대표 청구항

다수의 뱅크를 포함하는 뱅크영역;상기 다수의 뱅크에 각각 하나씩 대응되는 다수의 제1로컬라인;상기 다수의 뱅크에 각각 하나씩 대응되는 다수의 제2로컬라인;상기 다수의 뱅크의 컬럼 동작을 위한 다수의 컬럼 스트로브를 생성하는 스트로브 생성부;제1모드에서는 상기 다수의 컬럼 스트로브를 상기 다수의 제1로컬라인 및 상기 제2로컬라인으로 전달하고, 제2모드에서는 선택 어드레스에 응답하여 상기 다수의 컬럼 스트로브를 상기 다수의 제1로컬라인 또는 상기 다수의 제2로컬라인으로 전달하며, 상기 뱅크 영역의 중심부에 배치되는 신호 전달부; 및상기 다수의 컬럼 스트로브를 상기 스트로브 생성부로부터 상기 신호 전달부로 전송하기 위한 다수의 전달라인을 포함하는 메모리 장치.

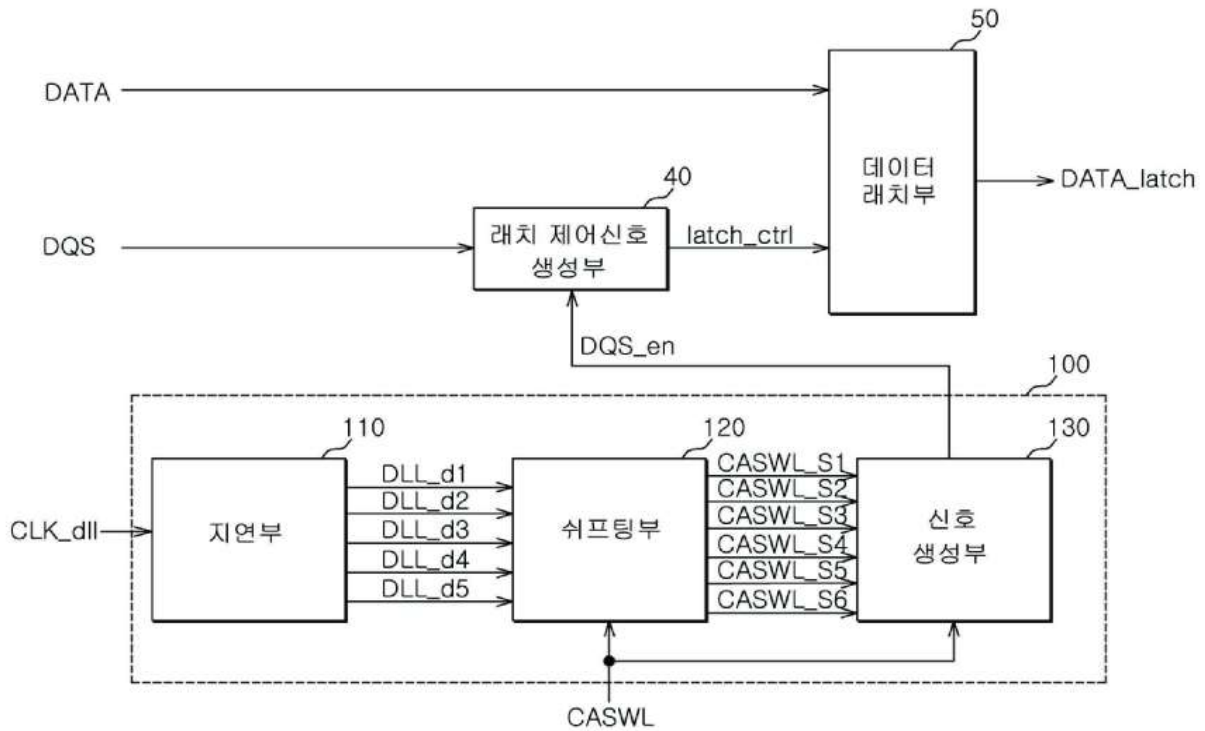
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.78	반도체 메모리 장치		
현재 권리자	SK하이닉스	발명자	이형욱
출원번호 (출원일)	KR10-2010-0131988 (2010-12-21)	등록번호 (등록일)	KR10-1819134 (2018-01-10)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-12-21
기술 개요			
<p>본 발명은 DLL 클럭을 순차적으로 지연시켜 복수개의 지연 DLL 클럭을 생성하고, 카스 라이트 레이턴시 신호 및 상기 복수개의 지연 DLL 클럭에 응답하여 데이터 스트로브 인에이블 신호를 생성하는 데이터 입력 인에이블 신호 생성부, 상기 데이터 스트로브 인에이블 신호의 인에이블 구간동안 데이터 스트로브 신호를 래치 제어 신호로서 출력하는 래치 제어 신호 생성부, 및 외부에서 입력되는 외부 데이터를 상기 래치 제어 신호에 응답하여 래치하고, 래치된 데이터를 출력하는 데이터 래치부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 반도체 메모리 장치의 데이터 저장 속도를 떨어뜨리고 지연부 로직 추가로 인해 면적 효율이 떨어지며 전력 소모 또한 증가하는 현상을 해결하는 반도체 메모리 장치를 제공함에 있음</p>		<p>본 기술은 데이터 저장 속도를 떨어뜨리지 않고, 면적 효율이 좋으며, 전력 소모를 줄일 수 있는 반도체 메모리 장치를 제공할 수 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 메모리 장치]


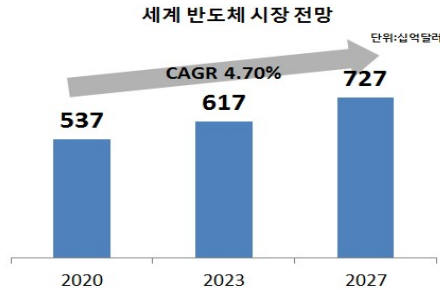
대표 청구항

DLL 클럭을 순차적으로 지연시켜 복수개의 지연 DLL 클럭을 생성하고, 카스 라이트 레이턴시 신호 및 상기 복수개의 지연 DLL 클럭에 응답하여 데이터 스트로브 인에이블 신호를 생성하는 데이터 입력 인에이블 신호 생성부; 상기 데이터 스트로브 인에이블 신호의 인에이블 구간동안 데이터 스트로브 신호를 래치 제어 신호로서 출력하는 래치 제어 신호 생성부; 및 외부에서 입력되는 외부 데이터를 상기 래치 제어 신호에 응답하여 래치하고, 래치된 데이터를 출력하는 데이터 래치부를 포함하며, 상기 데이터 입력 인에이블 신호 생성부는 상기 DLL 클럭을 순차적으로 지연시켜 상기 복수개의 지연 DLL 클럭을 생성하는 지연부, 상기 카스 라이트 레이턴시 신호를 상기 복수개의 지연 DLL 클럭에 응답하여 쉬프팅시켜 복수개의 쉬프팅 카스 라이트 레이턴시 신호를 생성하는 쉬프팅부, 및 상기 복수개의 쉬프팅 카스 라이트 레이턴시 신호, 및 상기 카스 라이트 레이턴시 신호에 응답하여 상기 데이터 스트로브 인에이블 신호를 생성하는 신호 생성부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

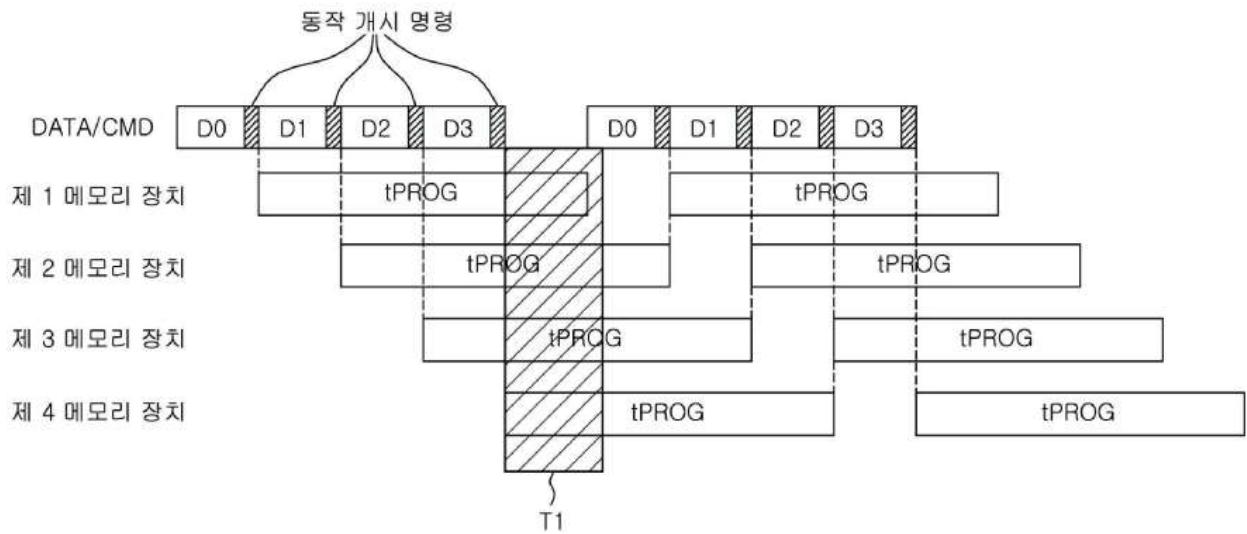
특허평가등급

	평가항목	등급		평가항목	등급
권리/ 기술성	기술의 권리성	AA	시장성	시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.79	스택형 메모리 시스템 및 이를 위한 인터리빙 제어 방법		
현재 권리자	SK하이닉스	발명자	김경남
출원번호 (출원일)	KR10-2010-0132567 (2010-12-22)	등록번호 (등록일)	KR10-1815601 (2017-12-29)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-12-22
기술 개요			
<p>복수의 메모리 장치가 적층되며, 복수의 메모리 장치가 각각 독립적으로 동작하는 메모리 영역 및 메모리 영역과 제어 명령, 어드레스 신호 및 데이터를 송수신하며, 동작 상태에 있는 메모리 장치의 개수를 지정된 문턱값 내로 조절하는 컨트롤러를 포함하는 스택형 메모리 시스템 및 이를 위한 인터리빙 제어 방법을 개시한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 인터리빙 동작시의 전류 소모량을 감소시킬 수 있는 스택형 메모리 시스템 및 이를 위한 인터리빙 제어 방법을 제공하고 동시에 활성화되는 메모리 장치의 수를 제어할 수 있는 스택형 메모리 시스템 및 이를 위한 인터리빙 제어 방법을 제공함에 있음</p>		<p>본 기술은 동시에 동작하는 메모리 장치의 개수를 제한함으로써 메모리 시스템 내에서 피크 전류가 발생하는 것을 방지할 수 있고, 특정 시점에 과도한 양의 전류가 소모되지 않도록 하여 메모리 시스템의 동작 효율을 개선하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[스택형 메모리 시스템에서 피크 전류의 발생을 설명하기 위한 도면]


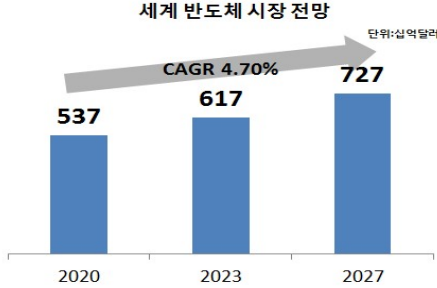
대표 청구항

복수의 메모리 장치가 적층되며, 상기 복수의 메모리 장치가 각각 독립적으로 동작하는 메모리 영역; 및
상기 메모리 영역과 제어 명령, 어드레스 신호 및 데이터를 송수신하며, 상기 복수의 메모리 장치로부터 수신한 상태 확인 신호에 근거하여 동작 상태에 있는 메모리 장치의 개수를 판단하고, 상기 개수를 지정된 문턱값 내로 조절하는 컨트롤러;를 포함하는 스택형 메모리 시스템.

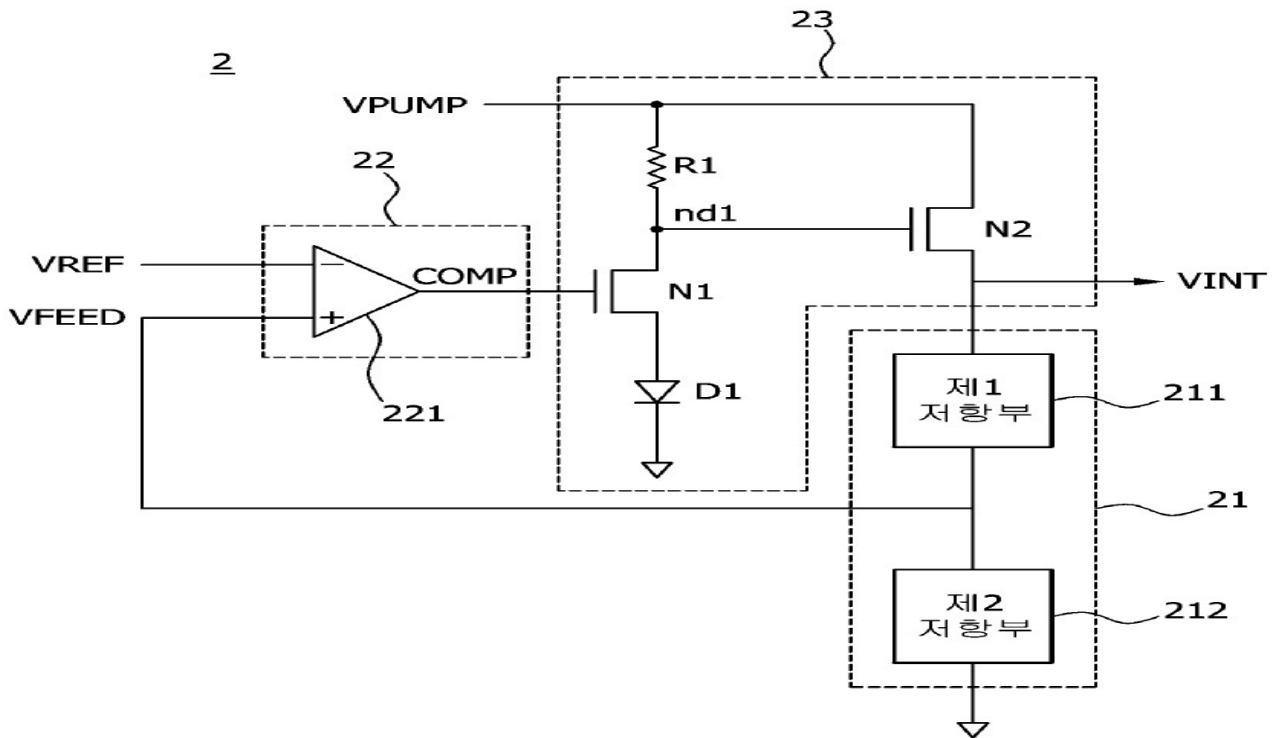
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.80	내부전압 생성회로		
현재 권리자	SK하이닉스	발명자	김중우
출원번호 (출원일)	KR10-2010-0140469 (2010-12-31)	등록번호 (등록일)	KR10-1803036 (2017-11-23)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2030-12-31
기술 개요			
<p>본 발명은 복수의 코드신호에 응답하여 저항값을 가변하여 내부전압을 분배하며, 상기 분배의 결과에 따라 분배전압을 생성하는 전압분배부, 기준전압과 상기 분배전압의 레벨을 비교하여 비교결과신호를 생성하는 전압비교부 및 상기 비교결과신호에 응답하여 상기 내부전압을 생성하는 차지부를 포함하는 내부전압 생성회로를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 외부환경에 의한 내부전압의 레벨 변화를 보정하는 내부전압 생성회로를 제공함에 있음</p>		<p>본 기술은 전압분배회로 내 저항부의 저항값을 가변시켜 외부환경에 따라 내부전압의 레벨이 변경되는 현상을 보완할 수 있고, 항상 정해진 레벨의 내부전압을 생성하기 때문에 내부전압을 사용하는 내부회로의 동작 안정성 및 신뢰성을 충분히 확보하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[내부전압 생성회로의 레귤레이팅회로]


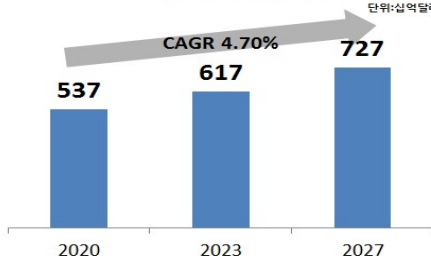
대표 청구항

복수의 코드신호에 응답하여 저항값을 가변하여 내부전압을 분배하며, 상기 분배의 결과에 따라 분배 전압을 생성하는 전압분배부; 기준전압과 상기 분배전압의 레벨을 비교하여 비교결과신호를 생성하는 전압비교부; 및 상기 비교결과신호에 응답하여 상기 내부전압을 생성하는 차지부를 포함하고, 상기 전압 분배부는 상기 내부전압과 접지전압 사이에 배치되고, 직렬로 연결된 제1 저항부 및 제2 저항부를 포함하고, 상기 복수의 코드신호는 반도체 장치를 테스트하여 불량을 보정한 경우, 불량을 보정한 정보를 저장하고 실제 사용시 그 보정한 정보대로 반도체 장치가 구동하도록 제어하기 위한 설정 레지스터에서 출력되는 내부전압 생성회로.

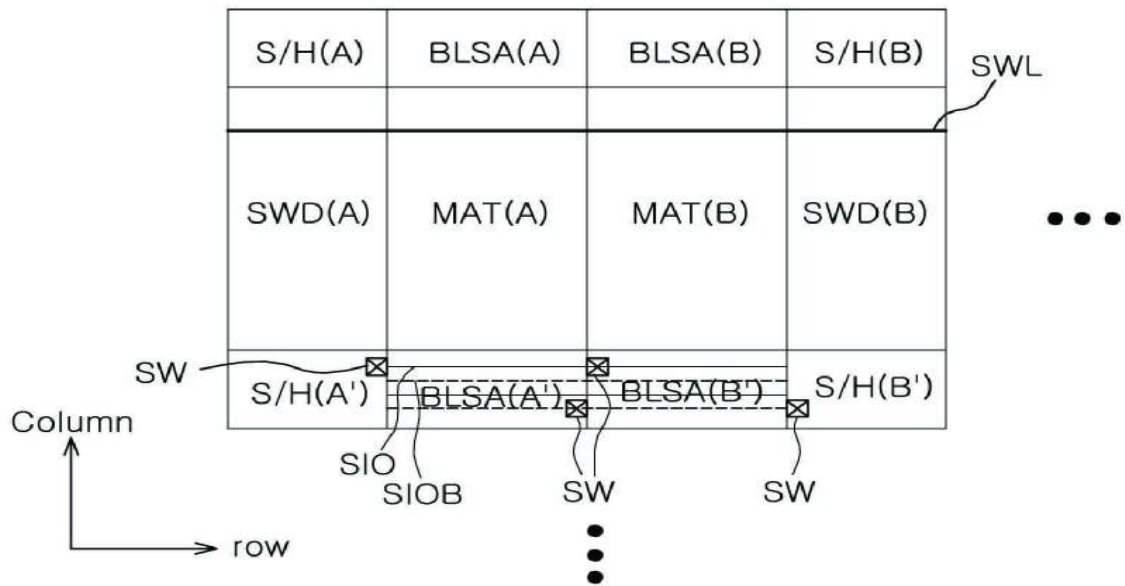
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.81	반도체 메모리 장치		
현재 권리자	SK하이닉스	발명자	박정근
출원번호 (출원일)	KR10-2011-0009008 (2011-01-28)	등록번호 (등록일)	KR10-1847972 (2018-04-05)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-01-28
기술 개요			
<p>본 발명은 웨이퍼당 반도체 칩 개수를 증가시킬 수 있는 반도체 메모리 장치에 관한 것으로, 복수의 메모리 셀을 포함하는 복수의 매트와, 상기 각 매트의로우 방향으로 배치되어 상기 각 매트를 이루는 메모리 셀 데이터를 증폭하는 복수의 비트 라인 센스 앰프와, 상기 각 매트의 컬럼 방향으로 배치되어 상기 각 매트를 이루는 메모리 셀 트랜지스터 게이트에 연결된 서브 워드 라인을 선택하기 위한 복수의 서브 워드 라인 드라이버 및 상기 복수의 비트 라인 센스 앰프와 상기 복수의 서브 워드 라인 드라이버가 교차하는 영역에 배치되어 상기 비트 라인 센스 앰프와 연결된 세그먼트 입출력 라인을 스위칭하는 스위칭 소자를 구비하는 복수의 서브 홀을 포함하되, 상기 복수의 매트 중 어느 하나의 매트와 상기 어느 하나의 매트와 인접하게 배치된 또다른 мат트는 서로 접하여 배열되는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 반도체 셀 배열 구조를 변경하여 반도체 칩 면적을 감소시킴으로써 웨이퍼당 반도체 칩 개수를 늘릴 수 있도록 하는 반도체 메모리 장치를 제공함에 있음</p>		<p>본 기술은 복수의 매트 중 인접한 두 개의 매트 사이에 배치되었던 서브 워드 라인 드라이버와 서브 홀의 면적을 감소시킴으로써 반도체 칩의 면적을 줄이고 웨이퍼당 반도체 칩의 개수를 늘릴 수 있어 원가 경쟁력을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p style="text-align: center;">세계 반도체 시장 전망</p> <div style="text-align: right; font-size: small;">단위:십억달러</div>  <p style="text-align: center;">CAGR 4.70%</p> <p style="text-align: center;">2020 2023 2027</p> <p style="font-size: x-small;">* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 메모리 장치의 셀 배열 구조]


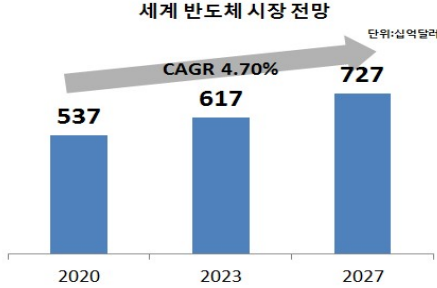
대표 청구항

복수의 메모리 셀을 포함하는 복수의 매트;상기 각 매트들의 로우 방향으로 배치되어 상기 각 매트들을 이루는 메모리 셀 데이터를 증폭하는 복수의 비트 라인 센스 앰프;상기 각 매트들의 컬럼 방향으로 배치되어 상기 각 매트들을 이루는 메모리 셀 트랜지스터 게이트에 연결된 서브 워드 라인을 선택하기 위한 복수의 서브 워드 라인 드라이버; 및상기 복수의 비트 라인 센스 앰프와 상기 복수의 서브 워드 라인 드라이버가 교차하는 영역에 배치되어 상기 비트 라인 센스 앰프와 연결된 세그먼트 입출력 라인을 스위칭하는 스위칭 소자를 구비하는 복수의 서브 홀;을 포함하되,상기 복수의 매트중 어느 하나의 매트와 상기 어느 하나의 매트와 인접하게 배치된 또 다른 매트들 서로 접하여 배열되고, 상기 어느 하나의 매트와 상기 또 다른 매트가 접한 부분에 더미셀이 배치되는 반도체 메모리 장치.

특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.82	전압 발생 회로 및 이를 포함하는 반도체 장치		
현재 권리자	SK하이닉스	발명자	송근수
출원번호 (출원일)	KR10-2011-0009009 (2011-01-28)	등록번호 (등록일)	KR10-1790239 (2017-10-19)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-01-28
기술 개요			
<p>본 발명은 적절한 레벨의 내부전압을 발생시켜 동작 시 패일의 발생을 방지시킴과 동시에 저전력화를 추구할 수 있는 전압발생회로 및 이를 포함하는 반도체 장치에 관한 것으로, 특히 본 발명에 따른 전압발생회로는 셀 데이터와 기준 데이터를 비교하여 검출신호를 생성하는 검출부, 상기 검출부에서 생성되는 검출신호를 입력받아 전압레벨조정신호를 생성하는 전압레벨조정부 및 상기 전압레벨조정부에서 출력되는 전압레벨조정신호에 응답하여 레벨이 조정된 전압을 발생하는 전압발생부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 데이터 읽기 또는 쓰기 동작 시 안정적인 동작이 이루어질 수 있도록 전압레벨 조정이 가능한 전압 발생 회로 및 이를 포함하는 반도체 장치를 제공함에 있음</p>		<p>본 기술은 동작 시 패일 여부를 판단하여 패일이 발생하지 않도록 함과 동시에 적절한 레벨을 갖는 내부전압을 발생시킴으로써 반도체 장치의 동작의 패일을 감소시킬 수 있고 저전력화도 함께 추구하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면

500



[반도체 장치의 전압발생부]


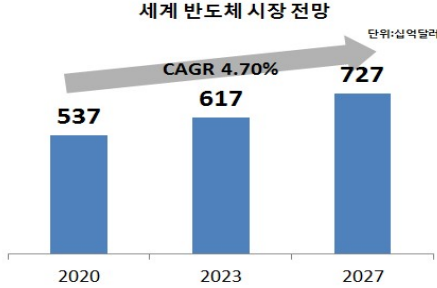
대표 청구항

셀 데이터와 기준 데이터를 비교하여 검출신호를 생성하는 검출부; 상기 검출부에서 생성되는 검출신호를 입력받아 전압레벨조정신호를 생성하는 전압레벨조정부; 및 상기 전압레벨조정부에서 출력되는 전압레벨조정신호에 응답하여 레벨이 조정된 전압을 발생하는 전압발생부;를 포함하며, 상기 검출부는, 상기 기준 데이터를 저장하는 래치부; 상기 기준 데이터와 상기 셀 데이터를 비교하여 셀 데이터의 패일 여부를 판단하는 판단부; 상기 판단부에서 출력된 값을 입력받아 카운팅 동작을 수행하는 카운터부; 및 상기 카운터부에서 출력되는 값을 입력받아 인코딩하는 인코더부;를 포함하는 것을 특징으로 하는 전압 발생회로.

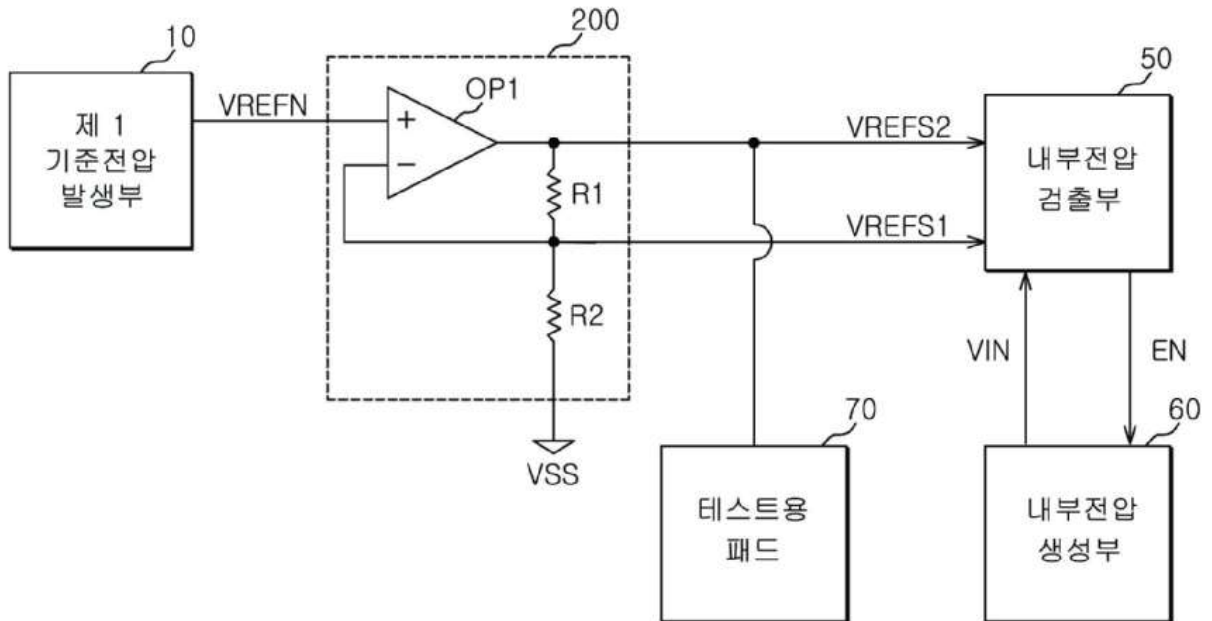
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.83	반도체 장치의 내부 전압 생성 회로		
현재 권리자	SK하이닉스	발명자	박재범
출원번호 (출원일)	KR10-2011-0053857 (2011-06-03)	등록번호 (등록일)	KR10-1794798 (2017-11-01)
특허기술분류 (IPC)	G01	존속기간 만료예정일	2031-06-03
기술 개요			
<p>반도체 장치의 내부 전압 생성회로는 제 1 기준 전압 발생부, 기준 전압 조정 버퍼부, 내부 전압 검출부 및 내부 전압 생성부를 포함한다. 제 1 기준 전압 발생부는 반도체 장치의 정상 동작 모드 시 제 1 기준 전압을 출력한다. 기준 전압 조정 버퍼부는 상기 제 1 기준 전압을 수신하여 상기 제 1 기준 전압과 같은 레벨의 제 1 조정 전압과 상기 제 1 기준 전압보다 높은 레벨의 제 2 조정 전압을 생성한다. 내부 전압 검출부는 상기 제 1 조정 전압 및 상기 제 2 조정 전압으로 타겟 레벨을 생성하고, 상기 타겟 레벨과 내부 전압을 비교하여 그 결과에 따라 내부 전압 생성 인에이블 신호를 생성한다. 내부 전압 생성부는 상기 내부 전압 생성 인에이블 신호에 응답하여 상기 내부 전압을 생성하고 생성된 상기 내부 전압을 상기 내부 전압 검출부로 피드백한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 타겟 레벨을 생성하는 단계를 최소화하는 음의 내부 전압 생성 회로 및 내부 전압 가변 테스트시 패드를 통해 인가되는 기준 전압이 포화되는 것을 방지하는 내부 전압 생성 회로를 제공함에 있음</p>		<p>본 기술은 타겟 레벨 생성 단계를 최소화함으로써 신호의 오프셋을 줄일 수 있고 반도체 장치에서 내부 전압 생성 회로가 차지하는 면적 및 소모 전류를 최소화 할 수 있으며, 내부 전압 가변 테스트 시 패드를 통해 외부에서 인가되는 기준 전압이 포화되는 것을 방지하여 원활한 가변 테스트를 수행하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[내부 전압 생성 회로]


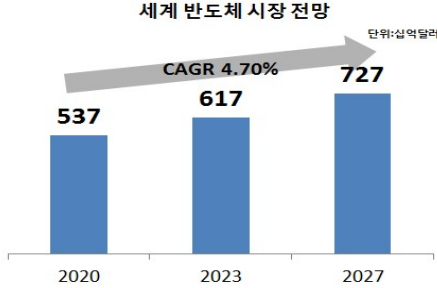
대표 청구항

반도체 장치의 정상 동작 모드 시 제 1 기준 전압을 출력하는 제 1 기준 전압 발생부; 상기 제 1 기준 전압을 수신하여 상기 제 1 기준 전압과 같은 레벨의 제 1 조정 전압과 상기 제 1 기준 전압보다 높은 레벨의 제 2 조정 전압을 생성하는 기준 전압 조정 버퍼부; 상기 제 1 조정 전압 및 상기 제 2 조정 전압으로 타겟 레벨을 생성하고, 상기 타겟 레벨과 내부 전압을 비교하여 그 결과에 따라 내부 전압 생성 인에이블 신호를 생성하는 내부 전압 검출부; 및 상기 내부 전압 생성 인에이블 신호에 응답하여 상기 내부 전압을 생성하고 생성된 상기 내부 전압을 상기 내부 전압 검출부로 피드백하는 내부 전압 생성부를 포함하는 반도체 장치의 내부 전압 생성 회로.

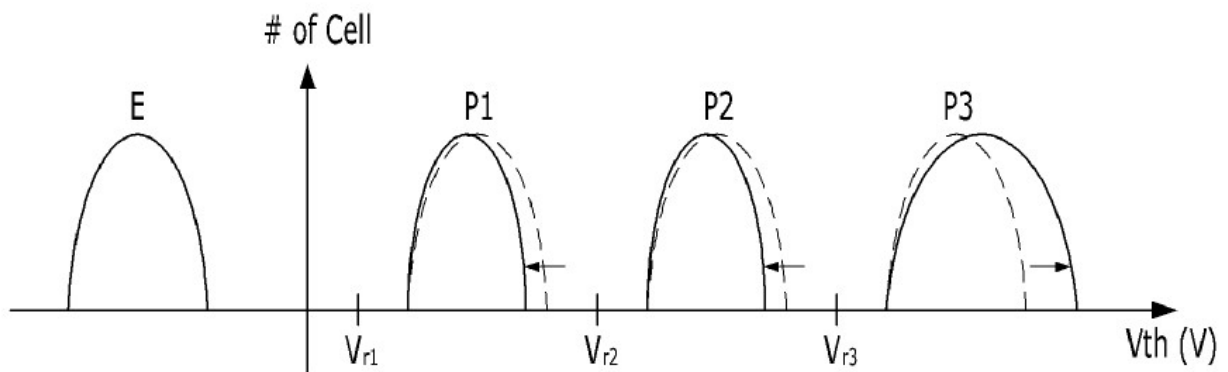
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.84	비휘발성 메모리 장치의 프로그램 방법		
현재 권리자	SK하이닉스	발명자	오해순
출원번호 (출원일)	KR10-2011-0106590 (2011-10-18)	등록번호 (등록일)	KR10-1818046 (2018-01-08)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-10-18
기술 개요			
<p>비휘발성 메모리 장치의 프로그램 방법이 제공된다. 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 프로그램 방법은, 복수의 메모리 셀을 프로그램하기 위하여 프로그램 펄스를 인가하는 비휘발성 메모리 장치의 프로그램 방법에 있어서, 상기 프로그램 펄스의 펄스 전압을 스텝 전압만큼 증가시키면서 프로그램-검증을 반복 수행하되, 상기 프로그램 펄스는 펄스 전압의 크기에 따라 둘 이상의 구간으로 구분되고, 상기 둘 이상의 구간 중 어느 하나의 구간의 스텝 전압과, 상기 둘 이상의 구간 중 다른 하나의 구간의 스텝 전압은 서로 상이하다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 프로그램 시간의 증가를 최소화할 수 있는 비휘발성 메모리 장치의 프로그램 방법을 제공함에 있음		본 기술은 비휘발성 메모리 장치의 신뢰성을 확보할 수 있으면서 동시에 프로그램 시간의 증가를 최소화할 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[프로그램된 메모리 셀의 문턱 전압 분포를 설명하기 위한 도면]


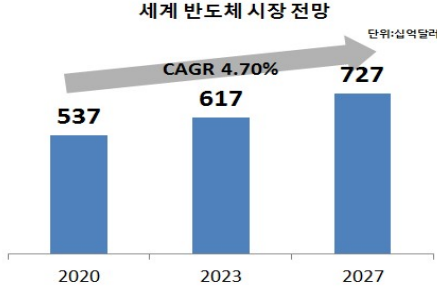
대표 청구항

복수의 메모리 셀을 프로그램하기 위하여 프로그램 펄스를 인가하는 비휘발성 메모리 장치의 프로그램 방법에 있어서, 상기 프로그램 펄스의 펄스 전압을 스텝 전압만큼 증가시키면서 프로그램-검증을 반복 수행하되, 상기 프로그램 펄스는 펄스 전압의 크기에 따라 둘 이상의 구간으로 구분되고, 상기 둘 이상의 구간 중 어느 하나의 구간의 스텝 전압과, 상기 둘 이상의 구간 중 다른 하나의 구간의 스텝 전압은 서로 상이하고, 상기 둘 이상의 구간은, 상기 펄스 전압의 크기가 증가하는 방향의 제1 내지 제N (여기서, N은 2 이상의 자연수) 구간을 포함하고, 상기 제N 구간의 스텝 전압의 크기는, 나머지 구간 각각의 스텝 전압의 크기보다 크고, 상기 제N 구간의 펄스의 개수는, 나머지 구간 각각의 펄스의 개수보다 작은 비휘발성 메모리 장치의 프로그램 방법.

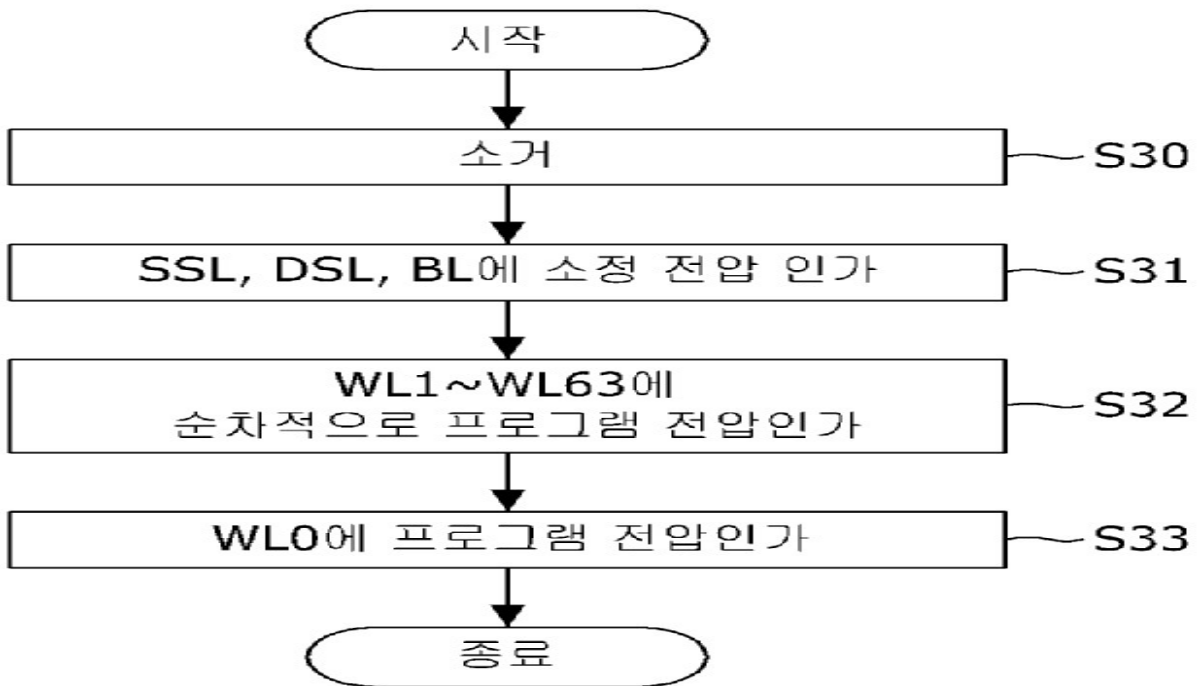
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.85	비휘발성 메모리 장치의 프로그램 방법		
현재 권리자	SK하이닉스	발명자	김세훈
출원번호 (출원일)	KR10-2011-0106592 (2011-10-18)	등록번호 (등록일)	KR10-1825577 (2018-01-30)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-10-18
기술 개요			
<p>비휘발성 메모리 장치의 프로그램 방법이 제공된다. 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 프로그램 방법은, 제1 선택 트랜지스터, 복수의 메모리 셀 및 제2 선택 트랜지스터가 직렬 연결된 스트링을 포함하는 비휘발성 메모리 장치의 프로그램 방법으로서, 상기 제1 선택 트랜지스터와 가장 인접한 메모리 셀을 제외하고, 나머지 메모리 셀의 게이트에 프로그램 전압을 인가하는 단계; 및 상기 제1 선택 트랜지스터와 가장 인접한 메모리 셀의 게이트에 프로그램 전압을 인가하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 금지 메모리 셀들의 의도하지 않은 프로그램 현상을 방지하는 비휘발성 메모리 장치의 프로그램 방법을 제공함에 있음</p>		<p>본 기술은 비휘발성 메모리 장치의 프로그램 디스터브 현상을 최소화할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[비휘발성 메모리 장치의 프로그램 방법]


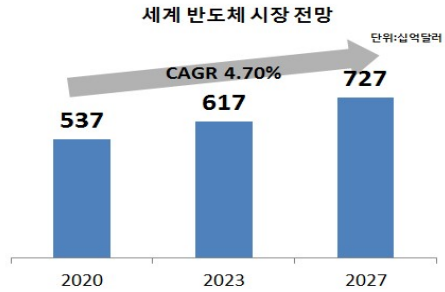
대표 청구항

제1 선택 트랜지스터, 복수의 메모리 셀 및 제2 선택 트랜지스터가 직렬 연결된 스트링을 포함하는 비휘발성 메모리 장치의 프로그램 방법으로서, 상기 제1 선택 트랜지스터와 가장 인접한 메모리 셀을 제외하고, 나머지 메모리 셀의 게이트에 프로그램 전압을 인가하는 단계; 및 상기 제1 선택 트랜지스터와 가장 인접한 메모리 셀의 게이트에 프로그램 전압을 인가하는 단계를 포함하는 비휘발성 메모리 장치의 프로그램 방법

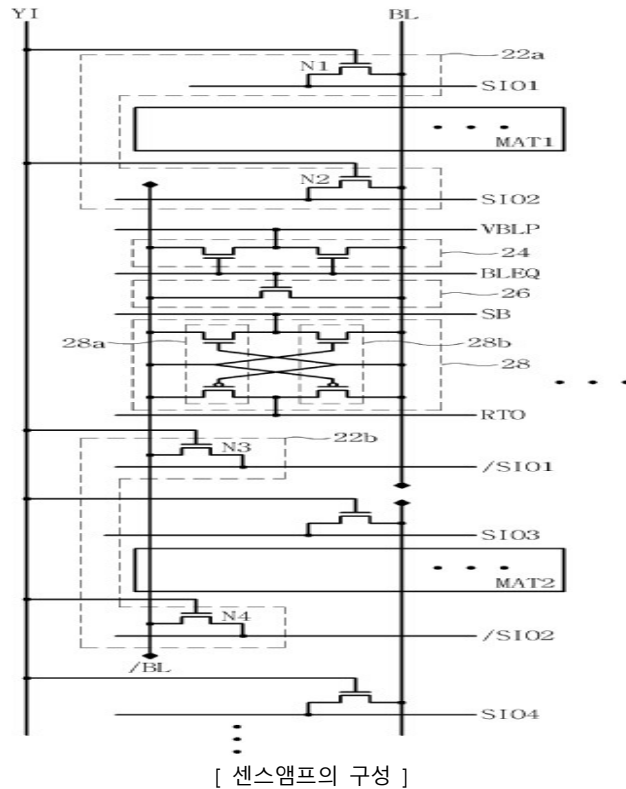
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	B+		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.86	반도체 메모리 장치의 센스앰프		
현재 권리자	SK하이닉스	발명자	정우영
출원번호 (출원일)	KR10-2011-0125339 (2011-11-28)	등록번호 (등록일)	KR10-1839383 (2018-03-12)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-11-28
기술 개요			
<p>본 발명은 반도체 메모리 장치의 센스앰프에 관한 것으로, 비트라인 길이 증가에 따른 RC 딜레이 문제를 해결함으로써 비트라인의 길이가 증가하더라도 셀 데이터에 대한 리드/라이트 능력이 저하되는 것을 방지한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 비트라인의 길이가 증가하더라도 셀 데이터 리드/라이트 동작 특성이 저하되는 것을 방지할 수 있는 반도체 메모리 장치의 센스앰프를 제공함에 있음</p>		<p>본 기술은 센스앰프의 구조를 개선하여 비트라인 길이 증가에 따른 RC 딜레이 문제를 해결함으로써 셀 데이터에 대한 리드/라이트 동작 특성을 향상시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




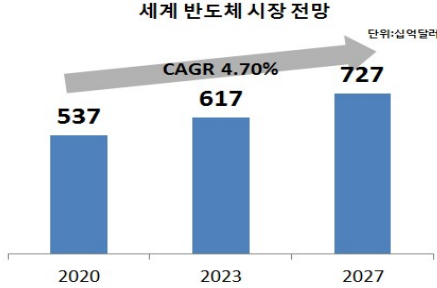
대표 청구항

컬럼 제어신호에 따라, 셀 매트에 연결된 동일한 비트라인 및 비트바라인에 대해 해당 셀 매트의 양측에서 상기 비트라인 및 상기 비트바라인을 각각 데이터 라인과 선택적으로 연결시켜주는 데이터 전달부; 프리차지신호에 따라 상기 비트라인과 상기 비트바라인을 프리차지시키는 프리차지부; 상기 프리차지신호에 따라 상기 비트라인과 상기 비트바라인의 전압레벨을 같게 해주는 등가부; 및 전원공급신호에 의해 따라 상기 비트라인과 상기 비트바라인의 신호 차이를 센싱 및 증폭하는 래치부를 포함하는 반도체 메모리 장치의 센스앰프.

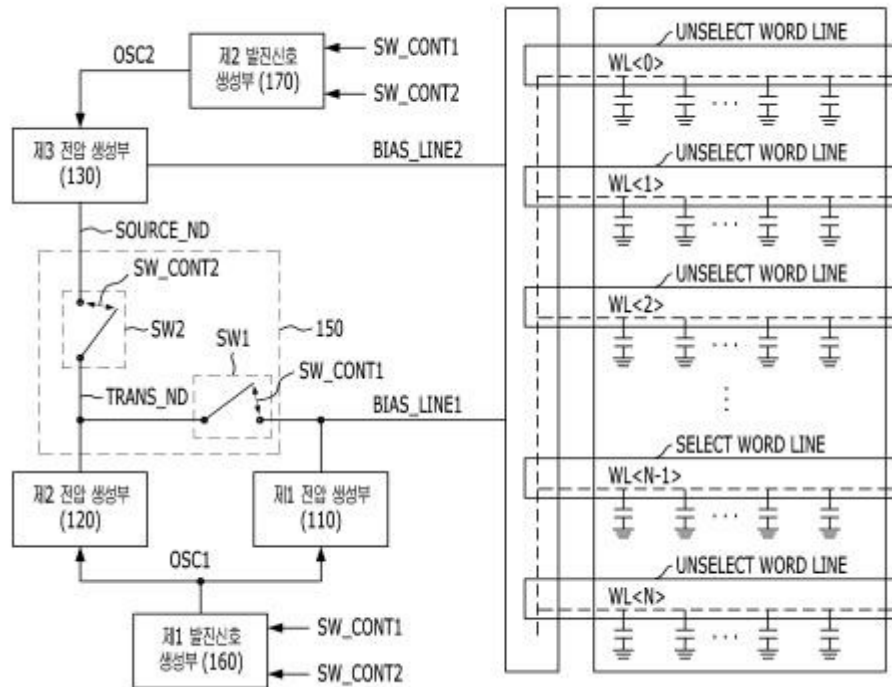
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.87	비휘발성 메모리 장치		
현재 권리자	SK하이닉스	발명자	조현철
출원번호 (출원일)	KR10-2011-0130958 (2011-12-08)	등록번호 (등록일)	KR10-1867509 (2018-06-07)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-12-08
기술 개요			
<p>전류 소모를 감소시키고, 전압 변화에 안정적이며, 차지하는 면적을 최소화할 수 있는 비휘발성 메모리 장치에 관한 것으로서, 제1 동작구간에서 제1 출력노드를 제1 전압레벨까지 상승시키고, 제2 동작구간에서 제1 출력노드를 제1 전압레벨로 유지시키는 제1 전압 생성부와, 제1 동작구간에서 전달노드를 제1 전압레벨까지 상승시키고, 제2 동작구간에서 전달노드를 제1 전압레벨로 유지시키는 제2 전압 생성부와, 제2 동작구간에서 소스노드의 전압레벨을 기준 소스 전압레벨로서 사용하여 제2 출력노드를 제2 전압레벨 - 제1 전압레벨보다 높음 - 까지 상승시키는 제3 전압 생성부, 및 제1 동작구간에서 전달노드와 제1 출력노드는 쇼트(short)시키고 전달노드와 소스노드는 오픈(open)시키며, 제2 동작구간에서 전달노드와 제1 출력노드는 오픈(open)시키고 전달노드와 소스노드는 쇼트(short)시키는 스위칭부를 구비하는 비휘발성 메모리 장치를 제공한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 펌프 회로가 활성화되고 전류 소모가 증가하는 것을 최소화하는 비휘발성 메모리 장치를 제공함에 있음</p>		<p>본 기술은 전류 소모를 제어하여 소모되는 전류의 양을 최소화할 수 있고 필요에 의해 나누어져 있는 다양한 펌프 회로를 동작에 따라 나누어 배치함으로써 차지하는 면적을 최소화할 수 있으며 다양한 펌프 회로를 동작구간에 따라 독립적으로 제어함으로써 전압 변동과 상관없이 안정적인 펌핑 동작이 이루어질 수 있도록 하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[비휘발성 메모리 장치의 구성]


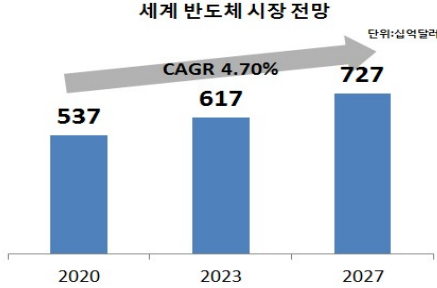
대표 청구항

제1 동작구간에서 제1 출력노드를 제1 전압레벨까지 상승시키고, 제2 동작구간에서 상기 제1 출력노드를 상기 제1 전압레벨로 유지시키는 제1 전압 생성부;상기 제1 동작구간에서 전달노드를 상기 제1 전압레벨까지 상승시키고, 상기 제2 동작구간에서 상기 전달노드를 상기 제1 전압레벨로 유지시키는 제2 전압 생성부;상기 제2 동작구간에서 소스노드의 전압레벨을 기준 소스 전압레벨로서 사용하여 제2 출력노드를 제2 전압레벨 - 상기 제1 전압레벨보다 높음 - 까지 상승시키는 제3 전압 생성부; 및상기 제1 동작구간에서 상기 전달노드와 상기 제1 출력노드는 쇼트(short)시키고 상기 전달노드와 상기 소스노드는 오픈(open)시키며, 상기 제2 동작구간에서 상기 전달노드와 상기 제1 출력노드는 오픈(open)시키고 상기 전달노드와 상기 소스노드는 쇼트(short)시키는 스위칭부를 구비하는 비휘발성 메모리 장치.

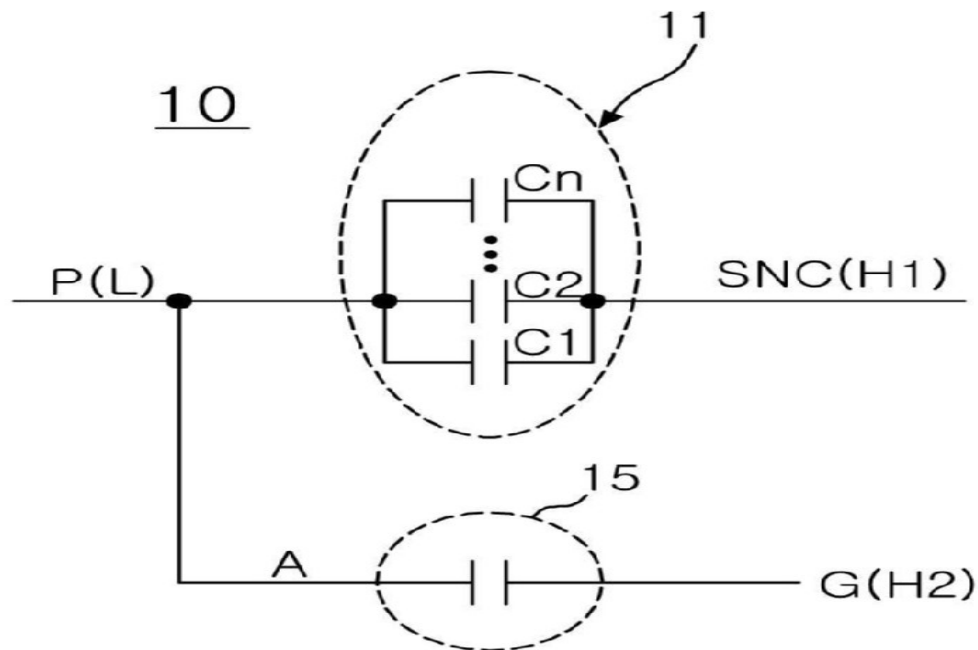
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.88	리저브아 캐패시터를 갖는 반도체 집적 회로 장치		
현재 권리자	SK하이닉스	발명자	김중수
출원번호 (출원일)	KR10-2011-0138126 (2011-12-20)	등록번호 (등록일)	KR10-1863762 (2018-05-28)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2031-12-20
기술 개요			
<p>안정적인 전원을 제공할 수 있는 대용량 리저브아 캐패시터를 구비한 반도체 집적 회로 장치를 제공하는 것이다. 반도체 집적 회로 장치는 셀 영역 및 주변 회로 영역이 한정된 반도체 기판, 상기 주변 회로 영역에 해당하는 반도체 기판상에 형성되는 모스 캐패시터, 및 상기 모스 캐패시터와 오버랩되도록 상기 주변 회로 영역 상에 형성되는 더미 캐패시터 그룹을 포함하며, 상기 모스 캐패시터의 일전극 및 상기 더미 캐패시터 그룹의 일전극이 상호 연결되고, 상기 모스 캐패시터의 타전극 및 상기 더미 캐패시터 그룹의 타전극은 각각 서로 다른 전압원에 연결된다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 안정적인 전원을 제공할 수 있는 대용량 리저브아 캐패시터를 구비한 반도체 집적 회로 장치를 제공함에 있음</p>		<p>본 기술은 주변 회로 영역에 셀 어레이 영역에서 형성되는 셀 캐패시터를 형태로 더미 캐패시터를 제작하여 이를 리저브아 캐패시터로서 이용할 수 있어 셀 어레이 용량에 해당하는 μF 수준의 용량을 확보할 수 있으며, 이에 따라 전원 제공시 노이즈 및 파워 메쉬 특성을 개선하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[캐패시터를 포함하는 반도체 집적 회로 장치]


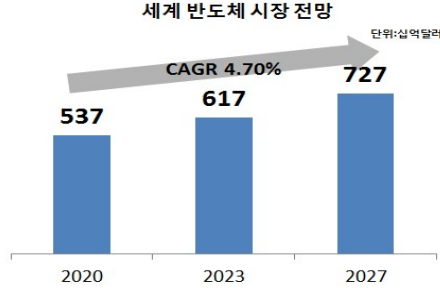
대표 청구항

셀 영역 및 주변 회로 영역이 한정된 반도체 기판;상기 주변 회로 영역에 해당하는 반도체 기판상에 형성되며, 게이트 및 액티브 영역을 제 1 전극 및 제 2 전극으로서 포함하는 모스 캐패시터; 및상기 모스 캐패시터 상부에 오버랩되도록 배치되며, 더미 스토리지 노드 콘택부 및 더미 플레이트 전극을 제 3 전극 및 제 4 전극으로서 포함하는 더미 캐패시터 그룹을 포함하며, 상기 모스 캐패시터의 상기 제 1 전극 및 제 2 전극중 선택된 하나와 상기 더미 캐패시터 그룹의 상기 제 3 전극 및 제 4 전극 중 선택된 하나는 제 1 전압을 인가받도록 공통으로 연결되고, 상기 모스 캐패시터의 선택되지 않은 상기 제 1 전극 및 제 2 전극 중 하나는 제 2 전압을 인가받고, 상기 더미 캐패시터 그룹의 선택되지 않은 상기 제 3 전극 및 제 4 전극 중 하나는 제 3 전압을 인가받도록 구성되고, 상기 제 1 전압은 로우 레벨을 갖고, 상기 제 2 전압은 하이 레벨의 전압을 갖고, 상기 제 3 전압은 상기 제 2 전압과 상이한 하이 레벨의 전압을 갖는 반도체 집적 회로 장치.

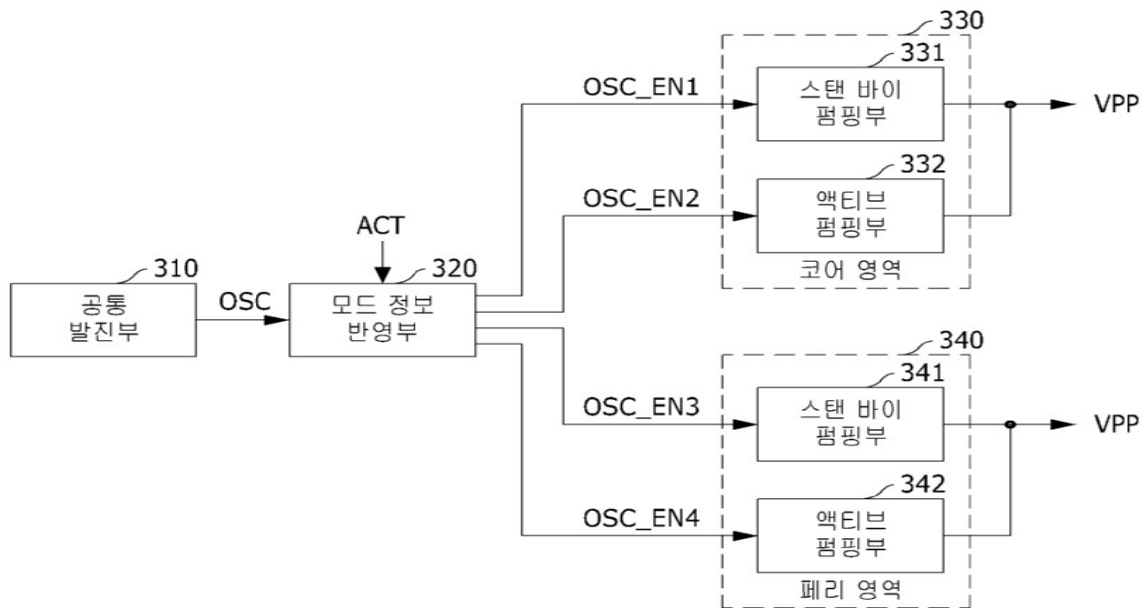
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	AA
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.89	펌핑 전압 생성 회로와 그를 이용하는 반도체 장치		
현재 권리자	SK하이닉스	발명자	임희준
출원번호 (출원일)	KR10-2011-0139430 (2011-12-21)	등록번호 (등록일)	KR10-1792737 (2017-10-26)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-12-21
기술 개요			
<p>펌핑 전압을 생성하는 펌핑 전압 생성 회로에 관한 것으로, 발진 신호에 활성화 정보를 반영하여 다수의 활성화 발진 신호 중 적어도 하나의 활성화 발진 신호를 출력하기 위한 정보 반영부, 및 상기 다수의 활성화 발진 신호 각각에 응답하여 펌핑 동작을 통해 펌핑 전압을 생성하기 위한 다수의 펌핑부를 구비하는 펌핑 전압 생성 회로가 제공된다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 발진 신호에 활성화 정보를 반영하고 이를 이용하여 펌핑 전압을 생성하는 펌핑 전압 생성 회로를 제공함에 있음</p>		<p>본 기술은 펌핑 전압 생성 회로의 면적 및 소모 전력을 줄여줌으로써 이 펌핑 전압 생성 회로를 사용하는 회로로 하여금 소형화, 저전력화로 발전하게 만드는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[제1 실시예에 따른 펌핑 전압 생성 회로]


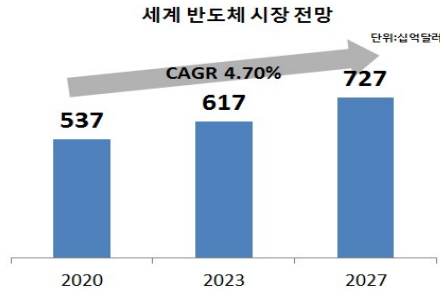
대표 청구항

발진 신호에 활성화 정보를 반영하여 다수의 활성화 발진 신호 중 적어도 하나의 활성화 발진 신호를 출력하기 위한 정보 반영부; 및 상기 다수의 활성화 발진 신호 각각에 응답하여 펌핑 동작을 통해 펌핑 전압을 생성하기 위한 다수의 펌핑부를 구비하고, 상기 다수의 활성화 발진 신호는 상기 활성화 정보에 응답하여 활성화되는 것을 특징으로 하는 펌핑 전압 생성 회로.

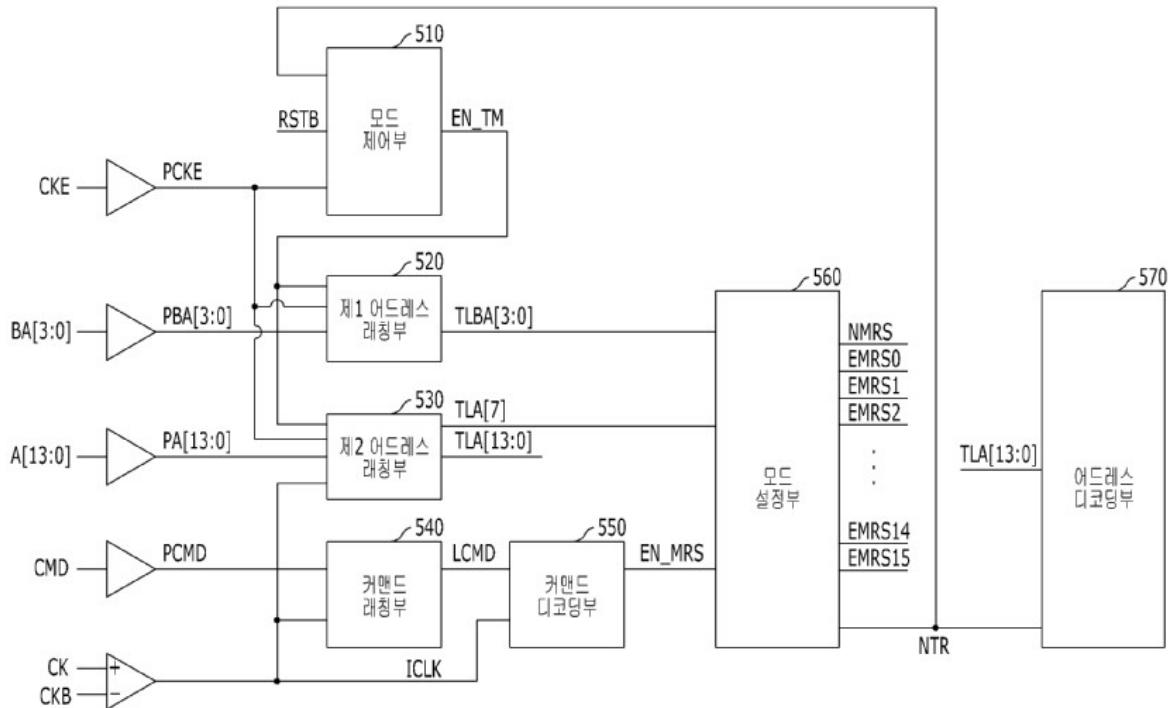
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.90	반도체 메모리 장치 및 그 동작 방법		
현재 권리자	SK하이닉스	발명자	송청기
출원번호 (출원일)	KR10-2011-0139492 (2011-12-21)	등록번호 (등록일)	KR10-1907072 (2018-10-04)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-12-21
기술 개요			
<p>테스트 동작 모드에서 사용하는 핀의 개수를 줄이는 반도체 메모리 장치에 관한 것으로, 노말 동작 모드시 제1 및 제2 어드레스 입력단으로부터 입력되는 제1 및 제2 어드레스에 응답하여 액세스 동작을 수행하는 단계, 상기 제1 어드레스에 대응하는 출력단을 리셋시키고, 리셋된 상기 출력단에 응답하여 테스트 동작 모드에 진입하는 단계, 상기 테스트 동작 모드시 상기 제2 어드레스 입력단으로부터 순차적으로 입력되는 상기 제1 및 제2 어드레스를 래칭하는 단계, 및 상기 제1 및 제2 어드레스에 응답하여 예정된 테스트 동작을 수행하는 단계를 포함하는 반도체 메모리 장치의 동작 방법이 제공된다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 테스트 동작 모드시 사용되는 핀의 개수를 줄여줄 수 있는 반도체 메모리 장치를 제공함에 있음		본 기술은 테스트 시간 단축 및 그에 따른 비용 절감으로 인하여 반도체 메모리 장치의 경쟁력을 높여 줄 수 있는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 메모리 장치의 일부 구성을 설명하기 위한 블록도]


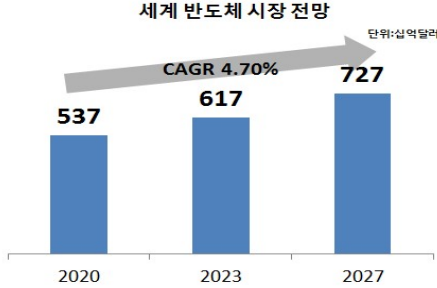
대표 청구항

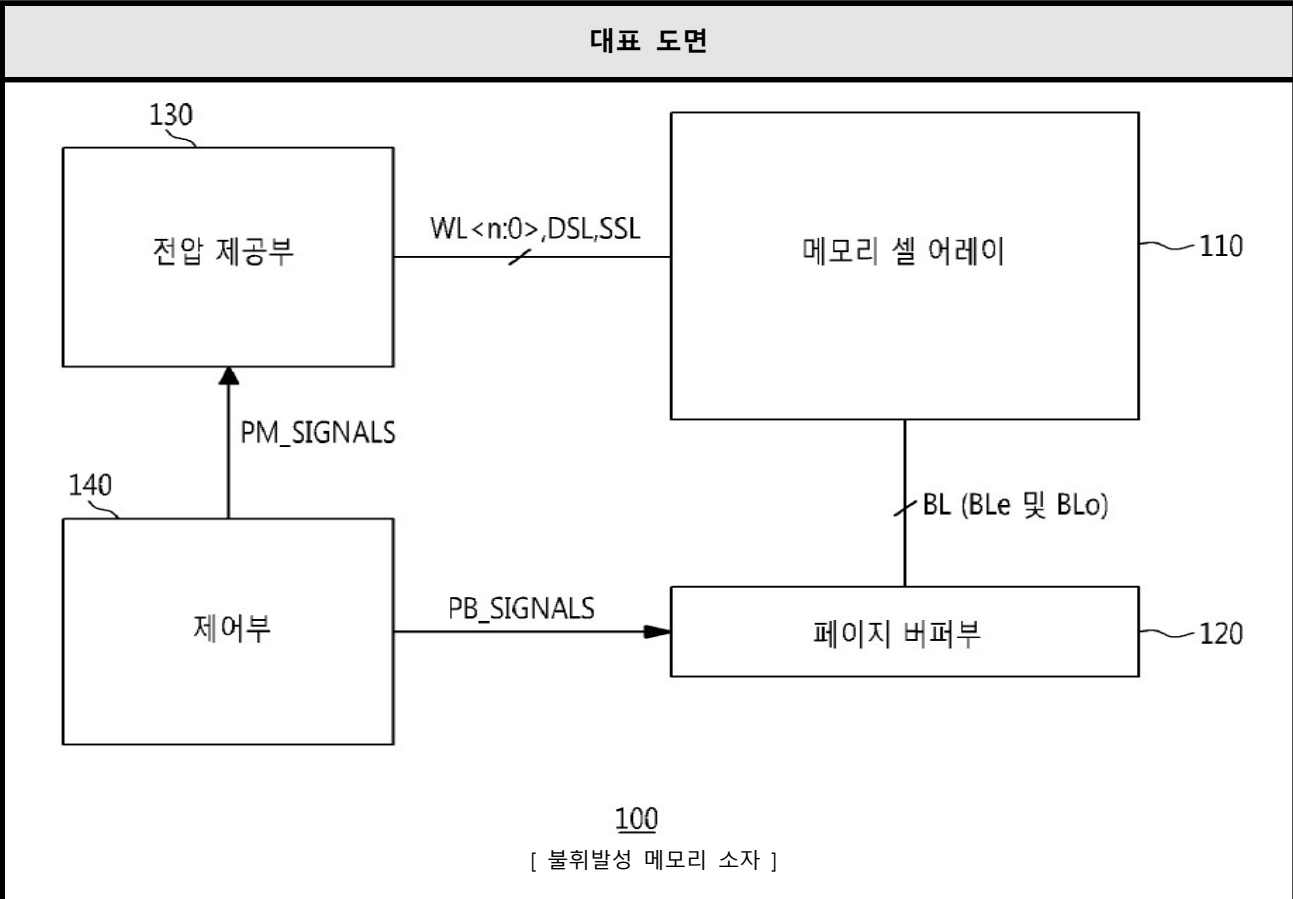
노말 동작 모드시 예정된 개수의 뱅크 어드레스를 입력받아 래칭하고, 테스트 동작 모드시 예정된 개수보다 적은 개수의 어드레스 핀으로 상기 뱅크 어드레스를 순차적으로 입력받아 래칭하기 위한 제1 어드레스 래칭부; 상기 노말 동작 모드시 예정된 개수의 셀 어드레스를 입력받아 래칭하고, 상기 테스트 동작 모드시 예정된 개수보다 적은 개수의 어드레스 핀으로 상기 셀 어드레스를 입력받아 래칭하기 위한 제2 어드레스 래칭부; 상기 테스트 동작 모드시 상기 제1 어드레스 래칭부의 출력 신호를 리셋시키고, 상기 출력 신호에 응답하여 상기 제1 및 제2 어드레스 래칭부의 상기 노말 동작 모드와 상기 테스트 동작 모드를 제어하기 위한 모드 제어부; 및 상기 노말 동작 모드와 상기 테스트 동작 모드시 상기 제1 및 제2 어드레스 래칭부의 출력 신호에 응답하여 예정된 동작을 수행하는 동작 수행부를 구비하는 반도체 메모리 장치.

특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.91	불휘발성 메모리 장치 및 이의 소거 방법		
현재 권리자	SK하이닉스	발명자	박은영
출원번호 (출원일)	KR10-2011-0139982 (2011-12-22)	등록번호 (등록일)	KR10-1881595 (2018-07-18)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2031-12-22
기술 개요			
<p>본 발명은 불휘발성 메모리 소자 및 이의 소거 방법에 관한 것으로, 이븐 및 오드 메모리 셀들을 포함하는 메모리 셀 블록에 소거 전압을 인가하여 상기 이븐 및 오드 메모리 셀들을 소거시키는 단계와, 상기 이븐 메모리 셀들이 제1 전압보다 낮은 문턱 전압을 갖도록 제1 소프트 프로그램 동작을 수행하는 단계, 및 상기 오드 메모리 셀들이 상기 제1 전압보다 높은 제2 전압보다 낮은 문턱 전압을 갖도록 제2 소프트 프로그램 동작을 수행하는 단계를 포함함으로써, 이븐 및 오드 메모리 셀들의 문턱 전압 분포가 개선된다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 소거 동작시 소거 디스터브 현상을 개선할 수 있는 불휘발성 메모리 소자 및 이의 소거 방법을 제공함에 있음</p>		<p>본 기술은 소거 동작 후 이븐 메모리 셀들의 소프트 프로그램 동작 시 이븐 메모리 셀들이 오드 메모리 셀들에 비해 낮은 문턱 전압을 갖도록 한 후 오드 메모리 셀들의 소프트 프로그램 동작 시 이븐 메모리 셀들의 문턱 전압이 상승하도록 하여 메모리 셀들의 문턱 전압 분포를 개선하고, 메모리 셀 그룹별로 소프트 프로그램 동작의 검증 전압을 다르게 설정함으로써 소거 디스터브 현상을 개선하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	


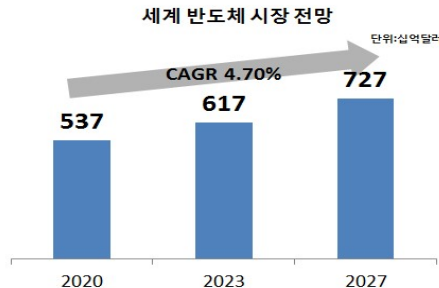


대표 청구항

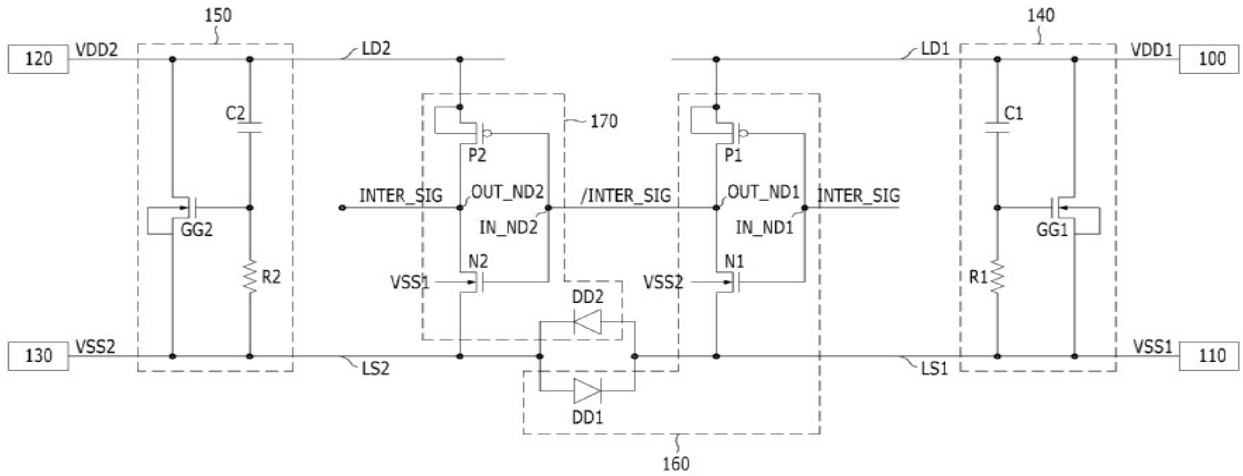
이본 비트라인에 연결된 이본 메모리 셀들 및 오드 비트라인에 연결된 오드 메모리 셀들을 포함하는 메모리 셀 블록;상기 이본 비트라인 및 오드 비트라인에 연결되고, 상기 이본 메모리 셀들 및 오드 메모리 셀들을 소프트웨어 프로그램 검증하기 위한 페이지 버퍼;상기 이본 메모리 셀들 및 오드 메모리 셀들이 공통으로 연결된 다수의 워드라인들에 검증 전압들을 선택적으로 인가하기 위한 전압 제공부; 및상기 메모리 셀 블록을 소거시킨 후 실시하는 소프트웨어 프로그램 동작 시, 상기 이본 메모리 셀들의 소프트웨어 프로그램 동작과 상기 오드 메모리 셀의 소프트웨어 프로그램 동작을 순차적으로 진행하며, 상기 이본 메모리 셀들에 대한 상기 소프트웨어 프로그램 동작은 상기 이본 메모리 셀들이 타겟 문턱 전압 보다 낮은 문턱 전압 값으로 프로그램되도록 상기 전압 제공부 및 상기 페이지 버퍼를 제어하기 위한 제어부를 포함하는 불휘발성 메모리 소자.

특허평가등급					
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.92	정전기 방전 회로		
현재 권리자	SK하이닉스	발명자	임동주
출원번호 (출원일)	KR10-2011-0140282 (2011-12-22)	등록번호 (등록일)	KR10-1867510 (2018-06-07)
특허기술분류 (IPC)	H02	존속기간 만료예정일	2031-12-22
기술 개요			
<p>정전기 등에 의한 정전 방전 현상으로 반도체 장치에 불량 발생을 방지하기 위해 사용되는 정전기 방전 회로에 관한 것으로서, 제1 전원패드를 통해 인가되는 제1 전원전압이 전송되는 제1 전원전압라인과, 제1 접지패드를 통해 인가되는 제1 접지전압이 전송되는 제1 접지전압라인과, 제2 전원패드를 통해 인가되는 제2 전원전압 - 제1 전원전압의 레벨과는 다른 전압레벨을 가짐 - 이 전송되는 제2 전원전압라인과, 제2 접지패드를 통해 인가되는 제2 접지전압이 전송되는 제2 접지전압라인과, 제1 전원전압라인과 제1 접지전압라인 사이에 구성되고, 제2 전원전압라인과 제2 접지전압라인 사이에 구성되어 정전기의 방전경로를 제공하는 정전기 방전부와, 제1 전원전압라인과 제1 접지전압라인 사이에 구성되어 내부신호의 위상을 반전하여 반전내부신호로서 출력하되, 제2 접지전압라인에서 제1 접지전압라인 방향으로 제1 다이오드가 형성되도록 구성되는 제1 인버터와, 및 제2 전원전압라인과 제2 접지전압라인 사이에 구성되어 반전내부신호의 위상을 반전하여 내부신호로서 출력하되, 제1 접지전압라인에서 제2 접지전압라인 방향으로 제2 다이오드가 형성되도록 구성되는 제2 인버터를 구비하는 정전기 방전 회로를 제공한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 다수의 전원전압/접지전압을 외부에서 인가받아 동작하는 반도체 장치의 경우에도 칩에서 차지하는 면적을 최소한으로 유지하면서 안정적으로 정전기를 방전할 수 있는 정전기 방전 회로를 제공함에 있음</p>		<p>본 기술은 각각 서로 다른 전원전압과 접지전압을 사용하는 다수의 내부회로 사이에 양방향으로 다이오드가 형성되도록 함으로써 효과적으로 정전기를 방전시키는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p> <p>단위:십억달러</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[정전기 방전 회로]


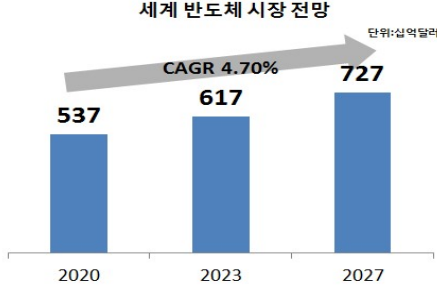
대표 청구항

제1 전원패드를 통해 인가되는 제1 전원전압이 전송되는 제1 전원전압라인;
제1 접지패드를 통해 인가되는 제1 접지전압이 전송되는 제1 접지전압라인;
제2 전원패드를 통해 인가되는 제2 전원전압 - 상기 제1 전원전압의 레벨과는 다른 전압레벨을 가짐 - 이 전송되는 제2 전원전압라인; 제2 접지패드를 통해 인가되는 제2 접지전압이 전송되는 제2 접지전압라인; 상기 제1 전원전압라인과 상기 제1 접지전압라인 사이에 구성되고, 상기 제2 전원전압라인과 상기 제2 접지전압라인 사이에 구성되어 정전기의 방전경로를 제공하는 정전기 방전부; 상기 제1 전원전압라인과 상기 제1 접지전압라인 사이에 구성되어 내부신호의 위상을 반전하여 반전내부신호로서 출력하되, 상기 제2 접지전압라인에서 상기 제1 접지전압라인 방향으로 제1 다이오드가 형성되도록 구성되는 제1 인버터; 및 상기 제2 전원전압라인과 상기 제2 접지전압라인 사이에 구성되어 상기 반전내부신호의 위상을 반전하여 상기 내부신호로서 출력하되, 상기 제1 접지전압라인에서 상기 제2 접지전압라인 방향으로 제2 다이오드가 형성되도록 구성되는 제2 인버터를 구비하며, 상기 제1 인버터는, 게이트에 상기 내부신호가 인가되고, 소스와 기판에는 상기 제1 전원전압이 인가되며, 드레인을 통해 상기 반전내부신호를 출력하는 제1 PMOS 트랜지스터; 및 게이트에 상기 내부신호가 인가되고, 소스에는 상기 제1 접지전압이 인가되며, 드레인을 통해 상기 반전내부신호를 출력하고, 기판에는 상기 제2 접지전압이 인가되는 제1 NMOS 트랜지스터를 구비하고, 상기 제1 PMOS 트랜지스터는, N웰 위에 형성되는 P형 불순물의 제1 및 제2 확산영역과, 상기 제2 확산영역에 인접하여 형성되는 N형 불순물의 제3 확산영역, 및 상기 제1 및 제2 확산영역 사이에 상기 N웰과 접하도록 적층되어 배치된 제1 절연막과 제1 도전체를 포함하고, 상기 제2 및 제3 확산영역에 상기 제1 전원전압이 인가되며, 상기 제1 도전체로 상기 내부신호를 인가받고 상기 제1 확산영역을 통해 상기 반전내부신호를 출력하는 것을 특징으로 하는 정전기 방전 회로.

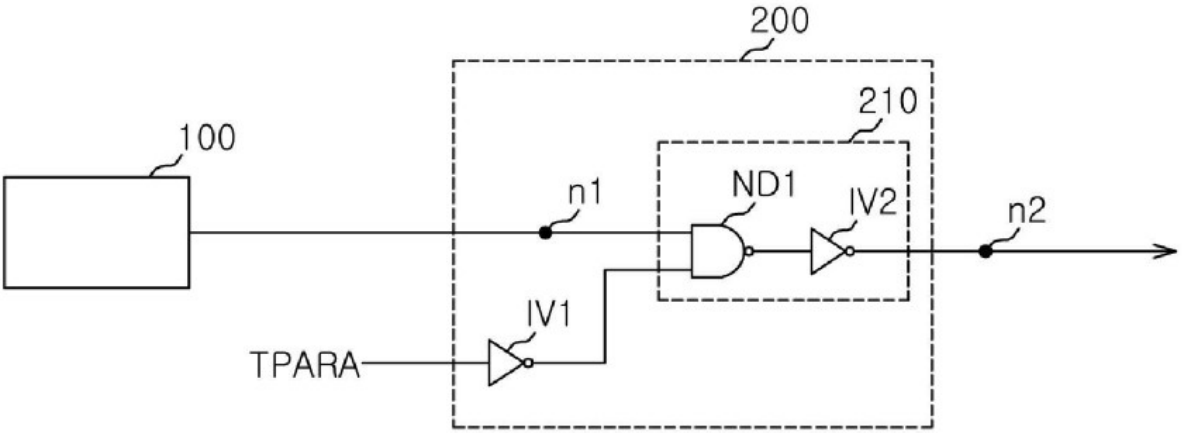
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.93	반도체 장치		
현재 권리자	SK하이닉스	발명자	김중삼
출원번호 (출원일)	KR10-2012-0002935 (2012-01-10)	등록번호 (등록일)	KR10-1856658 (2018-05-03)
특허기술분류 (IPC)	G01	존속기간 만료예정일	2032-01-10
기술 개요			
<p>본 발명의 기술에 따른 반도체 장치는 전기적 신호를 출력하는 외부 장치와 연결되며 상기 전기적 신호를 제 1 노드에 출력하는 외부 신호 입력단자; 및 테스트 신호에 응답하여 접지전압 또는 상기 제 1 노드 출력신호를 제 2 노드에 출력하는 테스트 제어 회로부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 반도체 장치의 테스트 시에 불필요한 외부 신호 입력 단자에 반도체 장치 내부적으로 접지전압을 인가하여 반도체 장치의 테스트 시간을 감소시킬 수 있는 반도체 장치를 제공함에 있음</p>		<p>본 기술은 반도체 장치의 테스트 시에 불필요한 외부 신호 입력 단자에 반도체 장치 내부적으로 접지전압을 인가함으로써 프로브 니들이 내부적으로 접지전압이 인가된 외부 신호 입력 단자에는 연결되지 않아 프로브 카드 내에서 테스트를 수행할 수 있는 반도체 장치의 수가 증가하여 반도체 장치의 테스트 시간을 단축하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 장치]


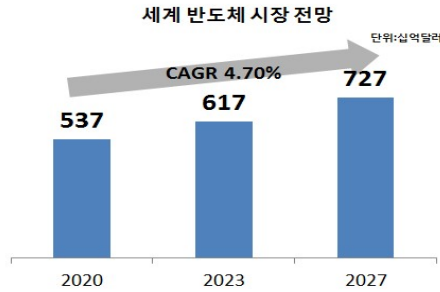
대표 청구항

전기적 신호를 출력하는 외부 장치와 연결되며 상기 전기적 신호를 제 1 노드에 출력하는 외부 신호 입력단자; 및 테스트 신호에 응답하여 접지전압 또는 상기 제 1 노드 출력 신호를 제 2 노드를 통해 반도체 장치 내부로 전달하는 테스트 제어 회로부를 포함하는 반도체 장치.

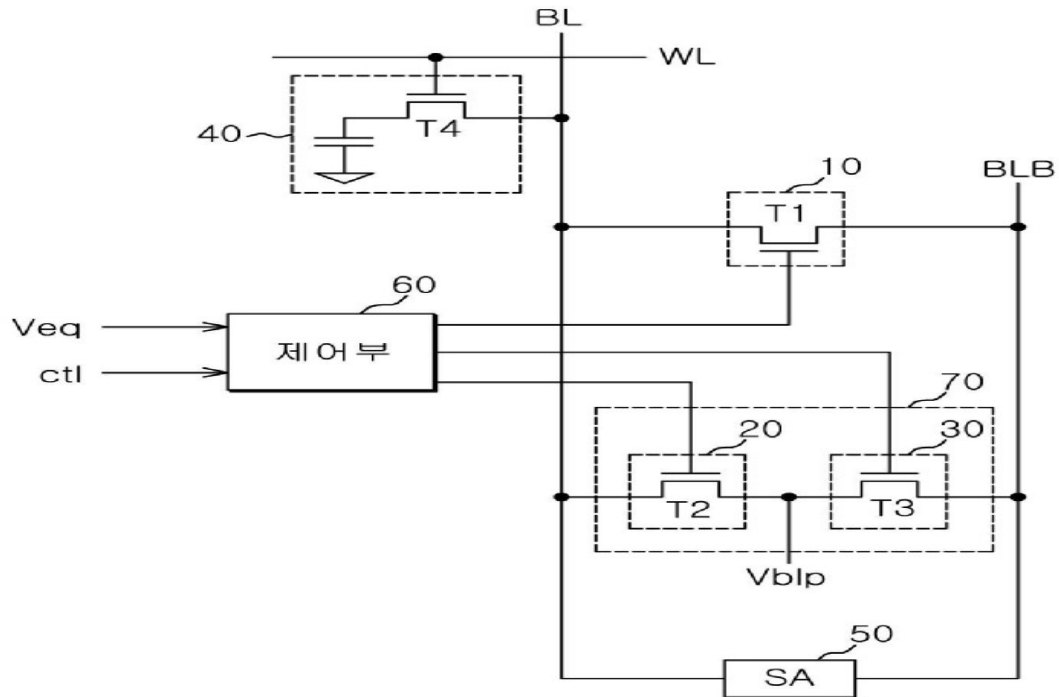
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.94	반도체 장치		
현재 권리자	SK하이닉스	발명자	김형수
출원번호 (출원일)	KR10-2012-0002937 (2012-01-10)	등록번호 (등록일)	KR10-1923714 (2018-11-23)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-01-10
기술 개요			
<p>본 기술의 반도체 장치는 균등화 신호에 응답하여 비트라인과 비트바라인의 전압을 균등화하는 이퀄라이징부; 제 1 프리차지 신호 및 제 2 프리차지 신호에 응답하여 비트라인 및 비트바라인에 전압을 공급하는 프리차지 회로부; 및 상기 균등화 신호를 입력받아 제어신호에 따라 상기 균등화 신호를 상기 제 1 프리차지 신호 및 상기 제 2 프리차지 신호로서 생성하는 제어부를 포함한다하는 반도체 장치.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 비트라인 센스앰프의 프리차지 신호를 입력하는 방법을 변경하여 안정적인 감지능력을 가지는 반도체 장치를 제공함에 있음</p>		<p>본 기술은 비트라인 센스앰프의 프리차지 신호를 입력하는 방법을 변경하여 안정적인 센싱마진을 확보하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 장치의 블록도]


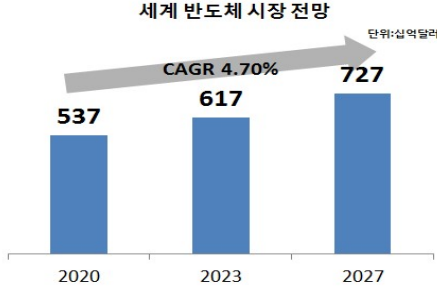
대표 청구항

균등화 신호에 응답하여 비트라인과 비트바라인의 전압을 균등화하는 이퀄라이징부; 제 1 프리차지 신호 및 제 2 프리차지 신호에 응답하여 비트라인 및 비트바라인에 전압을 공급하는 프리차지 회로부; 및 상기 균등화 신호를 입력받아 제어신호에 따라 상기 균등화 신호를 상기 제 1 프리차지 신호 및 상기 제 2 프리차지 신호로서 생성하는 제어부를 포함하며, 상기 제어부는 상기 제어신호가 활성화되면 상기 균등화 신호와 동일한 상기 제 1 프리차지 신호 및 상기 균등화 신호를 소정시간 지연한 상기 제 2 프리차지 신호를 생성하고, 상기 제어신호가 비활성화되면 상기 균등화 신호를 소정시간 지연한 상기 제 1 프리차지 신호 및 상기 균등화 신호와 동일한 상기 제 2 프리차지 신호를 생성하는 것을 특징으로 하는 반도체 장치.

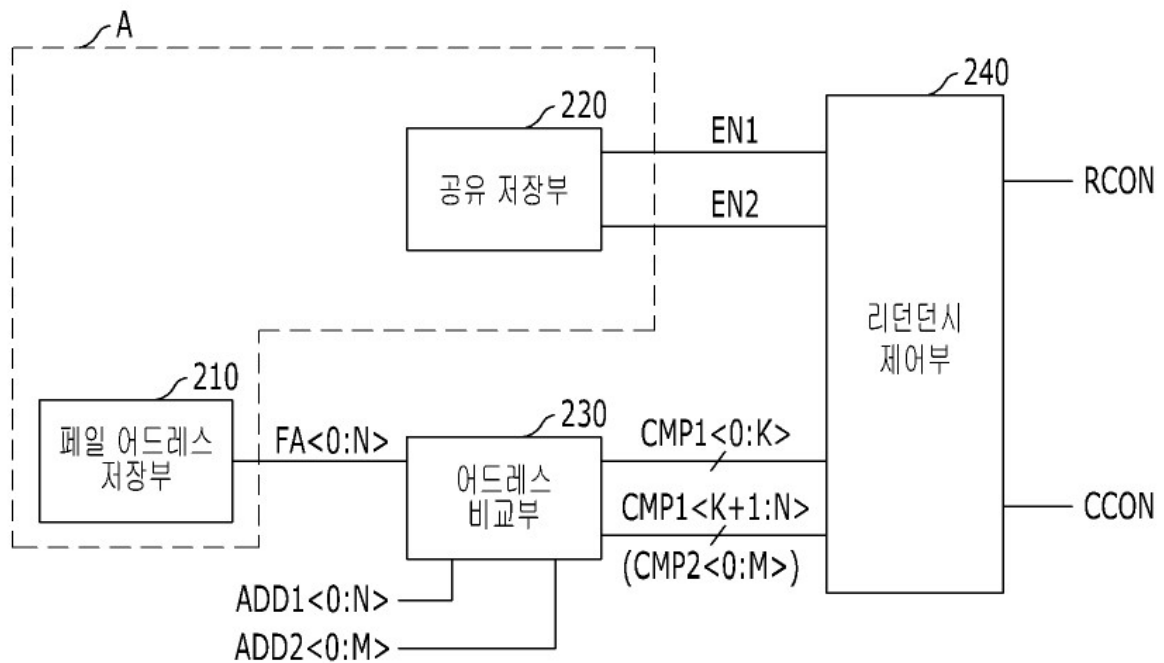
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.95	페일 어드레스 저장회로, 리턴던시 제어회로, 페일 어드레스 저장방법 및 리턴던시 제어방법		
현재 권리자	SK하이닉스	발명자	공용호
출원번호 (출원일)	KR10-2012-0003983 (2012-01-12)	등록번호 (등록일)	KR10-1944936 (2019-01-28)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-01-12
기술 개요			
<p>본 발명에 따른 리턴던시 제어회로는 페일 어드레스를 저장하는 페일 어드레스 저장부; 상기 페일 어드레스 저장부에 저장된 값이 제1어드레스 및 제2어드레스 모두에 대응하는지 여부를 저장하는 공유 저장부; 상기 페일 어드레스 저장부에 저장된 값과 제1입력 어드레스 및 제2입력 어드레스를 각각 비교하는 어드레스 비교부; 및 상기 공유 저장부에 저장된 값 및 상기 어드레스 비교부의 비교결과에 응답하여 리턴던시 동작을 제어하는 리턴던시 제어부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 동일한 개수의 페일 어드레스 저장부를 이용하여 더 많은 페일 어드레스를 저장할 수 있는 페일 어드레스 저장회로를 제공함에 있음</p>		<p>본 기술은 저장된 값이 로우 어드레스 및 컬럼 어드레스 모두에 대응하는지 여부를 저장함으로써 동일한 값을 가지는 로우 어드레스와 컬럼 어드레스를 하나의 페일 어드레스 저장부에 저장할 수 있도록 하여 동일한 개수의 페일 어드레스 저장부를 이용하여 더 많은 페일 어드레스를 저장할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[파일 어드레스 저장회로(A)를 포함하는 리턴던시 제어회로의 구성도]


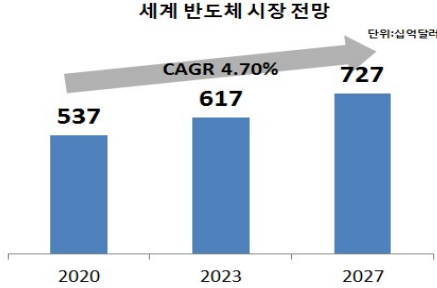
대표 청구항

파일 어드레스 저장부;상기 파일 어드레스 저장부에 파일 어드레스가 저장되어 있는지 여부 및 상기 파일 어드레스가 로우 어드레스 및 컬럼 어드레스 모두에 대응하는지 여부를 나타내는 데이터를 저장하는 공유 저장부;상기 파일 어드레스와 로우 입력 어드레스를 비교하고, 상기 파일 어드레스의 일부와 컬럼 입력 어드레스를 비교하도록 구성된 어드레스 비교부; 및상기 공유 저장부에 저장된 값 및 상기 어드레스 비교부의 비교결과에 응답하여 리턴던시 동작을 제어하되, 상기 파일 어드레스 저장부에 파일 어드레스가 저장된 경우 로우 리턴던시 동작을 제어하고, 상기 파일 어드레스 저장부에 저장된 값이 상기 로우 및 컬럼 어드레스 모두에 해당하면 로우 및 컬럼 리턴던시 동작을 제어하는 리턴던시 제어부를 포함하는 리턴던시 제어회로.

특허평가등급

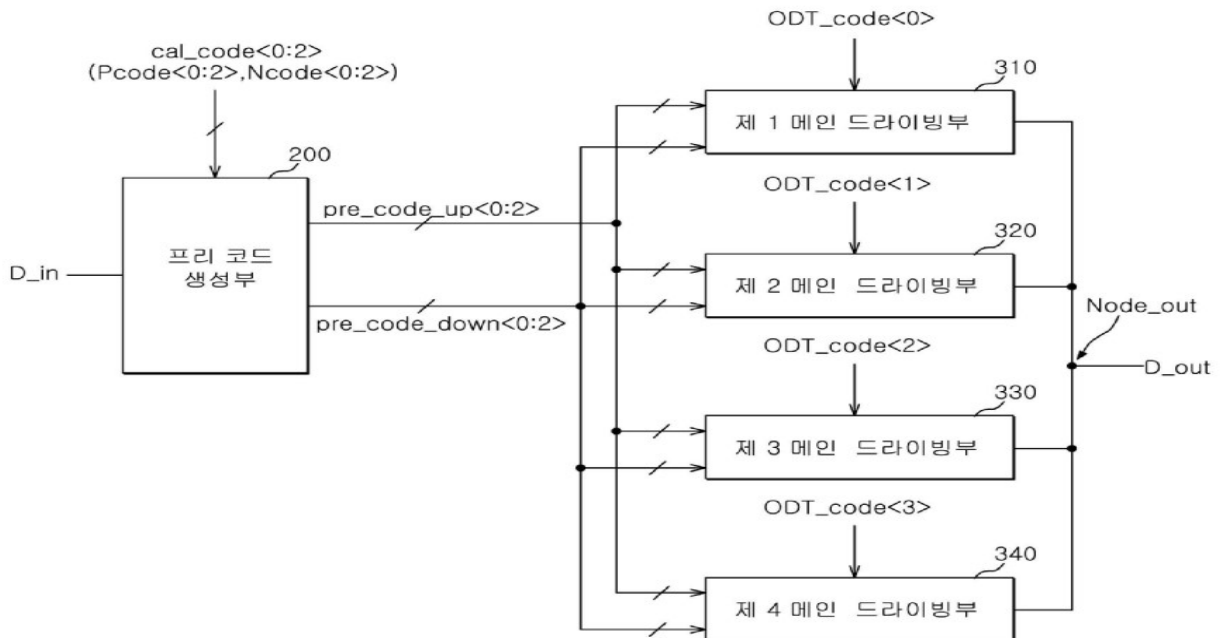
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.96	데이터 출력 회로		
현재 권리자	SK하이닉스	발명자	이지왕
출원번호 (출원일)	KR10-2012-0009984 (2012-01-31)	등록번호 (등록일)	KR10-1893182 (2018-08-23)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-01-31
기술 개요			
<p>입력 데이터의 레벨에 응답하여 캘리브레이션 코드에 따른 프리 폴업 코드 및 프리 폴다운 코드 중 하나를 생성하는 프리 코드 생성부; 및 온 다이 터미네이션 코드에 응답하여 선택적으로 활성화되는 복수개의 메인 드라이빙부를 포함하며, 상기 복수개의 메인 드라이빙부의 각 출력은 출력 노드에 공통 연결되고, 활성화된 메인 드라이빙부는 상기 프리 폴업 코드 또는 상기 프리 폴다운 코드에 응답하여 상기 출력 노드를 구동시키는 것을 특징으로 한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 로딩을 줄인 데이터 출력 회로를 제공함에 있음		본 기술은 데이터 출력 회로의 로딩을 줄여 전류 소모가 적고 고속동작에 적합한 데이터 출력 회로를 제공할 수 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면

100



[른 반도체 메모리 장치의 데이터 출력 회로의 구성도]


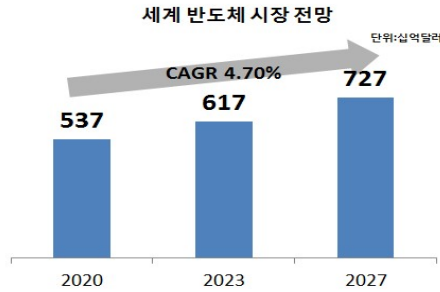
대표 청구항

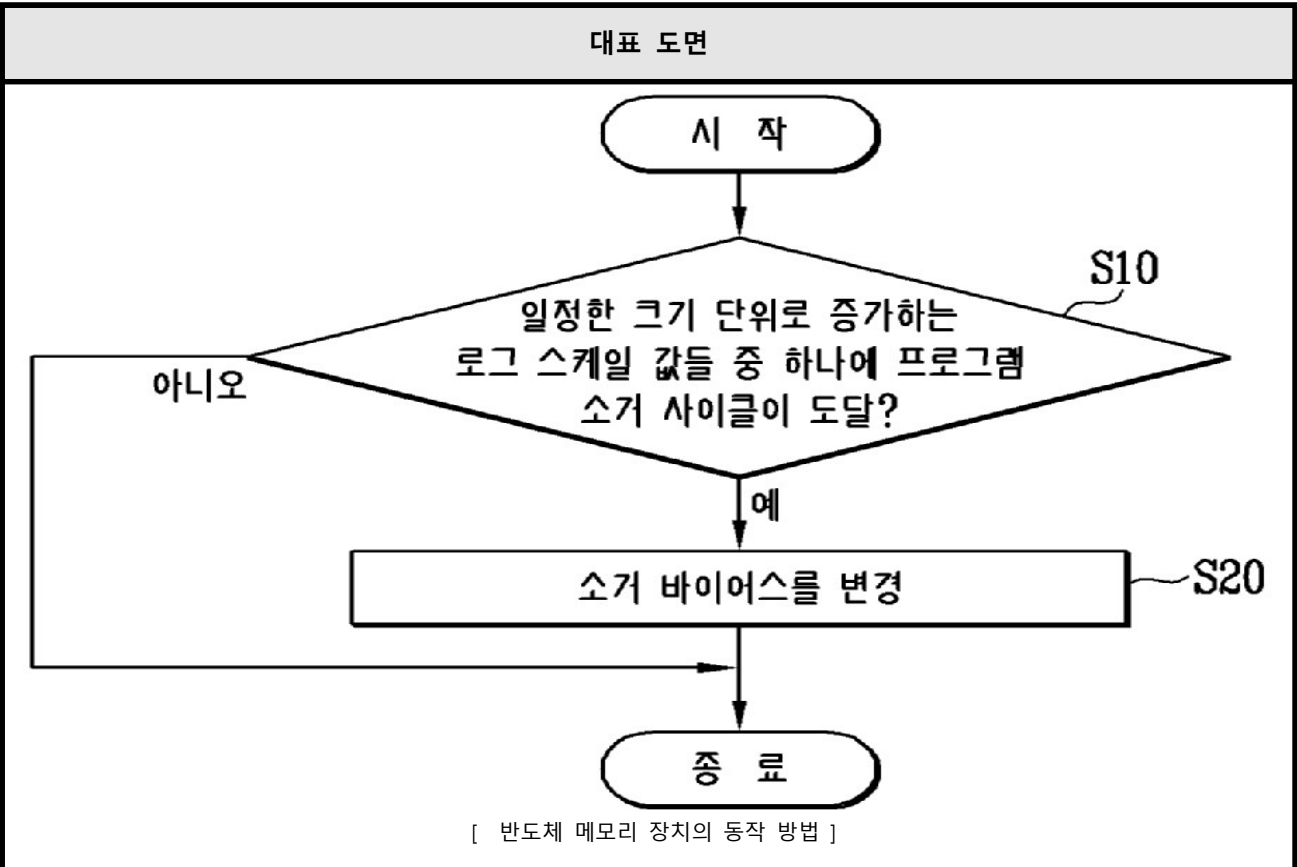
입력 데이터의 레벨에 응답하여 켈리브레이션 코드에 따른 프리 풀업 코드 및 프리 풀다운 코드 중 하나를 생성하는 프리 코드 생성부; 및 온 다이 터미네이션 코드에 응답하여 선택적으로 활성화되는 복수개의 메인 드라이빙부를 포함하며, 상기 복수개의 메인 드라이빙부의 각 출력은 출력 노드에 공통 연결되고, 활성화된 상기 메인 드라이빙부는 상기 프리 풀업 코드 또는 상기 프리 풀다운 코드에 응답하여 상기 출력 노드를 구동시키며, 상기 복수개의 메인 드라이빙부 각각은 복수개의 트랜지스터를 포함하며, 상기 복수개의 트랜지스터의 백 바이어스단은 상기 온 다이 터미네이션 코드를 입력 받는 것을 특징으로 하는 데이터 출력 회로.

특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.97	반도체 메모리 장치 및 그것의 동작 방법		
현재 권리자	SK하이닉스	발명자	박은영
출원번호 (출원일)	KR10-2012-0012328 (2012-02-07)	등록번호 (등록일)	KR10-1926860 (2018-12-03)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-02-07
기술 개요			
<p>본 발명은 반도체 메모리 장치 및 그것의 동작 방법에 관한 것이다. 본 발명의 실시 예에 따른 반도체 메모리 장치의 동작 방법은 일정한 크기 단위로 증가하는 로그 스케일 값들에 프로그램 소거 사이클이 도달할 때마다, 소거 동작에 사용될 소거 바이어스를 변경하는 것을 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 소거 바이어스 변경을 제어하는 방법을 포함한 반도체 메모리 장치 및 동작 방법을 제공함에 있음</p>		<p>본 기술은 소거 동작의 속도 및 신뢰성이 향상된 반도체 메모리 장치 및 동작 방법을 제공할 수 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	


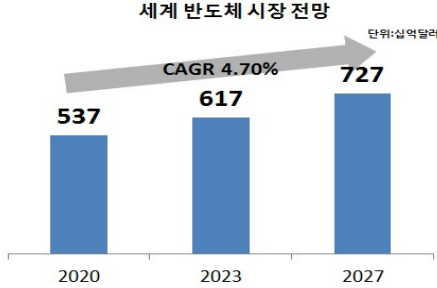


대표 청구항

프로그램 동작 및 소거 동작에 따라 데이터를 저장 및 소거하는 반도체 메모리 장치의 동작 방법에 있어서:일정한 단위로 증가하는 로그 스케일 값들에 프로그램 소거 사이클이 도달할 때마다, 상기 소거 동작에 사용될 소거 바이어스의 레벨을 변경하는 것을 포함하고,상기 소거 바이어스의 레벨의 변경은, 상기 소거 동작에 사용되는 소거 펄스들 중 제1 전압 펄스의 전압 레벨에 대하여 이루어지거나, 상기 소거 펄스들 사이의 전압 차이에 대하여 이루어지는 동작 방법.

특허평가등급					
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.98	반도체 메모리 장치 및 그것의 동작 방법		
현재 권리자	SK하이닉스	발명자	박은영
출원번호 (출원일)	KR10-2012-0014239 (2012-02-13)	등록번호 (등록일)	KR10-1848510 (2018-04-06)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-02-13
기술 개요			
<p>본 발명은 저장 장치에 관한 것으로서, 좀 더 구체적으로는 반도체 메모리 장치에 관한 것이다. 본 발명의 실시 예에 따른 반도체 메모리 장치의 동작 방법은 메모리 블록에 대한 소거 동작을 수행하고, 소거 동작의 수행 후에 적어도 하나의 선택된 워드 라인에 검증 전압을 인가하고 비선택된 워드 라인들에 패스 전압들을 인가하여 소거 검증 동작을 수행하는 것을 포함한다. 이때, 워드 라인들은 복수의 워드 라인 그룹들로 구분되고, 복수의 워드 라인 그룹들 중 제 1 워드 라인 그룹의 비선택된 워드 라인들 및 복수의 워드 라인 그룹들 중 제 2 워드 라인 그룹의 비선택된 워드 라인들에는 서로 다른 레벨의 패스 전압들이 인가된다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 향상된 신뢰성을 제공하는 반도체 메모리 장치 및 그것의 동작 방법을 제공함에 있음		본 기술은 열화 현상이 감소되고 신뢰성이 향상된 반도체 메모리 장치 및 동작 방법을 제공할 수 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면

Voltage	Group/Line
Vdsl	DSL
Sel WL : 0V Unsel WL : Vpassx	WLGx
Sel WL : 0V Unsel WL : Vpassx-1	WLGx-1
⋮	⋮
Sel WL : 0V Unsel WL : Vpass3	WLG3
Sel WL : 0V Unsel WL : Vpass2	WLG2
Sel WL : 0V Unsel WL : Vpass1	WLG1
Vssl	SSL

[워드 라인 그룹들 및 선택 라인들에 인가되는 전압들을 보여주는 테이블]


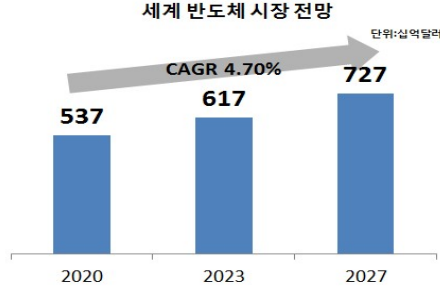
대표 청구항

메모리 블록에 대한 소거 동작을 수행하고;상기 소거 동작의 수행 후에, 상기 메모리 블록에 연결된 워드 라인들 중 적어도 하나의 선택된 워드 라인에 검증 전압을 인가하고, 상기 워드 라인들 중 비선택된 워드 라인들에 패스 전압들을 인가하여 소거 검증 동작을 수행하는 것을 포함하되,상기 워드 라인들은 복수의 워드 라인 그룹들로 구분되고, 상기 복수의 워드 라인 그룹들 중 제 1 워드 라인 그룹의 비선택된 워드 라인들 및 상기 복수의 워드 라인 그룹들 중 제 2 워드 라인 그룹의 비선택된 워드 라인들에는 서로 다른 레벨의 패스 전압들이 인가되는 반도체 메모리 장치의 동작 방법.

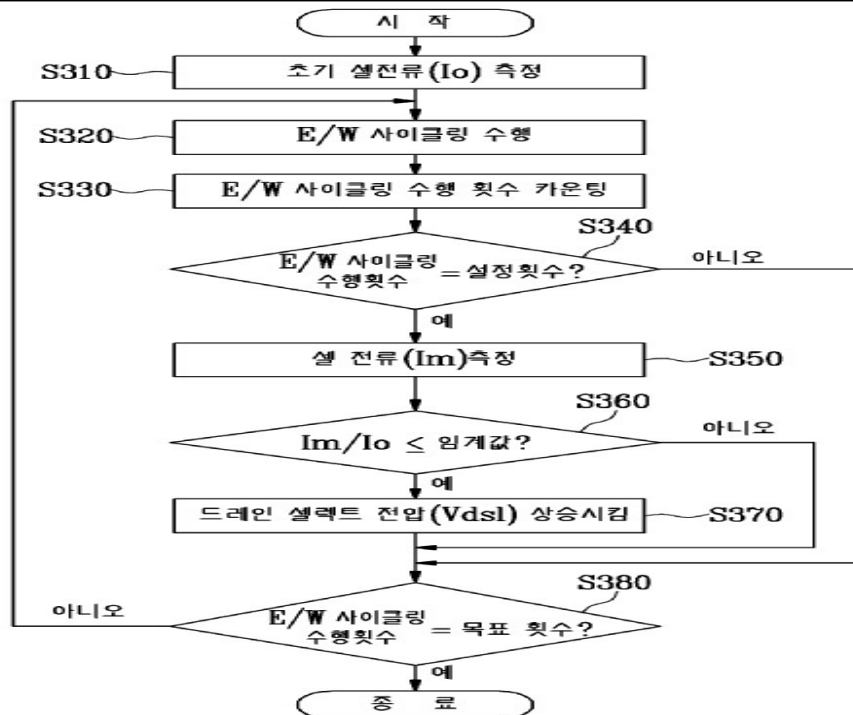
특허평가등급

	평가항목	등급		평가항목	등급
권리/ 기술성	기술의 권리성	AA	시장성	시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.99	반도체 메모리 장치 및 이의 동작 방법		
현재 권리자	SK하이닉스	발명자	이가희
출원번호 (출원일)	KR10-2012-0020347 (2012-02-28)	등록번호 (등록일)	KR10-1829470 (2018-02-08)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-02-28
기술 개요			
<p>반도체 메모리 장치의 동작 방법은 메모리 셀들을 포함하는 셀 스트링에 흐르는 초기 제1 셀 전류를 측정하는 단계, 메모리 셀들의 프로그램/소거 사이클링 횟수가 설정된 횟수에 도달하면 셀 스트링에 흐르는 제2 셀 전류를 측정하는 단계, 및 제1 셀 전류에 대한 제2 셀 전류의 비율이 임계치 이하이면, 메모리 셀들에 저장된 데이터의 센싱 동작 시에 셀 스트링에 흐르는 셀 전류를 증가시키는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 프로그램/소거 사이클링 횟수에 따라 셀 스트링에 흐르는 셀 전류를 측정하여 셀 전류를 증가시킴으로써 안정적으로 데이터 센싱 동작을 실시할 수 있고 메모리 셀의 문턱 전압 분포를 개선할 수 있는 반도체 메모리 장치 및 이의 동작방법을 제공함에 있음</p>		<p>본 기술은 프로그램/소거 사이클링 횟수를 카운팅하고 프로그램/소거 사이클링 횟수가 미리 설정된 횟수에 도달하면 셀 스트링에 흐르는 셀 전류를 측정하여 셀 전류가 임계치 이하로 감소했을 경우 셀 전류를 증가시킴으로써 프로그램/소거 사이클링 횟수에 증가에 관계없이 안정적으로 데이터를 센싱할 수 있고 프로그램/소거 사이클링 횟수의 증가 후에도 메모리 셀의 문턱 전압 분포를 개선할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 메모리 장치의 동작 방법을 설명하기 위한 흐름도]


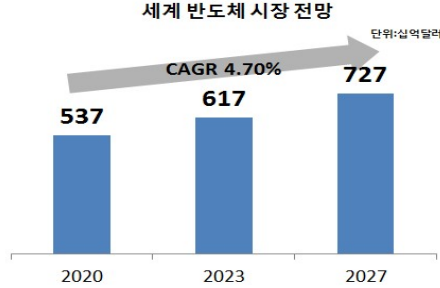
대표 청구항

메모리 셀들을 포함하는 셀 스트링에 흐르는 초기 제1 셀 전류를 측정하는 단계; 상기 메모리 셀들의 프로그램/소거 사이클링 횟수가 설정된 횟수에 도달하면 상기 셀 스트링에 흐르는 제2 셀 전류를 측정하는 단계; 및 상기 제1 셀 전류에 대한 상기 제2 셀 전류의 비율이 임계치 이하이면, 상기 메모리 셀들에 저장된 데이터의 센싱 동작 시에 상기 셀 스트링에 흐르는 셀 전류를 증가시키는 단계를 포함하는 반도체 메모리 장치의 동작 방법.

특허평가등급

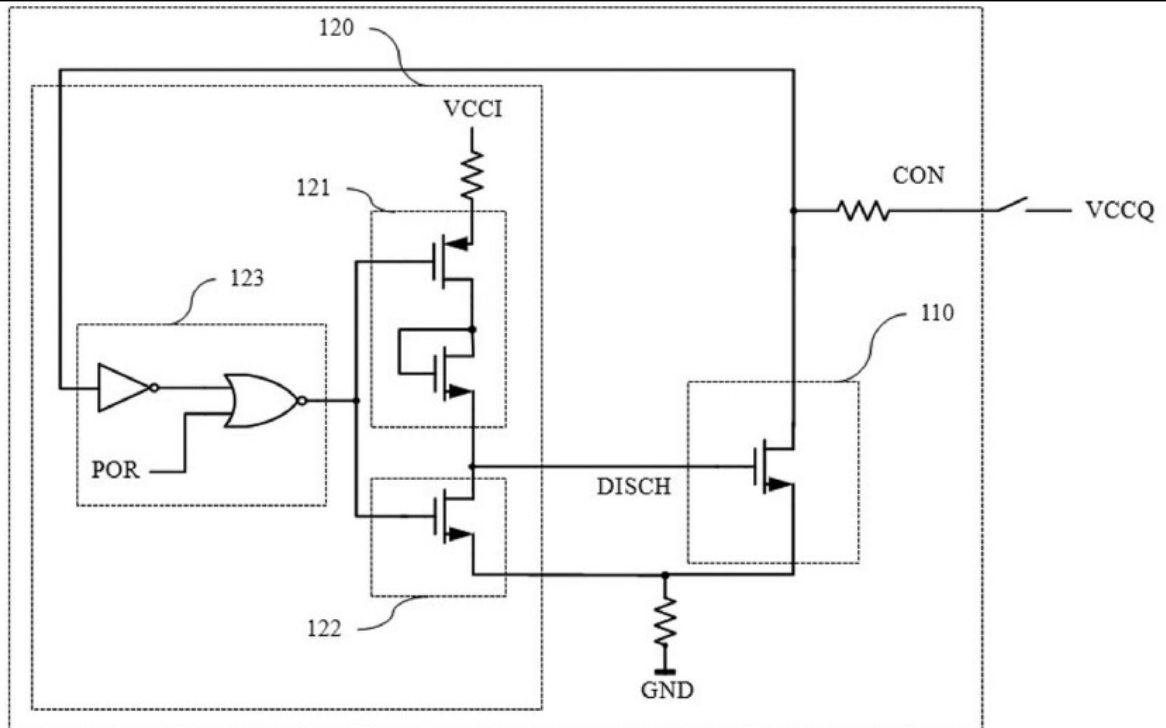
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.100	전위 제어 장치 및 이를 포함하는 반도체 장치		
현재 권리자	SK하이닉스	발명자	성진용
출원번호 (출원일)	KR10-2012-0035164 (2012-04-04)	등록번호 (등록일)	KR10-1905906 (2018-10-01)
특허기술분류 (IPC)	G05	존속기간 만료예정일	2032-04-04
기술 개요			
<p>본 발명은 전위 제어 장치와 이를 포함하는 반도체 장치에 관한 것이다. 본 발명에 의한 전위 제어 장치는 제 1 전원과 연결되는 외부 단자와 전기적으로 연결되거나 분리되는 제 1 단자 및 외부 단자가 제 1 단자에 연결되는 경우 제 1 단자와 제 1 전원의 전위보다 낮은 전위를 갖는 제 2 단자 사이의 전류 경로를 차단하고 외부 단자가 제 1 단자와 분리되는 경우 제 1 단자의 전위를 제 1 전원의 전위보다 낮은 전위로 설정하는 제어부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 단자의 전위가 하이 레벨로 설정되는 경우에도 전류 경로의 생성을 차단하여 불필요한 전류 소모를 방지하는 전위 제어 장치를 제공함에 있음</p>		<p>본 기술은 단자에 전원이 인가되는 상태에서 전원이 인가되는 단자와 접지 단자 사이에 전류 경로가 형성되는 것을 차단하여 전력의 낭비를 방지할 수 있고 전력 소모를 줄여 전력 효율이 향상되는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면

100



[전위 제어 장치]


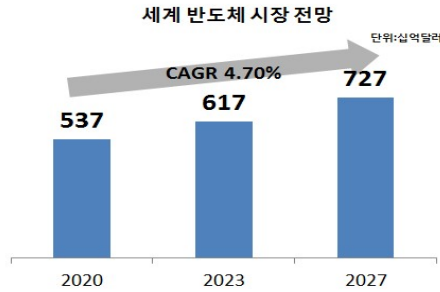
대표 청구항

제 1 전원과 연결되는 외부 단자와 전기적으로 연결되거나 분리되는 제 1 단자 및제어 신호에 따라 상기 제 1 단자와 상기 제 1 전원의 전위보다 낮은 전위를 갖는 제 2 단자를 연결하거나 차단하는 스위치와 상기 제어 신호를 출력하는 스위치 제어부를 포함하는 제어부를 포함하되,상기 스위치 제어부는 상기 제어 신호를 제 1 전위로 제어하는 제 1 제어부; 상기 제어 신호를 상기 제 1 전위보다 낮은 제 2 전위로 제어하는 제 2 제어부; 상기 외부 단자가 상기 제 1 단자에 연결되는지에 따라 정해지는 상기 제 1 단자의 전위에 따라 상기 제 1 제어부 및 상기 제 2 제어부를 제어하는 논리 제어부를 포함하고,상기 논리 제어부는 상기 제 1 제어부에 제공되는 전원의 초기화 신호에 따라 상기 제 1 제어부를 활성화하는 전위 제어 장치.

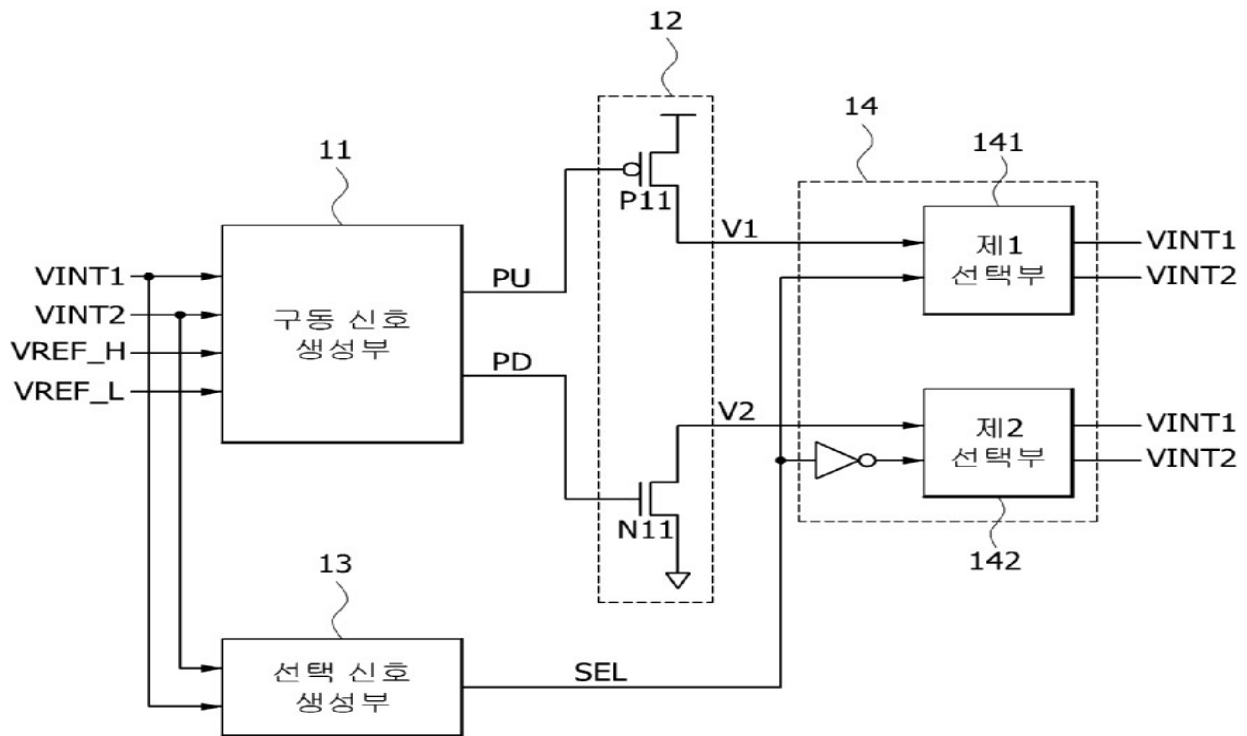
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.101	내부전압생성회로		
현재 권리자	SK하이닉스	발명자	이명환
출원번호 (출원일)	KR10-2012-0053902 (2012-05-21)	등록번호 (등록일)	KR10-1897239 (2018-09-04)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-05-21
기술 개요			
<p>내부전압생성회로는 제1 및 제2 내부전압을 상한기준전압 및 하한기준전압과 비교하여 풀업구동신호 및 풀다운구동신호를 생성하는 구동신호생성부; 상기 풀업구동신호 및 상기 풀다운구동신호에 응답하여 제1 및 제2 전압을 구동하는 구동부; 상기 제1 및 제2 내부전압을 비교하여 선택신호를 생성하는 선택신호생성부; 및 상기 선택신호에 응답하여 상기 제1 및 제2 전압을 상기 제1 내부전압 또는 상기 제2 내부전압으로 선택적으로 전달하는 선택전달부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 복수 개의 내부전압이 공유된 구성을 통해 구동되도록 하여 면적소모를 감소시킬 수 있는 내부전압생성회로를 제공함에 있음</p>		<p>본 기술은 공유된 구성을 통해 복수의 내부전압을 구동함으로써 단위면적당 구동 효율을 확보하고 면적소모를 감소시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[내부전압생성회로의 구성]


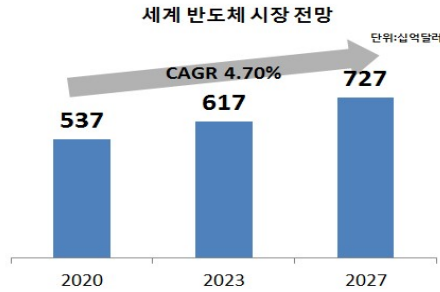
대표 청구항

제1 및 제2 내부전압을 상한기준전압 및 하한기준전압과 비교하여 풀업구동신호 및 풀다운구동신호를 생성하는 구동신호생성부; 상기 풀업구동신호 및 상기 풀다운구동신호에 응답하여 제1 및 제2 전압을 구동하는 구동부; 상기 제1 및 제2 내부전압을 비교하여 선택신호를 생성하는 선택신호생성부; 및 상기 선택신호에 응답하여 상기 제1 및 제2 전압을 상기 제1 내부전압 또는 상기 제2 내부전압으로 선택적으로 전달하는 선택전달부를 포함하되, 상기 선택신호생성부는 상기 제1 내부전압이 상기 제2 내부전압보다 낮은 레벨인 경우 제1 레벨을 갖고, 상기 제1 내부전압이 상기 제2 내부전압보다 높은 레벨인 경우 제2 레벨을 갖는 상기 선택신호를 생성하는 내부전압생성회로.

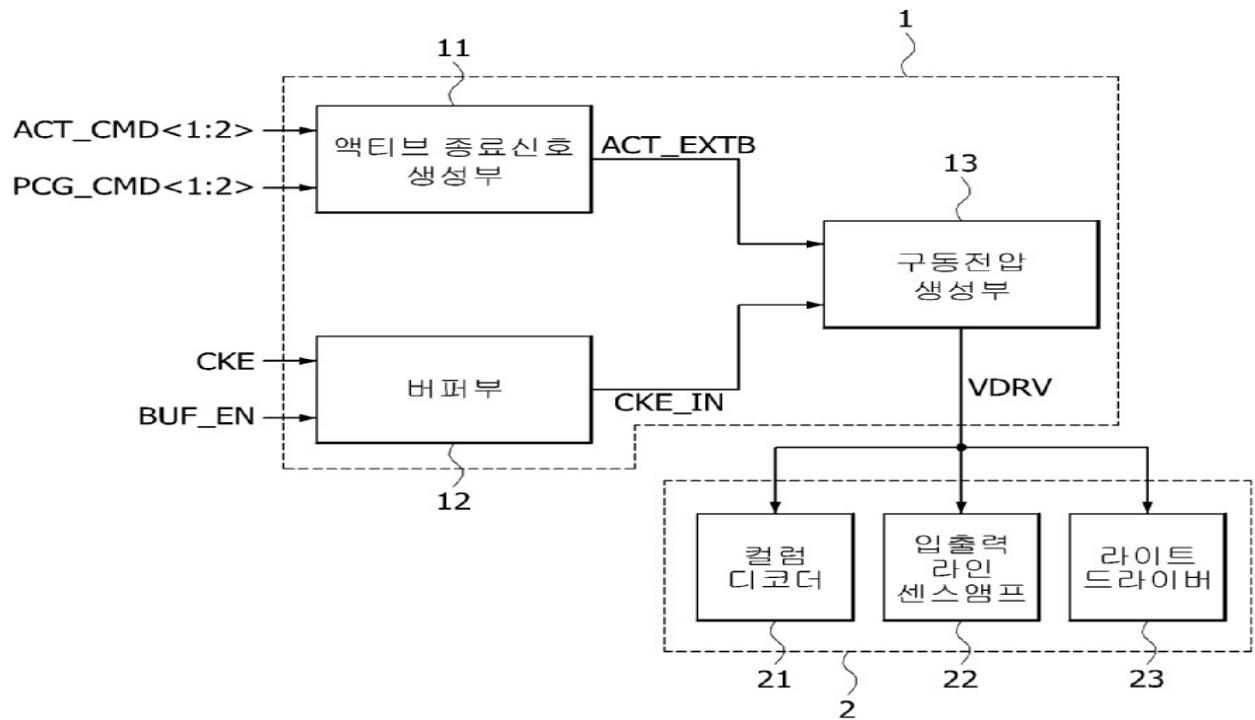
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.102	반도체모듈		
현재 권리자	SK하이닉스	발명자	이경하
출원번호 (출원일)	KR10-2012-0053908 (2012-05-21)	등록번호 (등록일)	KR10-1914296 (2018-10-26)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-05-21
기술 개요			
<p>반도체모듈은 액티브 동작이 종료되고 클럭인에이블신호가 디스에이블되는 경우 구동전압의 구동을 중단하는 전원제어회로; 및 상기 구동전압을 공급받아 컬럼경로 동작을 제어하는 컬럼경로회로를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 딥파워다운모드에 진입하지 않은 스텐바이모드에서 공급전압이 내부회로에 계속 공급되어 전류소모를 야기하는 것을 방지하는 반도체모듈을 제공함에 있음</p>		<p>본 기술은 스텐바이모드에서 전류소모를 절감할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




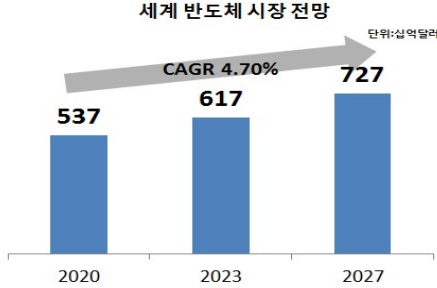
대표 청구항

액티브 동작이 종료되고 프리차지모드에 진입한 후 클럭인에이블신호가 디스에이블되는 경우 구동전압의 구동을 중단하는 전원제어회로; 및 상기 구동전압을 공급받아 컬럼경로 동작을 제어하는 컬럼경로 회로를 포함하되, 상기 컬럼경로회로는 상기 구동전압을 공급받아 구동되어 컬럼어드레스를 디코딩하는 컬럼디코더, 상기 구동전압을 공급받아 구동되어 입출력라인을 센싱증폭하는 입출력라인센스앰프 및 상기 구동전압을 공급받아 구동되어 라이트 동작 시 입력되는 데이터를 구동하는 라이트드라이버를 포함하는 반도체모듈.

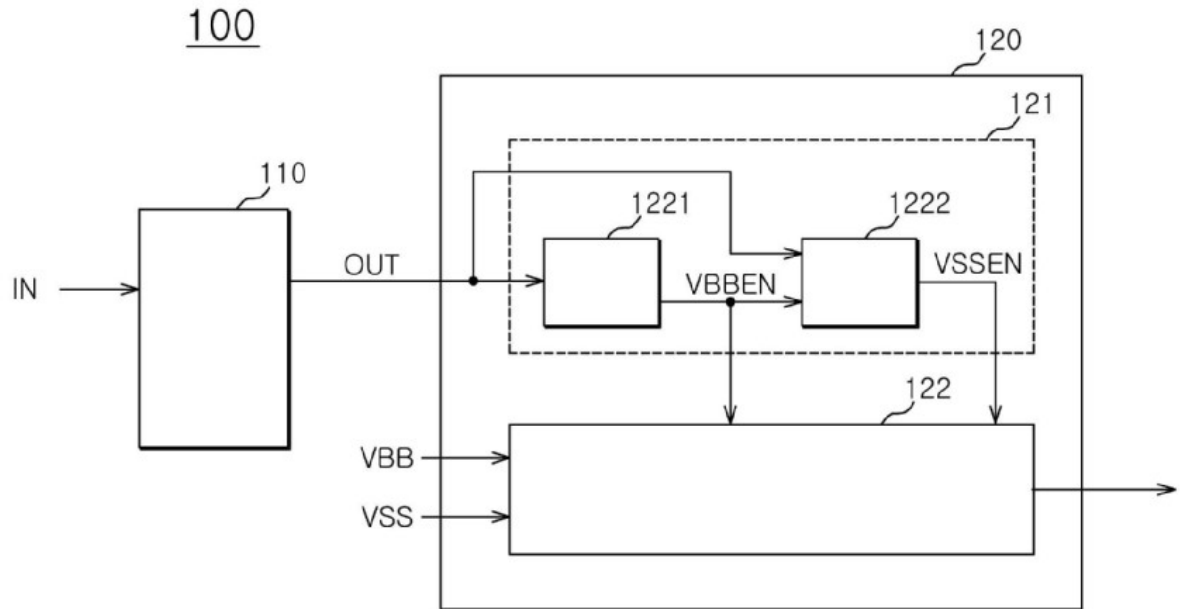
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.103	전압 스위칭 회로		
현재 권리자	SK하이닉스	발명자	유정택
출원번호 (출원일)	KR10-2012-0056011 (2012-05-25)	등록번호 (등록일)	KR10-1893388 (2018-08-24)
특허기술분류 (IPC)	H03	존속기간 만료예정일	2032-05-25
기술 개요			
<p>본 기술에 따른 전압 스위칭 회로는 제어신호를 고정적으로 지연한 제 1 전압 인에이블 신호 및 상기 제어신호를 가변적으로 지연한 제 2 전압 인에이블 신호를 출력하는 전압 인에이블 신호 생성부; 및 상기 제 1 및 제 2 전압 인에이블 신호에 응답하여 제 1 전압 또는 제 2 전압을 출력하는 스위치 제어 회로부; 및 입력신호에 응답하여 상기 제어신호를 출력하는 제어신호 생성부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 이중 전압이 동시에 연결되는 것을 방지하여 과전류를 감소시키는 전압 스위칭 회로를 제공함에 있음</p>		<p>본 기술은 이중 전압이 동시에 연결되는 것을 방지하여 과전류를 방지함으로써 불필요한 전류를 감소시킬 수 있으며 과전류로 인한 반도체 장치의 손상을 방지할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[전압 스위칭 회로의 블록도]


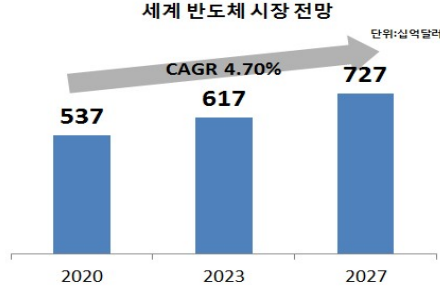
대표 청구항

제어신호를 고정적으로 지연한 제 1 전압 인에이블 신호 및 상기 제어신호를 가변적으로 지연한 제 2 전압 인에이블 신호를 출력하는 전압 인에이블 신호 생성부; 및상기 제 1 및 제 2 전압 인에이블 신호에 응답하여 제 1 전압 또는 제 2 전압을 출력하는 스위치 제어 회로부; 및입력신호에 응답하여 상기 제어신호를 출력하는 제어신호 생성부를 포함하는 전압 스위칭 회로.

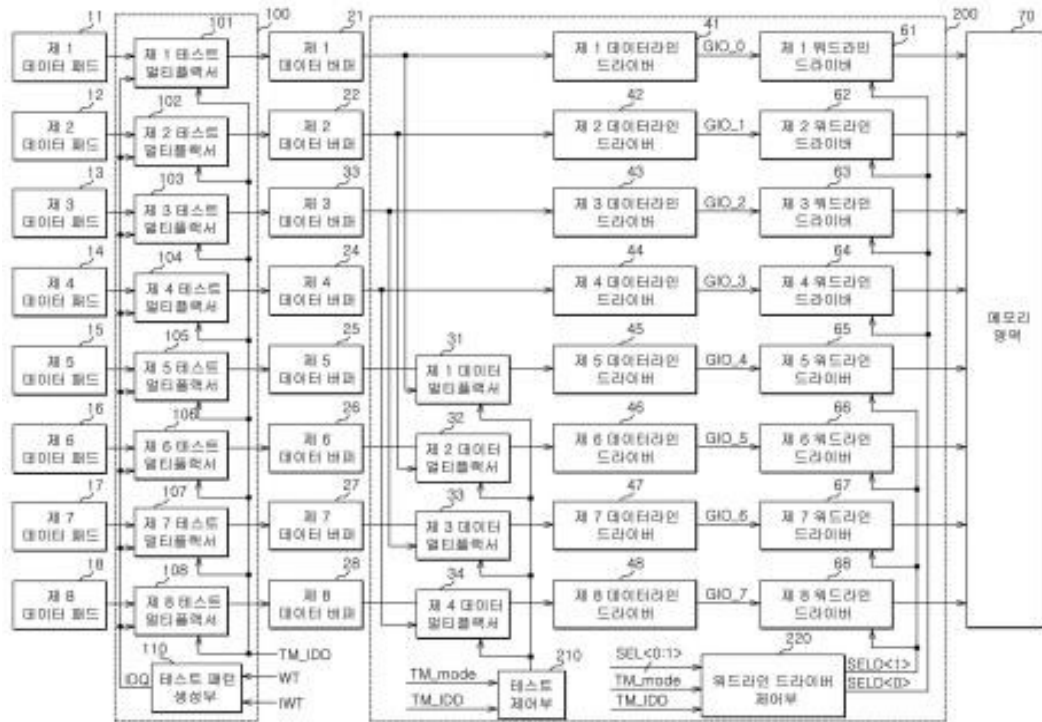
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.104	반도체 장치		
현재 권리자	SK하이닉스	발명자	김기업
출원번호 (출원일)	KR10-2012-0056119 (2012-05-25)	등록번호 (등록일)	KR10-1895285 (2018-08-30)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-05-25
기술 개요			
<p>복수개의 데이터 버퍼, 테스트시 라이트 신호에 따라 테스트 패턴을 생성하여 상기 복수개의 데이터 버퍼에 제공하며, 비테스트시 복수개의 데이터 패드를 통해 인가되는 데이터를 상기 복수개의 데이터 버퍼에 제공하는 테스트 패턴 제공부, 및 상기 복수개의 데이터 버퍼의 출력 신호들을 동시에 메모리 영역으로 전달시키는 데이터 전달부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 외부로부터 입력되는 데이터가 메모리 영역까지 전달되는 데 소모되는 전류의 양을 보다 더 정확하게 테스트할 수 있는 반도체 장치를 제공함에 있음</p>		<p>본 기술은 기존의 반도체 장치가 수행하는 테스트 기능을 모두 수행할 수 있을 뿐만 아니라 기존의 반도체 장치보다 더욱 정확한 전류량 테스트를 수행할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 장치의 구성도]


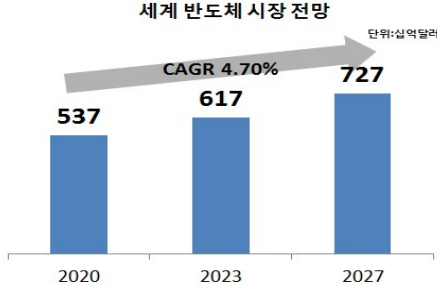
대표 청구항

복수개의 데이터 버퍼;테스트시 라이트 신호에 따라 테스트 패턴을 생성하여 상기 복수개의 데이터 버퍼에 제공하며, 비테스트시 복수개의 데이터 패드를 통해 인가되는 데이터를 상기 복수개의 데이터 버퍼에 제공하는 테스트 패턴 제공부; 및상기 복수개의 데이터 버퍼의 출력 신호들을 동시에 메모리 영역으로 전달시키는 데이터 전달부를 포함하는 것을 특징으로 하는 반도체 장치.

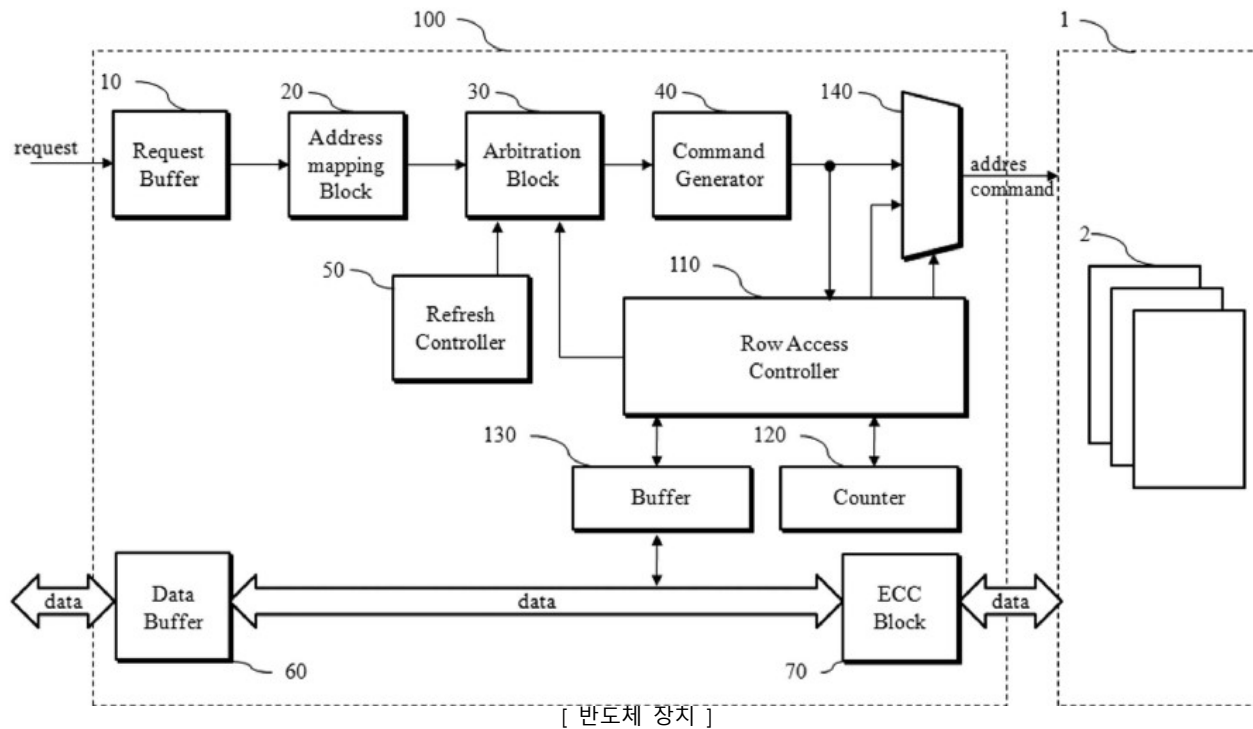
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.105	반도체 장치 및 그 동작 방법		
현재 권리자	SK하이닉스	발명자	문영석
출원번호 (출원일)	KR10-2012-0060066 (2012-06-04)	등록번호 (등록일)	KR10-1881366 (2018-07-18)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-06-04
기술 개요			
<p>본 발명은 워드라인 디스터번스로 인하여 셀 데이터가 손상되는 것을 방지할 수 있는 반도체 장치 및 그 동작 방법을 제공하는 것을 목적으로 한다.본 발명에 의한 반도체 장치의 동작 방법은 제 1 기억 장치에 대한 요청을 수신하는 단계, 데이터 손상 위험성을 나타내는 정보를 참고하여 요청된 주소에 대응하는 상기 제 1 기억 장치의 제 1 워드라인에 인접하는 제 2 워드라인에 연결된 셀들의 데이터 손상 위험성을 판단하는 단계, 데이터 손상 위험성이 있는 것으로 판단하는 경우 상기 제 2 워드라인에 연결된 셀들의 데이터를 제 2 기억 장치에 저장하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 워드라인이 활성화 상태와 비 활성화 상태를 토글링하는 횟수가 증가하는 경우 워드라인 사이의 커플링 효과로 인하여 인접한 워드라인에 연결된 셀의 데이터가 손상되는 현상을 방지할 수 있는 반도체 장치 및 동작 방법을 제공함에 있음</p>		<p>본 기술은 반도체 메모리 장치에서 발생하는 워드라인 디스터번스로 인한 데이터 손상 문제를 해결하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




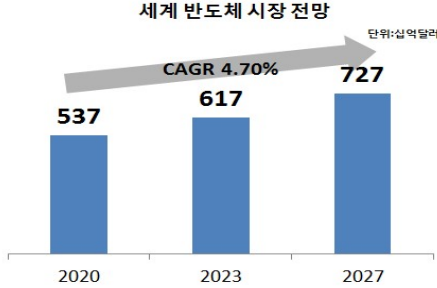
대표 청구항

제 1 기억 장치에 대한 요청을 처리하기 위해 상기 제 1 기억 장치를 제어하는 반도체 장치로서,상기 반도체 장치는 제어기 및 제 2 기억 장치를 포함하고,상기 제어기는 상기 제 1 기억 장치에 대한 요청을 수신하면 데이터 손상 위험성을 나타내는 정보를 참고하여 요청된 주소에 대응하는 상기 제 1 기억 장치의 제 1 워드라인에 인접하는 제 2 워드라인에 연결된 셀들의 데이터 손상 위험성을 판단하고, 데이터 손상 위험성이 있는 것으로 판단하는 경우 상기 제 2 워드라인에 연결된 셀들의 데이터를 상기 제 2 기억 장치에 저장하는 반도체 장치.

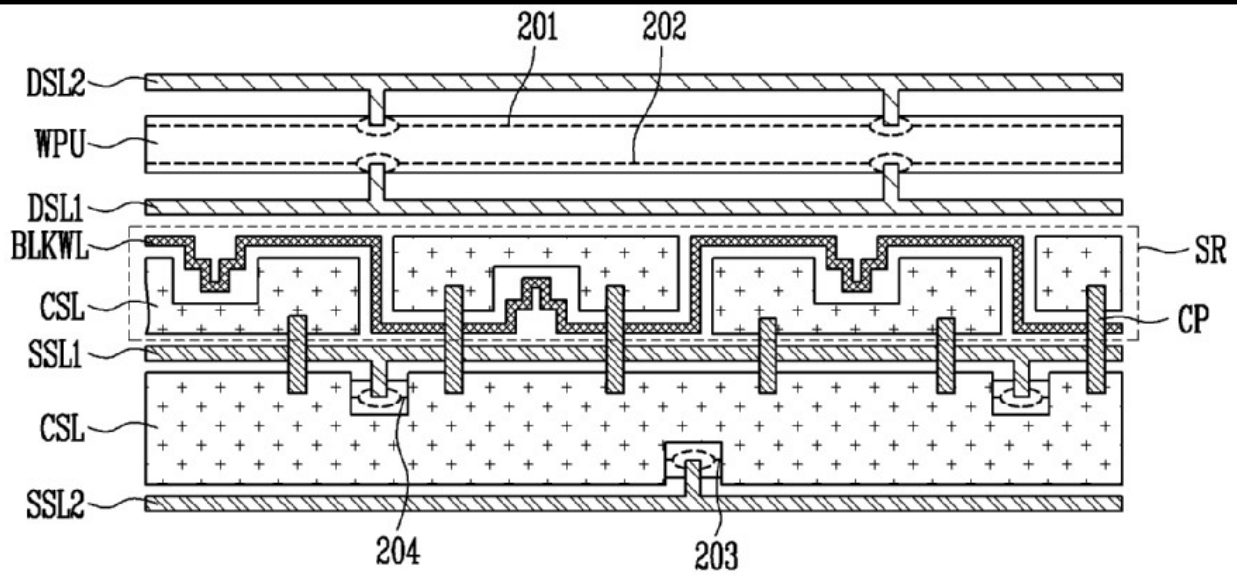
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A+
	기술의 지속성	A0		산업적 파급효과	A+
	기술의 포괄성	AA		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.106	반도체 소자		
현재 권리자	SK하이닉스	발명자	유등각
출원번호 (출원일)	KR10-2012-0086870 (2012-08-08)	등록번호 (등록일)	KR10-1883012 (2018-07-23)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2032-08-08
기술 개요			
<p>본 발명은 반도체 기판 상에 일 방향으로 연장된 다수의 로컬 워드라인들; 상기 로컬 워드라인들 상부의 소오스 영역 내에서 지그재그 형태를 가지며 상기 일 방향으로 연장된 블록 선택 라인; 및 상기 소오스 영역 내에서 상기 지그재그 형태의 블록 선택 라인 사이에서 아일랜드 형태로 배치된 다수의 제1 소오스 패드들을 포함하며, 상기 제1 소오스 패드들은 서로 연결된 반도체 소자를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 선택된 메모리 셀 블록의 소거 동작 시 비선택된 메모리 셀 블록에서의 캐패시턴스를 억제할 수 있는 반도체 소자의 레이아웃을 제공함에 있음</p>		<p>본 기술은 로컬 워드라인들 상부의 소오스 영역에 지그재그로 구부러진 형태의 블록 선택 라인을 배치함으로써 블록 선택 라인과 반도체 기판 사이에서의 캐패시턴스 증가를 방지할 수 있고, 블록 선택 라인 사이에 아일랜드 형태의 소오스 패드들을 배치함으로써 반도체 소자의 동작 시 발생할 수 있는 급격한 바운싱을 방지할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 소자를 설명하기 위한 레이아웃도]


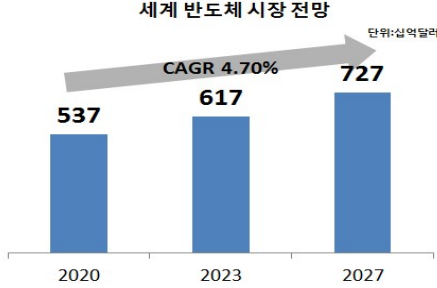
대표 청구항

반도체 기판 상에 일 방향으로 연장된 다수의 로컬 워드라인들;상기 로컬 워드라인들 상부의 소오스 영역 내에서 지그재그 형태를 가지며 상기 일 방향으로 연장된 블록 선택 라인; 및상기 소오스 영역 내에서 상기 지그재그 형태의 블록 선택 라인 사이에서 아일랜드 형태로 배치된 다수의 제1 소오스 패드들을 포함하며, 상기 제1 소오스 패드들은 서로 연결된 반도체 소자.

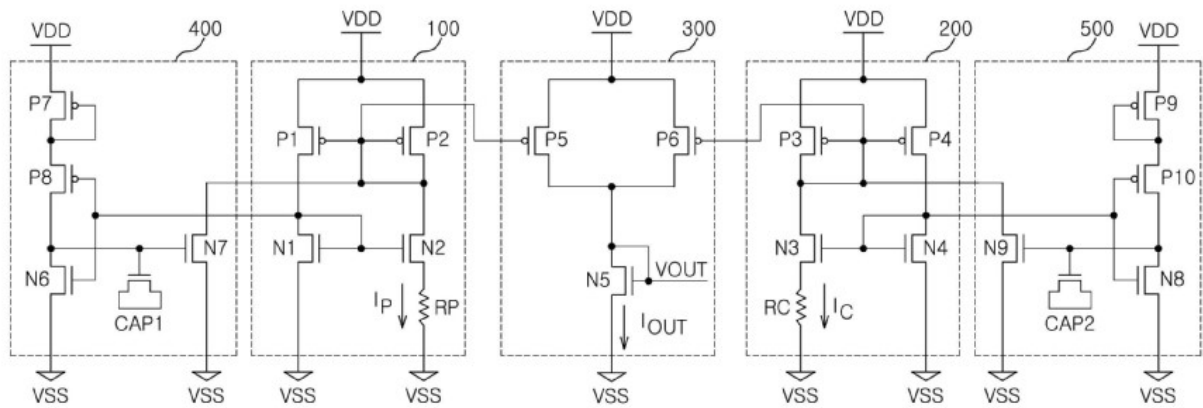
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.107	기준 전류원		
현재 권리자	SK하이닉스	발명자	오병찬
출원번호 (출원일)	KR10-2012-0089555 (2012-08-16)	등록번호 (등록일)	KR10-1919555 (2018-11-12)
특허기술분류 (IPC)	G05	존속기간 만료예정일	2032-08-16
기술 개요			
<p>기준 전류원은 온도 비례 전류 생성부, 온도 반비례 전류 생성부, 합성부를 포함한다. 상기 온도 비례 전류 생성부는 온도에 비례하여 증가하는 제 1 전류를 생성한다. 상기 온도 반비례 전류 생성부는 온도에 반비례하여 증가하는 제 2 전류를 생성한다. 상기 합성부는 상기 제 1 전류 및 상기 제 2 전류를 합하여 기준전류를 생성한다. 상기 온도 비례 및 온도 반비례 전류 생성부는 각각 복수개의 소자를 포함하고, 각각의 상기 복수개의 소자의 연결관계가 서로 동일하다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 공정 변수 등에 영향을 받지 않는 온도 보상 기준 전류원을 제공함에 있음		본 기술은 공정 변수 등에 영향을 받지 않고 온도 변화에 안정적인 전류의 제공이 가능한 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[기준 전류원에 대한 회로도]


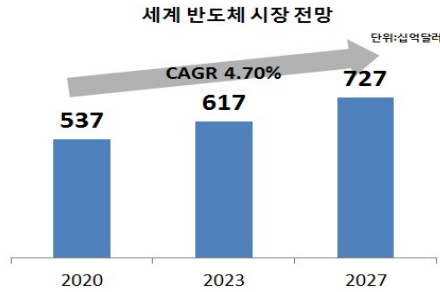
대표 청구항

온도에 비례하여 증가하는 제 1 전류를 생성하는 온도 비례 전류 생성부; 온도에 반비례하여 증가하는 제 2 전류를 생성하는 온도 반비례 전류 생성부; 및 미리링한 상기 제 1 전류 및 상기 제 2 전류를 합하여 기준전류를 생성하는 합성부를 포함하고, 상기 온도 비례 및 온도 반비례 전류 생성부는 각각 복수개의 소자를 포함하고, 각각의 상기 복수개의 소자의 연결관계가 서로 동일한 기준 전류원.

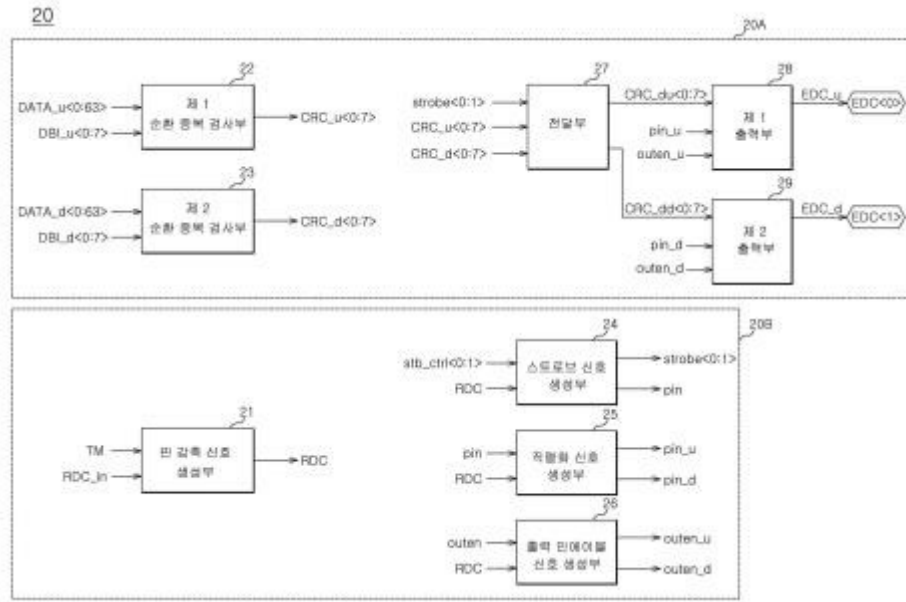
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	A-		시장의 성장성	AA

기술소개

기술분야	전기전자	반도체	회로·설계
No.108	반도체 메모리 장치		
현재 권리자	SK하이닉스	발명자	차재훈
출원번호 (출원일)	KR10-2012-0095553 (2012-08-30)	등록번호 (등록일)	KR10-1917165 (2018-11-05)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-08-30
기술 개요			
<p>반도체 메모리 장치는 핀 감축 신호 생성부, 제 1 및 제 2 순환 중복 검사부, 제 1 및 제 2 출력부를 포함한다. 상기 핀 감축 신호 생성부는 핀 감축 모드 진입 신호 및 테스트 모드 신호를 수신하여 핀 감축 신호를 생성한다. 상기 제 1 순환 중복 검사부는 복수의 제 1 데이터에 대하여 순환 중복 검사를 실시하여 제 1 순환 중복 검사 데이터를 생성한다. 상기 제 2 순환 중복 검사부는 복수의 제 2 데이터에 대하여 순환 중복 검사를 실시하여 제 2 순환 중복 검사 데이터를 생성한다. 상기 제 1 출력부는 상기 핀 감축 신호의 상태에 상관 없이 상기 제 1 순환 중복 검사 데이터를 제 1 에러 검출 코드 출력 핀으로 출력한다. 상기 제 2 출력부는 상기 핀 감축 신호가 비활성화 상태이면 디스에이블되고, 상기 핀 감축 신호가 활성화 상태이면 상기 제 2 순환 중복 검사 데이터를 제 2 에러 검출 코드 출력 핀으로 출력한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 반도체 메모리 장치의 테스트 회로를 제공함에 있음		본 기술은 복수의 반도체 메모리 장치에 대한 빠르고 효율적인 테스트 수행이 가능한 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면



[반도체 메모리 장치의 테스트 회로]


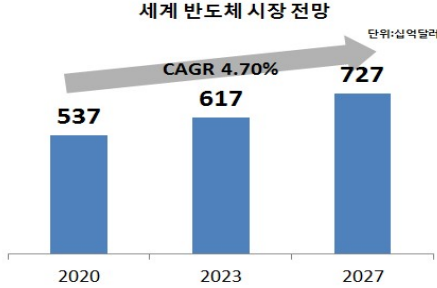
대표 청구항

복수의 데이터 입출력 핀 및 복수의 에러 검출 코드 출력 핀을 포함하며, 핀 감축 모드 시 상기 복수의 데이터 입출력 핀 중 일부만을 이용하여 이에 할당되는 데이터를 출력하고 상기 복수의 에러 검출 코드 출력 핀 중 일부만을 이용하여 이에 할당되는 에러 검출 코드를 출력하는 반도체 메모리 장치로서, 상기 핀 감축 모드로 테스트를 수행하는 경우에는, 전체의 상기 복수의 에러 검출 코드 출력 핀을 통하여 각각에 할당되는 상기 에러 검출 코드를 출력하는 테스트 회로를 포함하는 반도체 메모리 장치.

특허평가등급

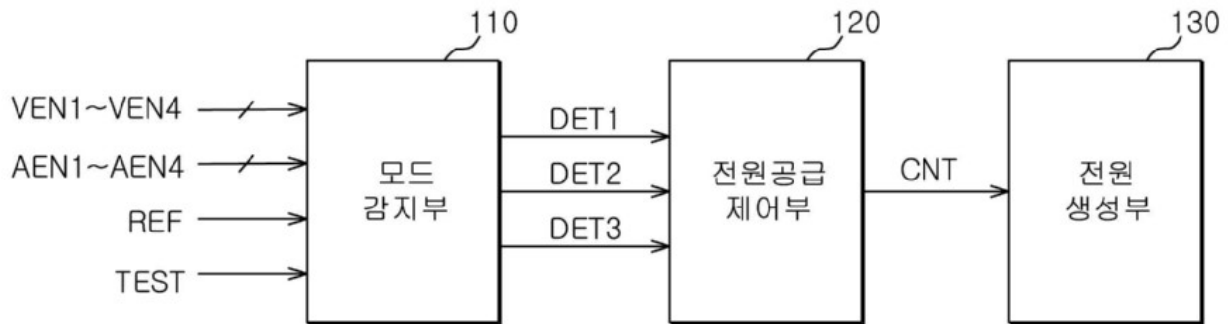
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.109	반도체 메모리 장치		
현재 권리자	SK하이닉스	발명자	김영란
출원번호 (출원일)	KR10-2012-0114867 (2012-10-16)	등록번호 (등록일)	KR10-1923504 (2018-11-23)
특허기술분류 (IPC)	G11	존속기간 만료예정일	2032-10-16
기술 개요			
<p>본 기술에 따른 반도체 메모리 장치는 복수의 리드 라이트 모드 신호에 응답하여 제 1 감지 신호를 생성하고, 복수의 액티브 프리차지 모드 신호에 응답하여 제 2 감지 신호를 생성하며, 리프레쉬 모드 신호 및 테스트 모드 신호에 응답하여 제 3 감지 신호를 생성하는 모드 감지부; 상기 제 1 감지 신호, 상기 제 2 감지 신호 및 상기 제 3 감지 신호에 응답하여 전원 제어 신호를 생성하는 전원 공급 제어부; 및 상기 전원 제어 신호에 응답하여 액티브 대기 상태에서 소모되는 전류를 출력하는 전원 생성부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 액티브 대기 상태에서 소모되는 전류를 테스트 할 수 있는 반도체 장치를 제공함에 있음		본 기술은 액티브 대기 상태에서 소모되는 전류를 테스트하여 반도체 메모리 장치의 신뢰성을 향상시키는 효과가 있음	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면

100



[반도체 메모리 장치의 개략적인 블록도]


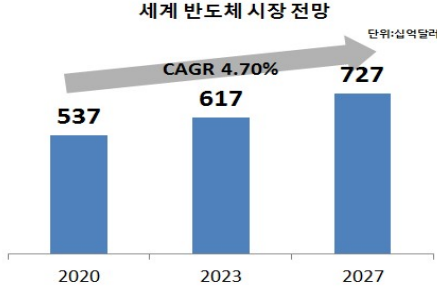
대표 청구항

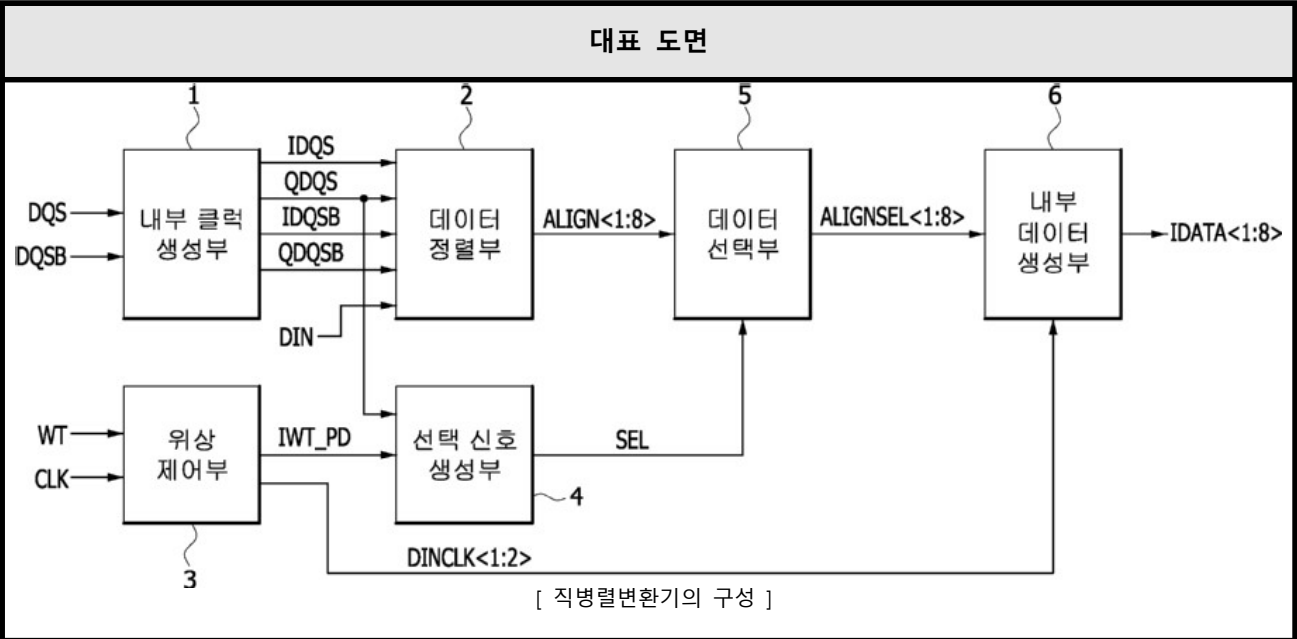
복수의 리드 라이트 모드 신호에 응답하여 제 1 감지 신호를 생성하고, 복수의 액티브 프리차지 모드 신호에 응답하여 제 2 감지 신호를 생성하며, 리프레쉬 모드 신호 및 테스트 모드 신호에 응답하여 제 3 감지 신호를 생성하는 모드 감지부; 상기 제 1 내지 제 3 감지 신호가 전부 인에이블되면 전원 제어 신호를 인에이블시키고, 상기 제 1 내지 제 3 감지 신호 중 어느 한 신호가 디스에이블되면 상기 전원 제어 신호를 디스에이블 시키는 전원 공급 제어부; 및 인에이블된 상기 전원 제어 신호에 응답하여 액티브 대기 상태에서 소모되는 전류를 생성하는 전원 생성부를 포함하며, 상기 모드 감지부는 상기 복수의 리드 라이트 모드 신호가 전부 디스에이블 상태면 상기 제 1 감지 신호를 인에이블시켜 출력하고, 상기 복수의 리드 라이트 모드 신호 중 어느 한 신호가 인에이블 상태면 상기 제 1 감지 신호를 디스에이블시켜 출력하는 제 1 감지부; 상기 복수의 액티브 프리차지 모드 신호가 전부 인에이블 상태면 상기 제 2 감지 신호를 인에이블시켜 출력하고, 상기 복수의 액티브 프리차지 모드 신호 중 어느 한 신호가 디스에이블 상태면 상기 제 2 감지 신호를 디스에이블시켜 출력하는 제 2 감지부; 및 상기 리프레쉬 모드 신호가 디스에이블되고 상기 테스트 모드 신호가 인에이블되면 상기 제 3 감지 신호를 인에이블시켜 출력하는 제 3 감지부를 포함하는 반도체 메모리 장치.

특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.110	직병렬변환기		
현재 권리자	SK하이닉스	발명자	송근수
출원번호 (출원일)	KR10-2012-0137369 (2012-11-29)	등록번호 (등록일)	KR10-1886671 (2018-08-02)
특허기술분류 (IPC)	H03	존속기간 만료예정일	2032-11-29
기술 개요			
<p>직병렬변환기는 라이트커맨드 및 라이트레이턴시신호에 따라 발생하는 제1 펄스를 포함하는 위상감지 신호에 응답하여 제1 내지 제4 내부클럭 중 하나의 위상을 감지하여 선택신호를 생성하는 선택신호생성부; 선택신호에 응답하여 제1 정렬데이터그룹 또는 제2 정렬데이터그룹을 제1 선택정렬데이터그룹으로 선택하여 전달하는 제1 선택부; 및 선택신호에 응답하여 상기 제1 정렬데이터그룹 또는 상기 제2 정렬데이터그룹을 제2 선택정렬데이터그룹으로 선택하여 전달하는 제2 선택부를 포함한다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 데이터스트로브신호를 분주하여 다중위상클럭을 생성하고 다중위상클럭을 이용하여 직렬로 들어온 데이터를 병렬화하여 정렬하는 직병렬변환기를 제공함에 있음</p>		<p>본 기술은 위상이 반전된 다중위상클럭이 생성되더라도 오류 없이 데이터를 입력받아 정렬할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>단위:십억달러</p> <p>CAGR 4.70%</p> <p>537 617 727</p> <p>2020 2023 2027</p> <p>* 출처: FortuneBusinessInsights, 2020.10</p>	


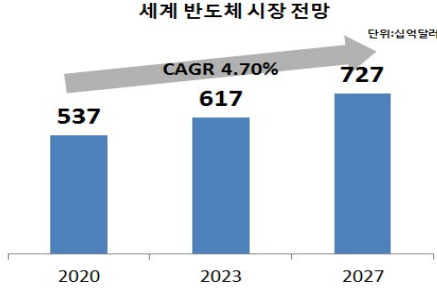


대표 청구항

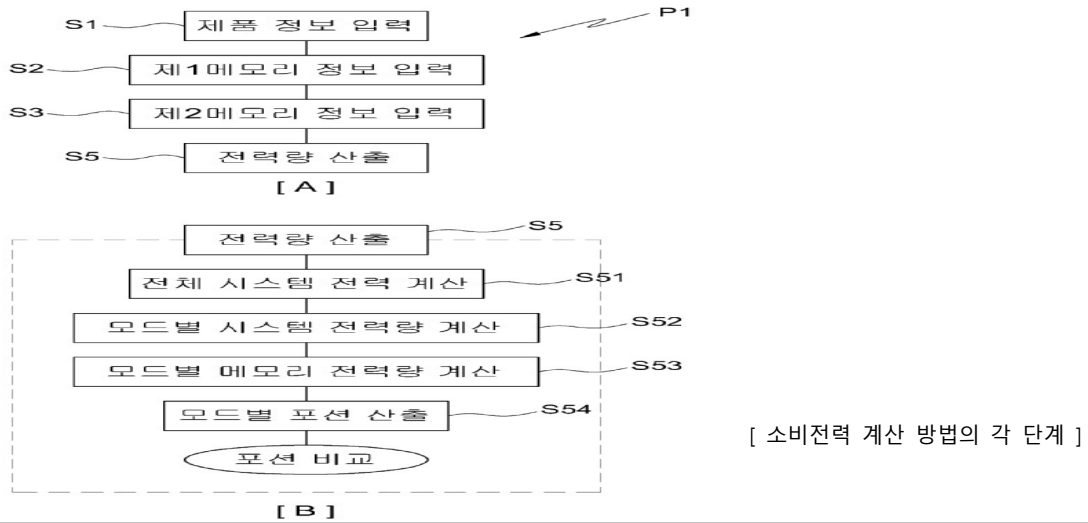
라이트커맨드 및 라이트레이턴시에 따라 발생하는 제1 펄스를 포함하는 위상감지신호에 응답하여 제1 내지 제4 내부클럭 중 하나의 위상을 감지하여 선택신호를 생성하는 선택신호생성부; 상기 선택신호에 응답하여 제1 정렬데이터그룹 또는 제2 정렬데이터그룹을 제1 선택정렬데이터그룹으로 선택하여 전달하는 제1 선택부; 및 상기 선택신호에 응답하여 상기 제1 정렬데이터그룹 또는 상기 제2 정렬데이터그룹을 제2 선택정렬데이터그룹으로 선택하여 전달하는 제2 선택부를 포함하는 직병렬변환기.

특허평가등급					
권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	AA
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	AA		시장의 성장성	A0

기술소개

기술분야	전기전자	반도체	회로·설계
No.111	반도체 제품군의 소비전력 계산 방법 및 이산화탄소 배출량 계산 방법		
현재 권리자	SK하이닉스	발명자	이용제
출원번호 (출원일)	KR10-2016-0002482 (2016-01-08)	등록번호 (등록일)	KR10-1821767 (2018-01-18)
특허기술분류 (IPC)	G06	존속기간 만료예정일	2036-01-08
기술 개요			
<p>본 발명은 반도체 제품의 친환경성을 평가할 수 있는 방법이고, 특히 기존 제품과 신규 제품 간의 환경성(온실가스 저감 효과, 전기 절감 효과, 배터리 사용시간 증대 효과)을 편리하게 비교 분석할 수 있도록 하는 반도체 제품군의 소비전력 계산 방법 및 이산화탄소 배출량 계산 방법에 관한 것으로, (S1) 반도체 제품군의 해당 제품 정보를 입력받는 단계, (S2) 상기 제품에 내장된 제1메모리의 정보를 입력받는 단계, (S3) 상기 제품에 내장될 변경 예정 제2메모리의 정보를 입력받는 단계 및 (S5) 각 메모리 별로 기준 전압 대비 기준 전류 값이 기록된 테이블로부터 상기 제1메모리 및 상기 제2메모리에 해당하는 기준 전압 대비 기준 전류 값을 로드하여 상기 제1메모리와 상기 제2메모리의 전력량을 산출하는 단계를 포함하여 이루어진다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 기준 전압 대비 기준 전류 값이 기록된 테이블로부터 기존 제품과 신규 제품에 내장되는 반도체 제품의 전력량을 산출하여 기존 제품과 신규 제품 간의 환경성을 편리하게 비교 분석할 수 있도록 하는 소비전력 계산 방법 및 이산화탄소 배출량 계산 방법을 제공함에 있음</p>		<p>본 기술은 기존 제품과 신규 제품 간의 온실가스 저감 효과, 전기 절감 효과, 배터리 사용시간 증대 효과를 편리하게 비교 분석할 수 있도록 하는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK하이닉스 반도체 공장 내부 전경</p>		<p>세계 반도체 시장 전망</p>  <p>* 출처: FortuneBusinessInsights, 2020.10</p>	

대표 도면




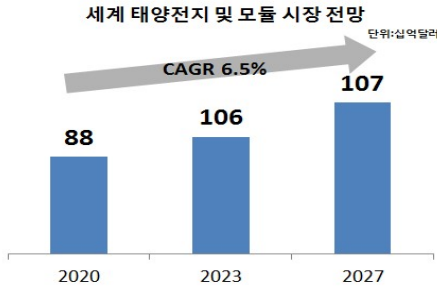
대표 청구항

(S1) 반도체 제품군의 해당 제품 정보를 입력받는 단계; (S2) 상기 제품에 내장된 제1메모리의 정보를 입력받는 단계; (S3) 상기 제품에 내장될 변경 예정 제2메모리의 정보를 입력받는 단계; 및 (S5) 각 메모리 별로 기준 전압 대비 기준 전류 값이 기록된 테이블로부터 상기 제1메모리 및 상기 제2메모리에 해당하는 기준 전압 대비 기준 전류 값을 로드하여 상기 제1메모리와 상기 제2메모리의 전력량을 산출하는 단계; 를 포함하고, 상기 테이블은 상기 제1메모리 장착 시, 상기 제품이 제공하는 각 모드 별 사용 가능 시간 정보를 포함하고, 상기 테이블의 기준 전압 대비 기준 전류 값은 상기 모드 별로 구분되어 기록되고, 상기 전력량 산출 단계(S5)는, (S51) 상기 제품의 배터리의 정격 전류와 정격 전압을 곱하여 전체 시스템 전력을 계산하는 단계, (S52) 상기 전체 시스템 전력을 각 모드 별 사용 가능 시간으로 나누어 각 모드 별 시스템 전력량을 계산하는 단계, (S53) 상기 테이블로부터 로드된 기준 전압 값과 기준 전압 대비 기준 전류 값의 곱을 통해 각 모드 별 메모리 전력량을 계산하는 단계 및 (S54) 상기 각 모드 별 메모리 전력량을 상기 각 모드 별 시스템 전력량으로 나누어 각 모드 별 포션을 산출하는 단계를 포함하되, 상기 S51 내지 S54 단계를 상기 제1 및 제2메모리 각각에 적용하여 산출된 제1메모리의 모드 별 포션과 제2메모리의 모드 별 포션을 비교하고, (S4) 상기 각 모드에 대한 사용자의 사용시간을 입력받는 단계; 를 더 포함하고, 상기 전력량 산출 단계(S5)는, (S55) 상기 제1메모리의 모드 별 전력량과 상기 제2메모리의 모드 별 전력량의 차이를 상기 각 모드 별 시스템 전력량에서 감산하여 상기 제2메모리 장착 시의 각 모드 별 시스템 전력량인 변경 전력량을 계산하는 단계, (S56) 상기 시스템 전력 계산 단계(S51)에서 계산된 상기 전체 시스템 전력을 상기 변경 전력량 계산 단계(S55)에서 계산된 모드 별 시스템 전력량으로 나누어 제2메모리 장착 시, 각 모드 별 사용 가능 시간을 계산하는 단계 및 (S57) 상기 제2메모리 장착 시의 각 모드 별 사용 가능 시간에서 상기 제1메모리 장착 시의 각 모드 별 사용 가능 시간을 차감한 후, 이를 상기 제1메모리 장착 시의 각 모드 별 사용 가능 시간으로 나누어 개선율을 산출하는 단계를 더 포함하는 것을 특징으로 하는 소비전력 계산 방법.

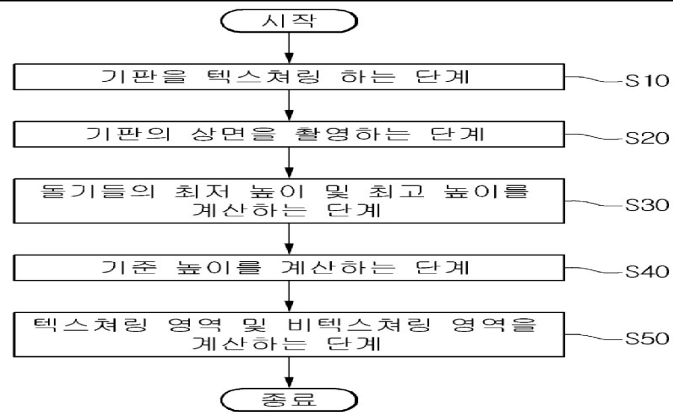
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	AA		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0

기술소개

기술분야	전기전자	태양전지	공정기술
No.112	기판을 평가하는 방법		
현재 권리자	SK실트론	발명자	박정길
출원번호 (출원일)	KR10-2012-0020579 (2012-02-28)	등록번호 (등록일)	KR10-1404249 (2014-05-29)
특허기술분류 (IPC)	G01	존속기간 만료예정일	2032-02-28
기술 개요			
<p>기판을 평가하는 방법이 개시된다. 기판의 상면을 텍스처링하여, 복수의 돌기들을 형성하는 단계; 상기 텍스처링된 상면을 촬영하는 단계; 상기 돌기들의 높이 중, 최고 높이 및 최저 높이를 계산하는 단계; 상기 최고 높이 및 상기 최저 높이를 이용하여, 기준 높이를 계산하는 단계; 및 상기 기준 높이보다 더 높은 돌기들을 포함하는 텍스처링 영역 및 상기 기준 높이보다 더 낮은 돌기들을 포함하는 비텍스처링 영역을 계산하는 단계를 포함한다.</p>			
기술 목적		기술효과(차별성)	
본 기술의 목적은 효과적으로 텍스처링된 기판의 표면을 평가하는 방법을 제공함에 있음		본 기술은 최저 높이 및 비율 인자로 기준 높이를 계산해 텍스처링 및 비텍스처링 영역을 정의하여 신속하게 기판의 표면을 평가하고 불량 여부를 판단하는 효과가 있음	
기술분야		시장전망	
 <p>SK E&S의 태양광 발전</p>		<p>세계 태양전지 및 모듈 시장 전망 단위:십억달러</p>  <p>* 출처: Global Industry Analysts, 2020.09</p>	

대표 도면



[기판을 평가하는 방법]


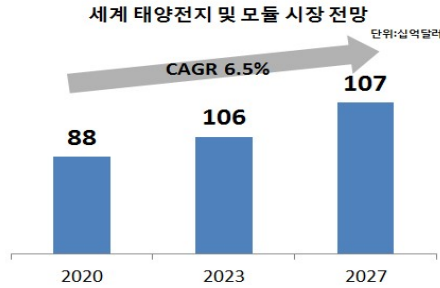
대표 청구항

기판의 상면을 텍스처링하여, 복수의 돌기들을 형성하는 단계;상기 텍스처링된 상면을 촬영하는 단계;상기 돌기들의 높이 중, 최고 높이 및 최저 높이를 계산하는 단계;상기 기판의 특성 및 상기 기판을 통하여 형성하고자 하는 제품의 특성을 고려한 비율인자(F)를 결정하는 단계;상기 최고 높이, 상기 최저 높이 및 상기 설정된 비율인자를 대입한 하기의 수식1을 이용하여, 기준 높이를 계산하는 단계; 및상기 기준 높이보다 더 높은 돌기들을 포함하는 텍스처링 영역 및 상기 기준 높이보다 더 낮은 돌기들을 포함하는 비텍스처링 영역을 계산하는 단계를 포함하고,상기 비율인자는 0.35 내지 0.45인 기판을 평가하는 방법.수식1Hr= (Hmax-Hmin)×F+Hmin여기서, Hr은 기준 높이이고, Hmax는 최고 높이이고, Hmin은 최저 높이이고, F는 비율 인자이다.

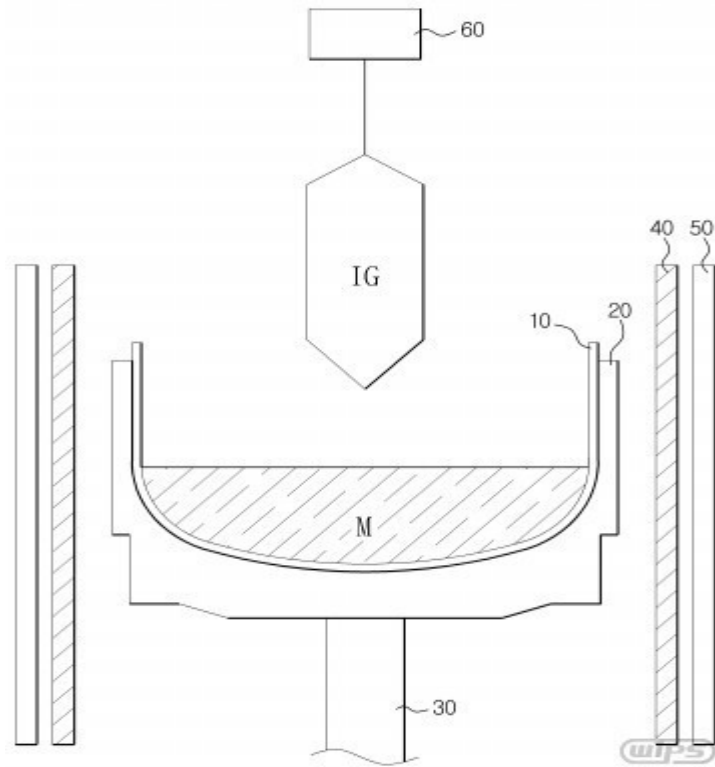
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	A0		산업적 파급효과	B+
	기술의 포괄성	B+		시장의 성장성	A0

기술소개

기술분야	전기전자	태양전지	공정기술
No.113	잔류 용액을 재활용한 태양전지용 결정 제조 방법		
현재 권리자	SK실트론	발명자	문지훈
출원번호 (출원일)	KR10-2009-0049895 (2009-06-05)	등록번호 (등록일)	KR10-1025652 (2011-03-22)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2029-06-05
기술 개요			
<p>본 발명은 잔류 용액을 재활용한 태양전지용 결정 제조 방법을 개시한다. 본 발명에 따른 태양전지용 결정 제조 방법은, 초크랄스키 법을 이용한 단결정 잉곳의 성장이 완료된 이후, 석영 도가니에 수용된 잔류 용액을 재활용하여 태양전지용 결정을 제조하는 방법에 있어서, (a) 상기 석영 도가니를 감싸는 히터를 이용하여 상기 잔류 용액을 액상으로 유지하는 단계; (b) 상기 석영 도가니에 수용된 잔류 용액에 시드를 디핑시키는 단계; 및 (c) 상기 잔류 용액 내에 일방향성 응고가 가능한 상하 온도 구배가 형성될 수 있도록 히터의 파워를 서서히 감소시키면서 석영 도가니를 히터의 외부로 서서히 인출하는 단계;를 포함하는 것을 특징으로 한다.본 발명에 따르면, CZ 법을 이용한 단결정 잉곳의 성장이 완료된 후 잔류하는 용액을 재활용하여 태양전지용 결정을 제조할 수 있다. 또한, 잔류 용액을 재활용하여 태양전지용 결정을 제조하는 과정이 단결정 잉곳 성장이 완료된 후 연속적으로 진행된다. 따라서, 태양전지용 결정을 경제적으로 제조할 수 있고, 웨이퍼용 단결정의 생산에만 사용되던 단결정 제조장치의 효율성을 증대시킬 수 있다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 CZ 법을 이용한 단결정 잉곳의 성장이 완료된 후 잔류하는 용액을 재활용하여 태양전지용 결정을 성장시킬 수 있는 잔류 용액을 재활용한 태양전지용 결정 제조 방법을 제공함에 있음</p>		<p>본 기술은 CZ 법을 이용한 단결정 잉곳의 성장이 완료된 후 잔류하는 용액을 재활용하여 태양전지용 결정을 제조할 수 있으며, 잔류 용액을 재활용하여 태양전지용 결정을 제조하는 과정이 단결정 잉곳 성장이 완료된 후 연속적으로 진행되어 태양전지용 결정을 경제적으로 제조할 수 있고, 웨이퍼용 단결정의 생산에만 사용되던 단결정 제조장치의 효율성을 증대시킬 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK E&S의 태양광 발전</p>		<p>세계 태양전지 및 모듈 시장 전망</p> <p>단위:십억달러</p>  <p>* 출처: Global Industry Analysts, 2020.09</p>	

대표 도면



[잔류 용액을 재활용한 태양전지용 결정 제조방법의 실시를 위해 사용되는 단결정 잉곳 제조장치의 일부 구성]


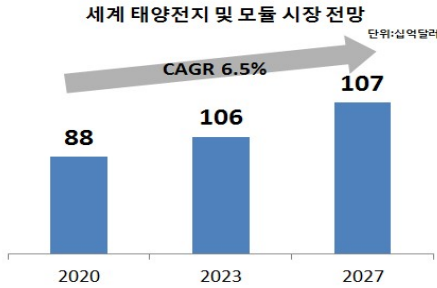
대표 청구항

췌크랄스키 법을 이용한 단결정 잉곳의 성장이 완료된 이후, 석영 도가니에 수용된 잔류 용액을 재활용하여 태양전지용 결정을 제조하는 방법에 있어서, (a) 상기 석영 도가니를 감싸는 히터를 이용하여 상기 잔류 용액을 액상으로 유지하는 단계; (b) 상기 석영 도가니에 수용된 잔류 용액에 시드를 디핑시키는 단계; 및 (c) 상기 잔류 용액 내에 일방향성 응고가 가능한 상하 온도 구배가 형성될 수 있도록 히터의 파워를 서서히 감소시키면서 석영 도가니를 히터의 외부로 서서히 인출하는 단계;를 포함하는 것을 특징으로 하는 잔류 용액을 재활용한 태양전지용 결정 제조 방법.

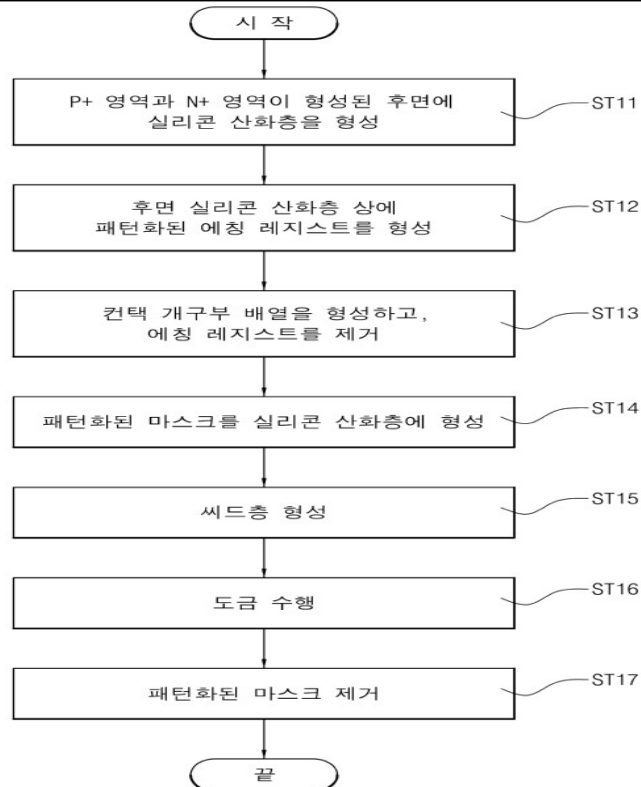
특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	A+
	기술의 포괄성	C		시장의 성장성	AA

기술소개

기술분야	전기전자	태양전지	공정기술
No.114	단결정 태양전지의 후면전극 제조 방법		
현재 권리자	SK실트론	발명자	양수미
출원번호 (출원일)	KR10-2006-0010641 (2006-02-03)	등록번호 (등록일)	KR10-0757797 (2007-09-05)
특허기술분류 (IPC)	H01	존속기간 만료예정일	2026-02-03
기술 개요			
<p>본 발명은 단결정 태양전지의 후면전극 제조 방법을 제공하기 위한 것으로, P+ 영역과 N+ 영역이 형성된 후면에 컨택 개구부 배열이 있는 후면 실리콘 산화층을 형성하는 제 1 단계와; 상기 제 1 단계 후 마스크를 이용하여 씨드층과 메탈층을 형성하는 제 2 단계를 포함하여 구성함으로써, 실크 스크린 마스크를 사용하여 태양전지의 후면전극을 제조하여 저가의 고효율 태양전지를 구현할 수 있게 되는 것이다.</p>			
기술 목적		기술효과(차별성)	
<p>본 기술의 목적은 실크 스크린 마스크를 사용하여 태양전지의 후면전극을 제조하여 저가의 고효율 태양전지를 구현할 수 있는 단결정 태양전지의 후면전극 제조 방법을 제공함에 있음</p>		<p>본 기술은 후면전극 태양전지를 실크 스크린 마스크를 사용하여 제조하여 저가의 고효율 태양전지를 구현할 수 있는 효과가 있음</p>	
기술분야		시장전망	
 <p>SK E&S의 태양광 발전</p>		<p>세계 태양전지 및 모듈 시장 전망 단위:십억달러</p>  <p>* 출처: Global Industry Analysts, 2020.09</p>	

대표 도면



대표 청구항

P+ 영역과 N+ 영역이 형성된 웨이퍼의 후면에 컨택 개구부 배열이 있는 후면 실리콘 산화층을 형성하는 제 1 단계와; 상기 제 1 단계 후 마스크를 이용하여 P+ 영역과 N+ 영역 상에 씨드층과 메탈층을 순차적으로 형성하는 제 2 단계를 포함하여 수행하는 것을 특징으로 하는 단결정 태양전지의 후면전극 제조 방법.

특허평가등급

권리/ 기술성	평가항목	등급	시장성	평가항목	등급
	기술의 권리성	AA		시장의 확장성	A0
	기술의 지속성	C		산업적 파급효과	B+
	기술의 포괄성	C		시장의 성장성	A0